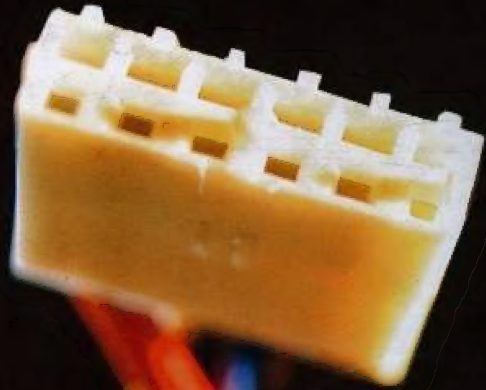


أساسيات الإلكترونيات الرقمية الحديثة

Modern Digital Electronics



مهندس
ضياء العسال

مهندس
ضياء العسال

أساسيات
الإلكترونيات الرقمية الحديثة

دار الكتب العلمية
للنشر والتوزيع

أساسيات الإلكترونيات الرقمية الحديثة

يوما بعد يوم تزداد وتتسع مجالات وتطبيقات الإلكترونيات الرقمية وفى الحقيقة يمكننا القول بأن الأنظمة الرقمية قد أصبحت تغزو كل مرافق الحياة.

ولقد أدى وجود الوظائف الرقمية للدوائر التكاملية إلى إتاحة الفرصة إلى تغيير فلسفة دراسة الإلكترونيات الرقمية من الأسلوب التقليدى باستخدام أجهزة محددة إلى أسلوب جديد يستخدم الدوائر المتكاملة الرقمية الحديثة.

وهذا الكتاب محاولة لتقديم وتناول مفهوم التقنيات الرقمية الحديثة والدوائر المتكاملة ، كما تم ترتيبه وتنظيمه وتقديمه لدارس ذو مستوى مناسب يكون على دراية ومعرفة بنظريات الدوائر والإلكترونيات.

والله الموفق

الناشر

دار الكتب العلمية للنشر والتوزيع

٥٠ شارع الشيخ ربحان - عابدين - القاهرة

٧٩٥٤٢٢٩ ☎

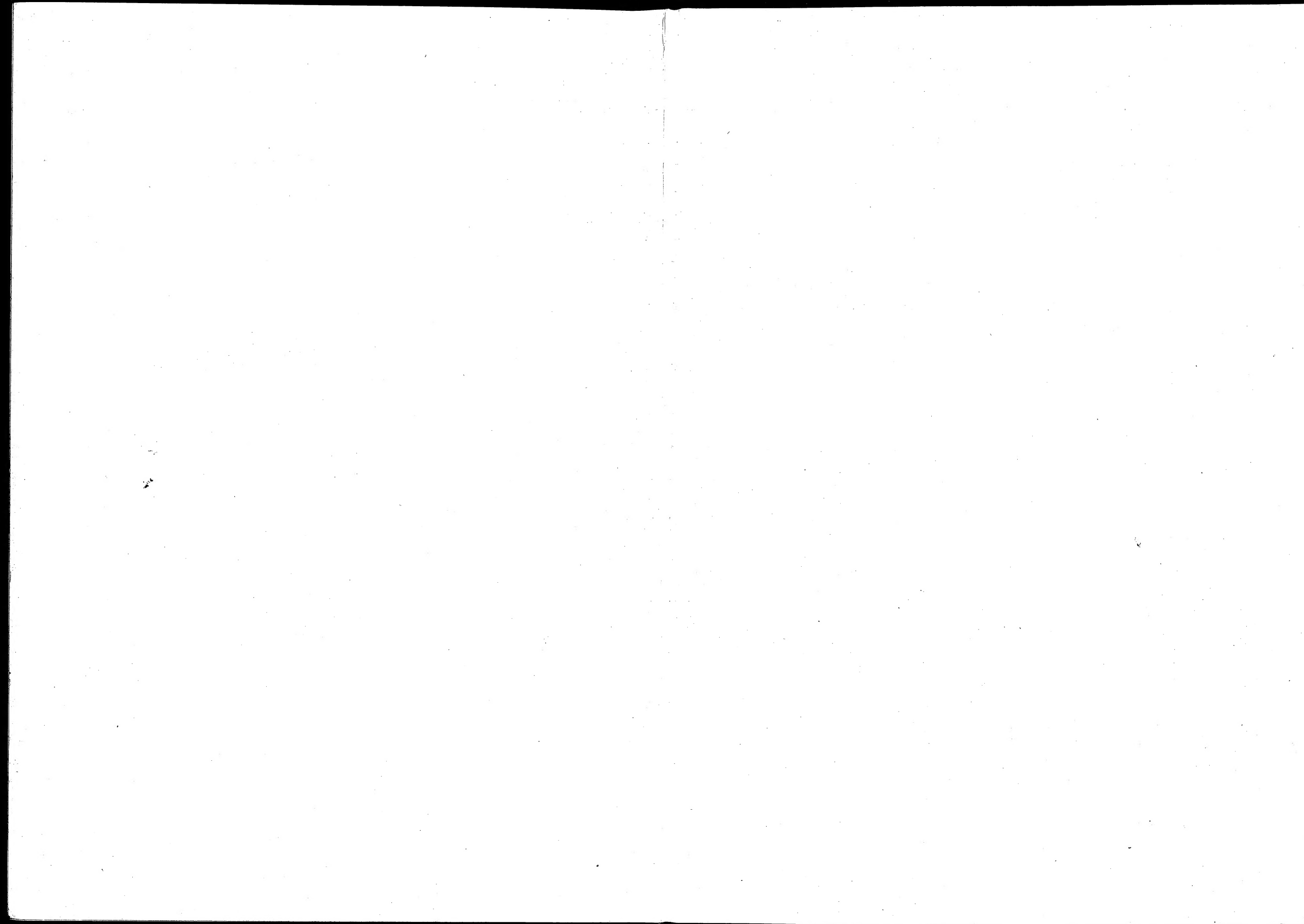
WWW.sbhag.com

e-mail: sbh@link.net

ISBN 977-267-558-7



5 789772 875184



أساسيات الإلكترونيات

الرقمية الحديثة

مهندس

ضياء العسال

رقم الإيداع: 2005-8859

الترقيم الدولى: 977-287-518-7

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ

© حقوق النشر والطبع والتوزيع محفوظة لدار الكتب العلمية للنشر والتوزيع / 2005

لا يجوز نشر جزء من هذا الكتاب أو إعادة طبعه أو اختصاره بقصد الطباعة أو اختزان مادته العلمية أو نقله بأى طريقة سواء كانت إلكترونية أو ميكانيكية أو بالتصوير أو خلاف ذلك دون موافقة خطيه من الناشر مقدماً.

دار الكتب العلمية للنشر والتوزيع

50 شارع الشيخ ربحان - الدور الأول - شقة 12

عابدين - القاهرة ☎ 7954229

WWW.sbheg.com

e-mail:sbh@link.net

تمهيد

يمكن رؤية القوة الهائلة والفائدة العظيمة للإلكترونيات الرقمية Digital electronics من خلال المنتجات الصناعية والإستهلاكية الواسعة الانتشار في كل أنحاء العالم، كالمعدات والماكينات الصناعية الأتوماتيكية والحاسبات والمعالجات الدقيقة Microprocessors والآلات الحاسبة والساعات الرقمية والألعاب التليفزيونية .. إلخ، والتي يبنى أساس عملها على أساسيات الإلكترونيات الرقمية .

ويوما بعد يوم تزداد وتتسع مجالات وتطبيقات الإلكترونيات الرقمية، وفي الحقيقة يمكننا القول بأن الأنظمة الرقمية قد أصبحت تغزو كل مرافق الحياة .

ولقد كان إختراع الدوائر المتكاملة Integrated circuits ICs واحدا من أهم الأسباب التي أدت إلى نمو وتطور تكنولوجيا الإلكترونيات الرقمية، حيث أدى تطور هذا الإختراع إلى زيادة إمكانية تصنيع وإبتكار المزيد من الدوائر الرقمية المعقدة، مثل المعالجات الدقيقة، ووحدات الذاكرة Memory unites .. إلخ، وذلك على شرائح السليكون الصغيرة جدا .

كما أن المعالجات الدقيقة كانت ذات تأثير فعال في تطوير معظم المعدات التي نتناولها في حياتنا وخلال وقت قصير، كما كان لها الفضل الأكبر في الكثير من المخترعات التي لم نكن نسمع عنها حتى وقت قريب .

ولقد أصبح محتمًا على جميع القائمين الذين يعملون في مجال تصميم وتطوير وإختبار وصيانة الأنظمة الإلكترونية أن يتعلموا الأسس التي تبنى عليها الأجهزة والأنظمة الرقمية الحديثة .

ولقد أدى وجود الوظائف الرقمية المعقدة للدوائر التكاملية إلى إتاحة الفرصة إلى تغيير فلسفة دراسة الإلكترونيات الرقمية من الأسلوب التقليدي باستخدام أجهزة محددة إلى أسلوب جديد يستخدم الدوائر المتكاملة الرقمية الحديثة، فعلى سبيل المثال فقد أصبح التفكير في التقليل من عدد البوابات Gates عند تصميم دائرة رقمية من الأشياء الغير مهمة، حيث يمكن أن يتوافر عدد من هذه البوابات المماثلة والتي

يمكن أن تؤدي نفس الغرض على شريحة واحدة من دائرة تكاملية IC، أو بالأحرى فإن الاتجاه يسير إلى تقليل عدد الحزم Packages للدوائر المتكاملة نفسها .

وعلى هذا فيجب اليوم على العاملين في مجال تصميم الأنظمة الرقمية أن يكونوا على درجة من التمكن وعلى دراية كبيرة بأساسيات تشغيل واستخدام الدوائر المتكاملة المتاحة من أجل الحصول على أحسن تصميم للنظام وخاصة من وجهة نظر قيمة التكلفة وحجم النظام المصمم وقدرة التغذية المطلوبة وسرعة التشغيل .. إلخ .

ومن هذا المنظور تمت في هذا الكتاب محاولة لتقديم وتناول مفهوم التقنيات الرقمية الحديثة والدوائر المتكاملة، كما تم ترتيبه وتنظيمه وتقديمه لدارس ذي مستوى مناسب يكون على دراية ومعرفة بنظريات الدوائر والإلكترونيات .

ففي الفصل الأول تم تناول المفاهيم الأساسية للإلكترونيات الرقمية ومميزات الأنظمة الرقمية والدوائر الرقمية الأساسية، كما تناولنا أنظمة الأعداد الرقمية المختلفة والشفرات الشائع إستخدامها في الأنظمة الرقمية في الفصل الثاني، أما في الفصل الثالث فقد تمت مناقشة أشباه الموصلات من وجهة نظر تطبيقاتها في مجال الدوائر الرقمية، ومنها تم تناول العائلات المنطقية في الفصل الرابع، وكيفية المواءمة بين الدوائر التكاملية من نفس العائلة، أو بين مختلف العائلات .

ثم تم الانتقال بعد ذلك إلى الفصل الخامس والذي تعاملنا فيه مع الطرق التقليدية في تصميم الدوائر التوافقية، كما تمت تغطية تصميم المنطق التوافقي باستخدام الدوائر المتكاملة ذات النطاق المتوسط MSI، والتي تكتسب أهمية كبيرة في تصميم الأنظمة الرقمية في اعتبارات بساطة التصميم والتكلفة البسيطة وحيز الإشغال والقدرة المطلوبة ... إلخ .

وفي الفصل السادس تمت الدراسة التفصيلية لوحدة البناء الرئيسية للدوائر التتابعية وهي القلايات ومنه إنتقلنا إلى تصميم المنطق التتابعي، أما في الفصل السابع فقد تحدثنا عن دوائر التوقيت وأهميتها وتطبيقاتها والتي تعتبر من أساسيات الأنظمة الرقمية، وحيث أن المحولات من التناظري إلى الرقمي ومن الرقمي إلى

التناظري تكون جزءاً هاماً في الكثير من الأنظمة الرقمية فقد تم التطرق إليها أيضاً في ذلك الفصل، كما تم تناول بعض التقنيات الشائعة في هذه المحولات .

وفي الفصل الثامن تم إعطاء فكرة مبسطة عن الذاكرات من نوع أشباه الموصلات، والتي تلعب دوراً هاماً في الأنظمة الرقمية الحديثة، كما قدمنا أيضاً فكرة عن أجهزة المنطق القابلة للبرمجة PLDs، مثل مصفوفات المنطق القابل للبرمجة (PLAs) Programmable logic arrays، ومنطق المصفوفة القابل للبرمجة (PAL) Programmable array logic ، وفي النهاية تم تناول أساسيات المعالجات الدقيقة في الفصل التاسع بطريقة تجعل هذا الجهاز المعقد Sophisticated قريباً إلى الفهم للمبتدئين، كما تم إختيار المعالج الدقيق من طراز إنتل 8085A بتقنية 8-بت كنموذج لدراسة المعالجات الدقيقة من ناحية التركيب البنائي والتشغيل والبرمجة وذلك بشئ من التفصيل وبطريقة يصبح بعدها من السهل معرفة المعالجات الدقيقة الأخرى.

وأمل ان يتعلم مستخدم هذا الكتاب الكثير منه، كما أنصح بعدم الانتقال إلى فصل جديد قبل الفراغ من الفصل السابق له، فقط بشئ من الصبر والتؤودة وأنا على يقين من أنه بإعادة قراءة الجزء الغير مفهوم مرة ثانية وثالثة ستوصل عزيزي إلى النتيجة المرجوة كما يحتوى الكتاب على عدة تدريبات في نهاية كل فصل لقياس فهمك لمحتويات الفصل، فحاول فيها جميعاً قدر إستطاعتك، وفي النهاية أقول وبعد تعلم بعض الشئ عن الإلكترونيات الرقمية، لانتوقف عند هذا الحد ولكن يمكنك الإلتحاق ببعض المستويات الأعلى لدراسة هذا العلم وأيضاً دراسة الحاسبات والبرمجة.

الفصل الأول

مفاهيم أساسية

1-1 مقدمة

2-1 الإشارات الرقمية

3-1 الدوائر المنطقية الأساسية

4-1 العمليات الإضافية NOR & NAND

5-1 العمليات EX-NOR & EX-OR

6-1 جبر بول

7-1 أمثلة لبوابات دوائر تكاملية

1 - 1 مقدمة :

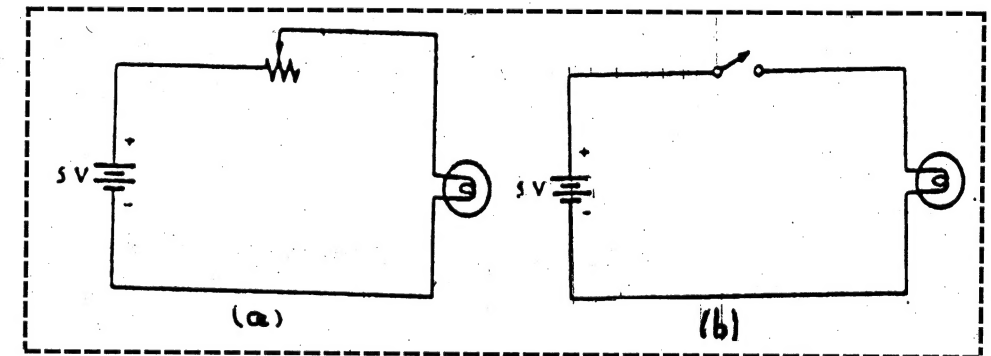
من الواضح أن الكثير منا قد أصبح الآن على دراية كبيرة بتأثير وفضل الحاسبات الرقمية الحديثة وأجهزة الاتصالات والآلات الحاسبة والساعات الرقمية .. إلخ على المجتمع، ولقد كان لإختراع الدوائر المتكاملة والتي كانت التطوير المذهل لأشباه الموصلات Semiconductors واحداً من الأسباب الرئيسية التي أدت إلى هذه الثورة من المخترعات التي تتزايد في السنوات الحالية، وما لاشك فيه أن الكثير منا ليس على دراية واسعة بالأساسيات التي يبنى عليها عمل وتشغيل هذه الأجهزة على الرغم من أنها تشكل دور رئيسي في حياتنا اليومية.

ويمكننا القول أن عمل هذه الأجهزة يبنى على أساسيات التقنيات الرقمية Digital techniques، كما تسمى الأنظمة التي يبنى عليها عمل هذه الأجهزة بالأنظمة الرقمية Digital systems .

فبعضنا على دراية بالمكبرات الإليكترونية Electronic amplifiers والمستخدمه في تكبير الإشارات الإليكترونية Electronic signals والتي تكون على شكل إشارات مستمرة تأخذ أى قيمة فى مدى معين والتي تعرف بالإشارات التناظرية Analog signals، كما تعرف الدوائر الإليكترونية المختصة بتكبير ومعالجة مثل هذه الإشارات بالدوائر التناظرية Analog circuits، كما تعرف الأنظمة المتصلة بهذه الدوائر بالأنظمة التناظرية Analog systems .

على الجانب الآخر وفى الآلة الحاسبة الإليكترونية مثلاً، فإن الدخل يكون عبارة عن إشارتين كهربيتين محددتين أو ذات مستويين، إحداهما تسمى بـ "الإشارة ذات المستوى المنخفض" LOW، وتسمى الأخرى بـ "الإشارة ذات المستوى العالى" HIGH، وحيث تتخذ الإشارة الكهربائية أحد هذين المستويين، ومن هنا تكون قيمة الإشارة الفعلية غير حقيقية طالما أنه قد تم تحديدها أن تكون LOW أو HIGH، وهذا النوع من الإشارات يعرف بالإشارات الرقمية Digital signals، كما أن الدوائر الإليكترونية المختصة بتكبير ومعالجة هذه الإشارات تعرف بالدوائر الرقمية Digital circuits، كما تعرف الأنظمة المتصلة بهذه الدوائر بالأنظمة الرقمية Digital systems، وتعتبر الآلة الحاسبة الرقمية مثال من أمثلة هذه الأنظمة الرقمية.

ويمكن توضيح الفرق بين الإشارة التناظرية والإشارة الرقمية من المثال التالي. في دائرة المصباح الكهربى المبين فى شكل (a-1-1) يمكن تغيير شدة إضاءة المصباح بتغيير شدة التيار المار فى الدائرة عن طريق التحكم فى المقاومة المتغيرة، أما فى شكل (b-1-1) فيتم إضاءة أو إطفاء المصباح عن طريق غلق أو فتح المفتاح، وفى الدائرة الأولى يكون جهد المصباح تناظرياً حيث تتغير قيمته بتغير قيمة المقاومة ويبلغ هذا الجهد التناظرى أقصاه عندما يصبح مساوياً لجهد البطارية، فمن هنا نرى أن حالة المصباح تتغير تغيراً تناظرياً، بينما فى الدائرة الثانية يكون للمصباح حالتين فقط، الأولى عند غلق المفتاح فيضأ المصباح ويكون جهد المصباح مساوياً لجهد البطارية، ويقال على هذه الحالة "الحالة العالية" HIGH، أو الحالة المنطقية 1، أما الحالة الثانية فتكون عند فتح المفتاح فينطفئ المصباح ويكون جهد المصباح مساوياً للصفر، ويقال على هذه الحالة "الحالة المنخفضة" LOW، أو الحالة المنطقية 0.

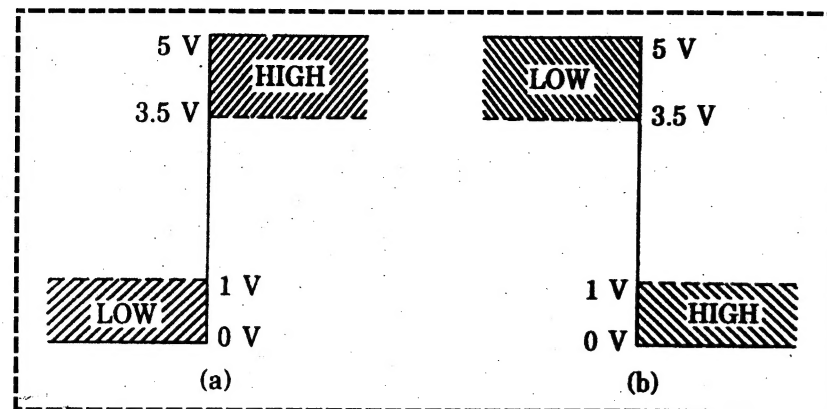


شكل (1-1) تمثيل الجهود التناظرية والرقمية

ولقد أدى تطوير تكنولوجيا أشباه الموصلات والتقدم فى التقنيات الرقمية إلى الثورة الهائلة التى نشهدها حالياً فى عالم الإليكترونيات الرقمية منذ ظهور أول شريحة والتى تعرف بالمعالج الدقيق Microprocessor وذلك عام 1971، ومنذ ذلك الحين إكتسبت الأنظمة الرقمية أهمية وقوة هائلة، وفى خلال وقت وجيز أصبح لا يوجد أى مجال من مجالات المعرفة فى حياتنا إلا ويتأثر بالتطبيقات والنظريات الرقمية.

وفىما يلى بعض الأسباب الأساسية التى أدت إلى إنتشار التقنيات والأنظمة الرقمية :

- 1- عمليات التشغيل فى الدوائر الرقمية بسيطة، ويمكن فهمها بسهولة.
- 2- الأجهزة المستخدمة فى الدوائر الرقمية تعمل عامة من خلال واحدة من حالتين هما الغلق ON، أو الفتح OFF ومن خلال عمليات تشغيل بسيطة.
- 3- تحتاج المعرفة بالتقنيات الرقمية إلى دراسة جبر بول Boolean algebra وهى دراسة بسيطة يمكن تعليمها بسهولة للطلاب فى المرحلة ما قبل الجامعية.
- 4- تحتاج دراسة الدوائر الرقمية إلى مفاهيم بسيطة يمكن تعلمها بسهولة فى المراحل الأولى من التعليم الجامعى.
- 5- يوجد العديد من شرائح الدوائر المتكاملة التى يمكنها تنفيذ عمليات مختلفة، وهذه الدوائر ذات إعتماذية عالية ودقيقة، كما تمتاز بصغر حجمها وسرعاتها العالية فى التشغيل، كما يتاح أيضاً العديد من شرائح الدوائر المتكاملة المبرمجة.
- 6- تُصنف شرائح الدوائر المتكاملة فى عائلات، تشترك كل عائلة فى الكثير من الخواص الكهربائية المتشابهة، وهذا يؤدى إلى تبسيط عملية تصميم وتطوير الأنظمة الرقمية، كما يقلل هذا من المشاكل الناتجة من عدم تحقيق المواصفات المطلوبة، كما أن إتاحة عدد من هذه العائلات يكون مبنياً على تقنيات مختلفة، والتى تسمح بتحسين تصميم النظام من ناحية متطلبات قدرة التغذية وسرعة التشغيل.
- 7- تمتاز هذه الأنظمة بقلّة تأثير التقلبات والتغيرات على خواص العناصر وأعمارها، بالإضافة إلى ضعف تأثير الحرارة والضوضاء وغيرها على الدوائر الرقمية.
- 8- قدرة الدوائر الرقمية على التذكر أو الذاكرة Memory، مما يجعل هذه الدوائر مناسبة فى الحاسبات والآلات الحاسبة والساعات والتليفونات... إلخ.
- 9- سهولة عرض البيانات والمعلومات بطريقة مناسبة ودقيقة ومريحة باستخدام التقنيات الرقمية.



شكل (2-1) تمثيل الإشارة الرقمية

a- منطق موجب b-منطق سالب

ولقد كان للعالم جورج بول George Boole الفضل في تقديم مفهوم النظام الثنائي للأعداد وتطوير المفهوم الجبري لهذا النظام والمعروف بـ "جبر بول Boolean algebra"، والذي كان المدخل الرئيسي للبدء في تصميم المكونات المادية الرقمية.

3-1 الدوائر المنطقية الأساسية:

بصرف النظر عن تعقيدات النظام الرقمي، إلا أنه في هذا النظام يتم تنفيذ عمليات أساسية قليلة، كما يتم تأدية هذه العمليات مرات عديدة في النظام الرقمي، ومن هذه العمليات الأساسية: العملية AND، والعملية OR، والعملية NOT، والعملية FLIP-FLOP، وفي هذا الفصل سوف يتم مناقشة العمليات الأساسية AND، و OR، و NOT، أما العملية FLIP-FLOP والتي تمثل عنصر الذاكرة الأساسي المستخدم في تخزين المعلومات الثنائية، فسيتم شرحها في فصل منفصل.

3-1-1 العملية AND:

ويوضح شكل (3-1) دائرة AND حيث يوجد مداخل عددها N ($N \geq 2$)، ومخرج واحد، ويتم تطبيق الدخول الرقمي عند الأطراف التي يرمز لها A، و B، و، و N، أما الأطراف الأخرى (وهي غير موجودة في الشكل) فيتم توصيلها بالأرض،

2-1 الإشارات الرقمية:

وكما ذكر من قبل أن الإشارات الرقمية Digital signals تكون ذات قيمتين أو ذات مستويين محددين، ويوجد تمثيلان مختلفان للإشارات الرقمية كما هو مبين في شكل (2-1)، وفي كلتا الحالتين يوجد مستويان محددان يتم التعبير عنهما بـ "منخفض" LOW، و"عالي" HIGH.

وفي شكل (2-1-a) يشار للمستوى المنخفض بـ: LOW، بينما يشار للمستوى العالي بـ: HIGH، وتسمى الأنظمة التي تستخدم هذا التمثيل بالأنظمة المنطقية الموجبة Positive logic system، على العكس في شكل (2-1-b) حيث يشار للمستوى المنخفض بـ HIGH، بينما يشار للمستوى العالي بـ LOW، وتسمى الأنظمة التي تستخدم هذا التمثيل بالأنظمة المنطقية السالبة Negative logic system.

ونلاحظ من الشكل أن قيمة جهد المستوى (سواء أكان العالي أم المنخفض) غير ثابت، بل أنه يأخذ مدى معين، وكما في مثالنا هذا فإن مدى الجهد الذي يتراوح من 3.5 إلى 5 فولت يعتبر ذو مستوى عالي في الأنظمة المنطقية الموجبة، ويكون ذا مستوى منخفض في الأنظمة المنطقية السالبة، بالمثل فإن مدى الجهد الذي يتراوح من 0 إلى 1 فولت يعتبر ذو مستوى منخفض في الأنظمة المنطقية الموجبة، ويكون ذا مستوى عالي في الأنظمة المنطقية السالبة.

ويجب الإشارة هنا بأن قيم الجهود في المثال السابق لا تنطبق على جميع أنواع الدوائر حيث تختلف هذه القيم حسب العائلات المنطقية المختلفة كما هو مبين في الفصل الرابع، كما يجب الإشارة أيضا أنه سيتم التعامل في كتابنا هذا مع الأنظمة المنطقية الموجبة Positive logic system مالم يذكر خلاف ذلك.

ويمكن أيضا تمثيل مستويي الإشارات العالي والمنخفض بالمقياس الرقمي الثنائي Binary digit وهو 1 و 0 على الترتيب، ويطلق على كل من الرقمين 1 أو 0 اسم بت Bit (وهو اختصار للمصطلح Binary digit). وحيث أن الإشارة الرقمية أصبحت تأخذ أحد المستويين 1 أو 0، فإن النظام الثنائي للأعداد Binary number system يمكن استخدامه في تحليل وتصميم الأنظمة الرقمية (أنظر الفصل الثاني)، كما يمكن الإشارة إلى الحالتين بـ: "فتح-غلق" ON OFF، أو بـ: "حقيقي-زائف" Flase-True.

جدول الحقيقة Truth table :

هو تمثيل لجميع احتمالات الدخول المختلفة والخرج المقابل لكل احتمال من هذه الاحتمالات، حيث يكون لكل دخل أحد احتمالين إما 1 أو 0، كما يكون عدد الاحتمالات مساوياً : 2^N ، حيث N تمثل عدد الدخول .

ونفرض بوابة AND لها دخلين A و B ، والخرج هو Y ، فيمثل جدول (1-1) جدول الحقيقة لهذه البوابة، وتكون المعادلة المنطقية للبوابة AND على الصورة :

$$Y = A \cdot B$$

وتقرأ هكذا : " Y تساوى A وأند B " .

جدول (1-1)

الدخول		الخرج
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

ومن الجدول نجد أننا أمام دخلين، وتكون احتمالات الدخول هي: $(2^N = 2^2 = 4)$ ، كما نجد من الصف الأخير أن الخرج يكون مساوياً: 1 إذا كان كلا الدخلين مساوياً : 1، أما في الصفوف الثلاثة الأولى فنجد أن الخرج يكون مساوياً: 0 طالما كان أحد الدخلين على الأقل مساوياً: 0 .

2-3-1 العملية OR :

ويوضح شكل (1-4) عملية أو بوابة OR حيث يوجد مداخل عددها N (حيث :

$$N \geq 2$$

ويمكن تعريف العملية OR كالتالى :

يكون الخرج مساوياً : 1، إذا كان أحد الدخول على الأقل مساوياً : 1 .

ويتم الحصول على الخرج من خلال الطرف الذى يرمز له Y وهو خرج رقمى أيضاً.

ويمكن تعريف العملية AND كالتالى :

يكون الخرج مساوياً 1، إذا كانت فقط كانت كل الدخول مساوية 1.

ويمكن التعبير عن ذلك بالعلاقة :

$$Y = A \text{ AND } B \text{ AND } C \text{ AND } \dots \text{ AND } N$$

$$= A \cdot B \cdot C \cdot \dots \cdot N$$

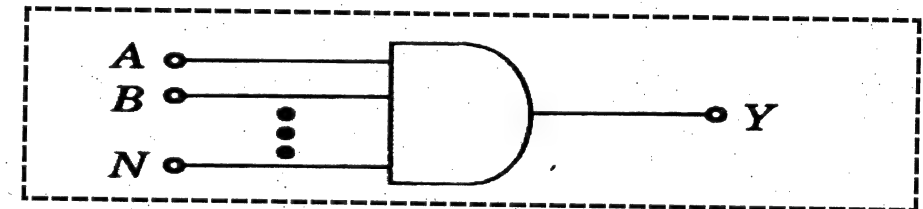
$$= A \cdot B \cdot C \cdot \dots \cdot N$$

(1-1)

حيث :

A ، و B ، و \dots ، و N تمثل متغيرات الدخول .

Y تمثل متغير الخرج .

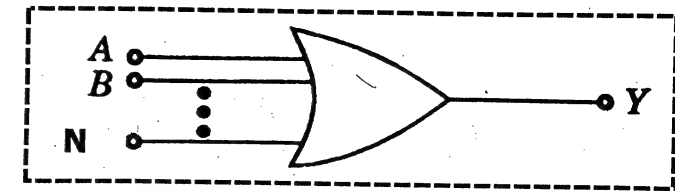


شكل (1-3) الرمز القياسى للبوابة AND

وهذه المتغيرات مأخوذة بنظام المقياس الثنائى، أى يكون كل متغير أحد احتمالين 1 أو 0 فقط، والتى يمكن التعبير عنها بما يسمى بالمتغيرات المنطقية Logical variables .

وتعرف المعادلة (1-1) بمعادلة بول، أو المعادلة المنطقية للبوابة AND.

ويعود اللفظ "بوابة" Gate إلى التشابه بين عمل الدائرة المنطقية والبوابة، فعلى سبيل المثال فإن العملية AND لاتفتح (أى لاتعطى خرجاً) إلا إذا كانت كل الدخول موجودة أى تكون ذات مستوى 1.



شكل (4-1) الرمز القياسي لبوابة OR

ويمكن التعبير عن ذلك بالعلاقة :

$$Y = A \text{ OR } B \text{ OR } C \text{ OR } \dots \text{ OR } N$$

$$= A + B + C + \dots + N$$

(1-2)

ويمثل جدول (2-1) جدول الحقيقة لبوابة OR لها دخلين: A و B، والخرج: Y، وتكون المعادلة المنطقية على الصورة:

$$Y = A + B$$

وتقرأ هكذا: "Y تساوى A أو B".

جدول (2-1)

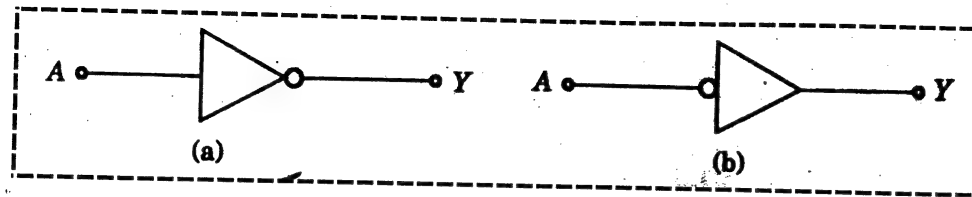
الدخول		الخرج
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

ونجد أن الخرج يكون دائما مساويا: 1 طالما كان أحد الدخلين على الأقل مساويا: 1 كما هو واضح في الصفوف الثلاثة الأخيرة، أما في الصف الأول فنجد أن الخرج يكون مساويا 0 لأن كلا الدخلين يكون مساويا : 0 .

3-3-1 العملية NOT :

ويوضح شكل (5-1) عملية أو بوابة NOT والتي تسمى أيضا العاكس أو عملية النفي Inverter، وهي ذات مدخل واحد هو: A، ومخرج واحد هو: Y، ويكون الخرج

دائما عكس الدخل، بمعنى أنه إذا كان الدخل مساويا: 1، يكون الخرج مساويا: 0، والعكس صحيح .



شكل (5-1) الرمز القياسي لبوابة NOT

ويمكن التعبير عن ذلك بالعلاقة :

$$Y = \text{NOT } A$$

$$= \bar{A}$$

(1-3)

ويمثل جدول (3-1) جدول الحقيقة لبوابة NOT لها دخل A، والخرج هو Y، وتقرأ المعادلة المنطقية هكذا: "Y تساوى عكس A".

جدول (3-1)

الدخل	الخرج
A	Y
0	1
1	0

ويجب ملاحظة أن وجود الدائرة الصغيرة، والتي تسمى بالفقاعة Bubble، نأخذ دائما للتعبير عن عكس المنطق في الدوائر المنطقية.

4-1 العمليتان الإضافيتان NAND و NOR :

يمكن تحقيق أو تنفيذ أى تعبير منطقي باستخدام العمليات الثلاث السابقة AND، و OR، و NOT، ومن هذه العمليات الثلاث تم إستنتاج عمليتين إضافيتين أخريين هما: العملية NAND، والعملية NOR، واللذان أصبحتا محببتين وواسعتي الاستخدام، والسبب في ذلك يرجع في أنه يمكن تحقيق أى تعبير منطقي باستخدام العديد من أحدهما فقط، ومن هنا أيضا جاءت تسميتهما بـ "البوابات العمومية" Universal gates .

1-4-1 العملية NAND :

هي بوابة واحدة تجمع بين بوابتين هما: بوابة AND متبوعة ببوابة NOT، كما هو موضح في شكل (a-6-1) ومن هنا جاءت تسميتها NAND، حيث يمكن توضيح العلاقة الحاكمة كما يلي :

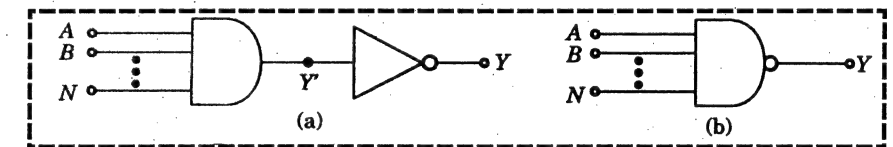
1- خرج البوابة AND وهو Y' يمكن كتابته باستخدام العلاقة (1-1) كالتالي :

$$Y' = A B \dots N \quad (1-4)$$

2- خرج البوابة NOT وهو Y يمكن كتابته باستخدام العلاقة (3-1) كالتالي :

$$Y = \overline{Y'} = (\overline{A B \dots N}) \quad (1-5)$$

وبين شكل (b-6-1) تمثيل العملية أو البوابة NAND، وحيث تمثل الدائرة الصغيرة المرسومة في نهاية البوابة NAND عملية NOT.



شكل (6-1) البوابة NAND

ويمثل جدول (4-1) جدول الحقيقة لبوابة NAND لها مدخلين هما: A و B، ومخرج واحد هو: Y، وتكون المعادلة المنطقية هي :

$$Y = \overline{AB}$$

ونقرأ هكذا : " Y تساوى عكس A أند B " .

جدول (4-1)

الدخول		الخرج
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

وكما ذكرنا في بداية هذا القسم، يمكن بناء العمليات الأساسية الثلاث (AND، OR، و NOT) باستخدام بوابات NAND فقط كما في شكل (7-1) كالتالي :

1- الحصول على بوابة NOT :

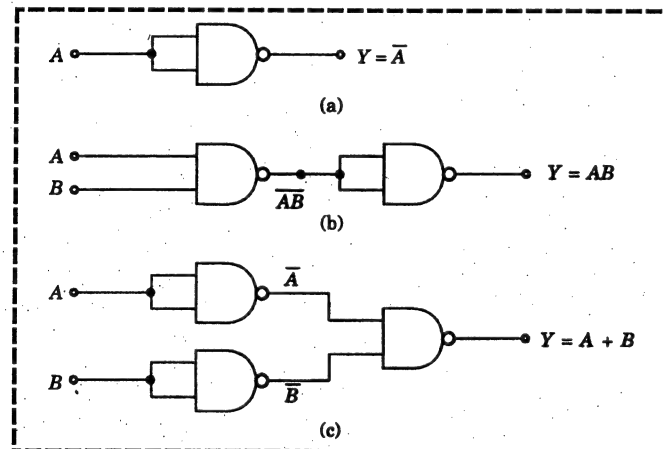
يستخدم في ذلك بوابة NAND كما في شكل (a-7-1) وذلك بتحويل مدخلها إلى مدخل واحد A والحصول على الخرج Y كالتالي :

$$Y = \bar{A}$$

2- الحصول على بوابة AND :

يستخدم في ذلك بوابتين NAND كما في شكل (b-7-1)، حيث تستخدم البوابة الأولى كبوابة NAND دخلها A و B ويكون خرجها \overline{AB} ، ثم تستخدم البوابة الثانية كبوابة NOT، فنحصل على الخرج Y كالتالي :

$$Y = AB$$



شكل (7-1) تحقيق العمليات الأساسية باستخدام بوابات NAND

3- الحصول على بوابة OR :

يستخدم في ذلك 3 بوابات NAND كما في شكل (c-7-1) حيث تستخدم إثنين منهم كبوابتين NOT يكون دخل الأولى A وخرجها \bar{A} ، ودخل الثانية B وخرجها \bar{B} ، ثم تستخدم البوابة الثالثة كبوابة NAND، فنحصل على الخرج Y كالتالي :

$$Y = A + B$$

كما يمكن بناء العمليات الأساسية الثلاث باستخدام بوابات NOR فقط كما في شكل (9-1) كالاتى :

1- الحصول على بوابة NOT :

يستخدم فى ذلك بوابة NOR كما فى شكل (a-9-1) وذلك بتحويل مدخلها إلى مدخل واحد A والحصول على الخرج Y كالاتى :

$$Y = \bar{A}$$

2- الحصول على بوابة OR :

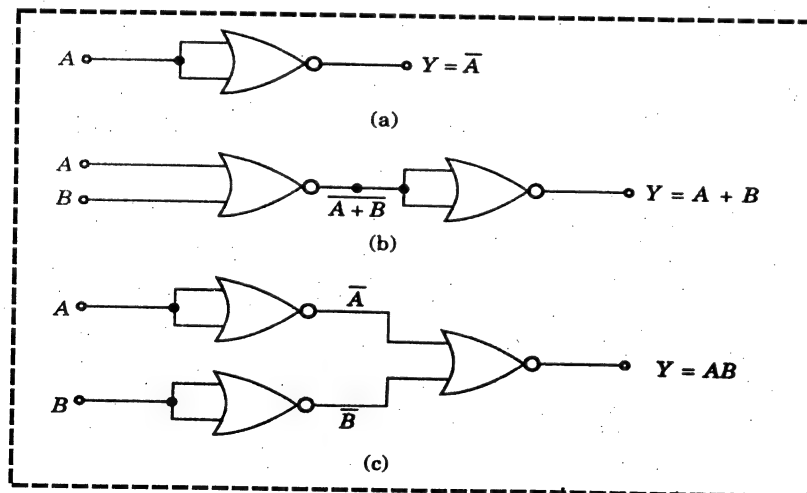
يستخدم فى ذلك بوابتين NOR كما فى شكل (b-9-1) ، حيث تستخدم البوابة الأولى كبوابة OR يكون دخلها A و B ويكون خرجها $A+B$ ، ثم تستخدم البوابة الثانية كبوابة NOT ، فنحصل على الخرج Y كالاتى :

$$Y = A + B$$

3- الحصول على بوابة AND :

يستخدم فى ذلك 3 بوابات NOR كما فى شكل (c-9-1) حيث تستخدم إثنين منهم كبوابتين NOT يكون دخل الأولى A وخرجها \bar{A} ، ودخل الثانية B وخرجها \bar{B} ، ثم تستخدم البوابة الثالثة كبوابة NOR ، فنحصل على الخرج Y كالاتى :

$$Y = AB$$



شكل (9-1) تحقيق العمليات الأساسية باستخدام بوابات NOR

1-4-2 العملية NOR :

هى بوابة واحدة تجمع بين بوابتين هما : بوابة OR متبوعة ببوابة NOT ، كما هو موضح فى شكل (a-8-1) ومن هنا جاءت تسميتها NOR حيث يمكن توضيح العلاقة الحاكمة كما يلى :

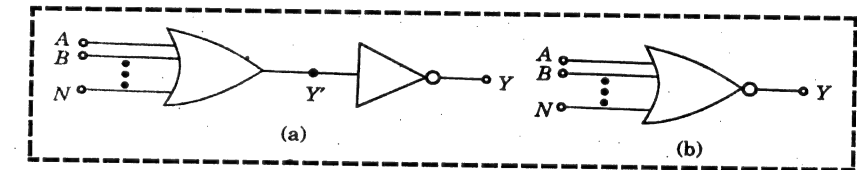
1- خرج البوابة OR وهو Y' يمكن كتابته باستخدام العلاقة (2-1) كالتالى :

$$Y' = A + B + \dots + N \quad (1-6)$$

2- خرج البوابة NOT وهو Y يمكن كتابته باستخدام العلاقة (3-1) كالتالى :

$$Y = \overline{Y'} = \overline{(A + B + \dots + N)} \quad (1-7)$$

ويبين شكل (b-8-1) تمثيل العملية أو البوابة NOR ، وحيث تمثل الدائرة الصغيرة المرسومة فى نهاية البوابة NOR عملية عكس NOT.



شكل (8-1) البوابة NOR

ويمثل جدول (5-1) جدول الحقيقة لبوابة NOR لها مدخلين هما A و B ، ومخرج واحد هو Y ، وتكون المعادلة المنطقية هى :

$$Y = \overline{A + B}$$

وتقرأ هكذا : " Y تساوى عكس A أو B " .

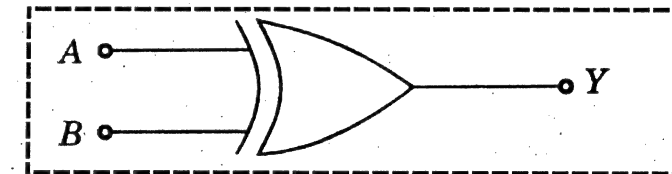
جدول (5-1)

الدخول		الخرج
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

5-1 العمليات EX-OR ، و EX-NOR :

1-5-1 العملية Exclusive-OR :

العملية الإستبعادية EX-OR تستخدم بتوسع كبير في الدوائر الرقمية، وهي لا تعتبر من البوابات الأساسية أو العمومية، ويبين شكل (10-1) رمز البوابة EX-OR.



شكل (10-1) رمز البوابة EX-OR

كما يبين جدول (6-1) جدول الحقيقة للبوابة EX-OR، وتكون العلاقة المنطقية على الصورة :

$$Y = A \oplus B = A \oplus B$$

جدول (6-1)

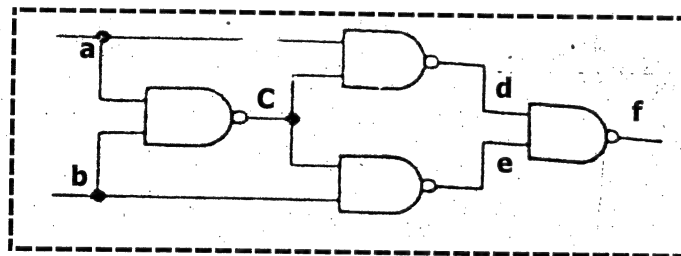
الدخول		الخرج
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

وبمقارنة هذا الجدول بجدول الحقيقة للبوابة OR نجد ان الصفوف الثلاثة الأولى في الجدولين متشابهة ، بينما يختلف الصف الرابع ، وصفة "الإستبعادية" جاءت من كون العملية تستبعد الحالة : $Y = 1$ ، عندما يكون : $A = B = 1$ والتي تستوعبها العملية OR .

ومن أحد التطبيقات الهامة لهذه البوابة استخدامها للمقارنة بين إشارتين منطقيتين Digital signal حيث نحصل على خرج البوابة : 1 إذا كانت الإشارتين مختلفتين

(أي تكون إحدهما 1 والأخرى 0)، بينما نحصل على خرج البوابة : 0 إذا كانت الإشارتين متشابهتين (سواء أكان كلاهما مساوياً 0 ، أو 1).

ويمكن بناء العملية EX-OR باستخدام 4 بوابات NAND، كما هو مبين في شكل (11-1).



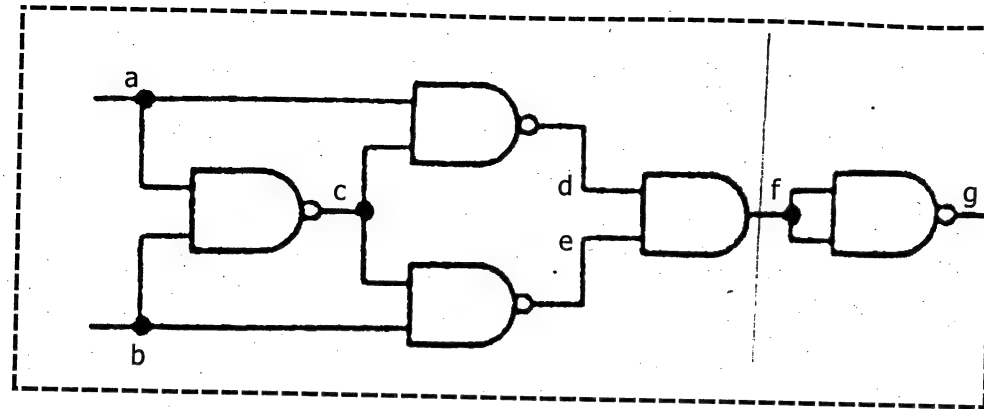
شكل (11-1) تحقيق العملية EX-OR باستخدام بوابات NAND

ويمكن التحقق من الدائرة كالتالي :

حيث يتم التأكد من تحقيق الصف الرابع من جدول الحقيقة ، فيكون المنطق 1 هو الدخل عند كل من a ، و b، ومنه يكون منطق عند النقطة c هو : 0، ثم يكون منطق كل من النقطتين d ، و e هو : 1، وفي النهاية يصبح الخرج عند النقطة f هو : 0، (وهذا يحقق الصف الرابع من جدول الحقيقة) .

2-5-1 العملية الإستبعادية Exclusive-NOR :

العملية الإستبعادية EX-NOR، هي عملية عكس العملية EX-OR ، فيمكن تصورها على أنها مكونة من عمليتين منطقيتين متتاليتين ، الأولى عملية EX-OR ، والثانية عملية عكس NOT، وهي لا تعتبر من البوابات الأساسية أو العمومية ، ويبين شكل (12-1) رمز البوابة EX-NOR .



شكل (13-1) تحقيق العملية EX-NOR باستخدام بوابات NAND

6-1 جبر بول :

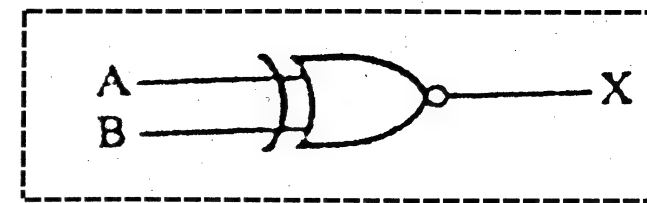
كما تم مناقشته من قبل، نجد أن الإشارات الرقمية تكون محددة، أى تكون بإحدى قيمتين 1 أو 0، ويعرف النظام الرقمية الذى يبنى عليه هذين الرقمين باسم النظام الثنائى للأعداد Binary number system ، وقد قام العالم جورج بول George Boole بتقديم مفهوم النظام الثنائى للأعداد وتطوير المفهوم الجبرى لهذا النظام والمعروف باسم "جبر بول" Boolean algebra ، والذى على أساسه بنيت جميع الأنظمة الرقمية .

ويتم تمثيل هذه المتغيرات التى على الشكل الثنائى بحروف A و B و X و Y و، وحيث يكون لأى متغير منها فى أى وقت أحد القيمتين : إما 1 أو 0 .

وبيين جدول (8-1) "نظريات بول الجبرية" .

ملاحظات على نظريات بول :

1- يلاحظ أن كل النظريات ذات الرقم الزوجى مأخوذة من النظريات ذات الرقم الفردى التى قبلها، وذلك بالتغيير المتبادل بين الإشارتين (+)، و(.)، وكذلك التغيير المتبادل بين الرقمين 1 و 0 ، وتعرف مثل هذه النظريات بالنظريات المزدوجة Dual theorems .



شكل (12-1) رمز البوابة EX-NOR

كما يبين جدول (7-1) جدول الحقيقة للبوابة EX-NOR، وتكون العلاقة المنطقية على الصورة:

$$Y = A \oplus B$$

جدول (7-1)

الدخول		الخرج
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

ويمكن بناء العملية EX-NOR باستخدام 5 بوابات NAND ، كما هو مبين فى شكل (13-1)، ويمكن التحقق من الدائرة كالاتى :

حيث يتم التأكد من تحقيق الصف الرابع من جدول الحقيقة ، فيكون المنطق 1 هو الدخل عند كل من a ، و b ، ومنه يكون منطق عند النقطة c هو : 0 ، ثم يكون منطق كل من النقطتين d ، و e هو : 1 ، ويكون الخرج عند النقطة f هو : 0 ، وفى النهاية يصبح الخرج عند النقطة g هو : 1 (وهذا يحقق الصف الرابع من جدول الحقيقة).

2- النظريات من 1 إلى 8 تشتمل على متغير واحد فقط أى A، كما أنه يمكن إثباتها بالتعويض عن احتمالات هذا المتغير (1 أو 0)، فمثلا بخصوص النظرية (1-1) :

$$A + 0 = A$$

بوضع $A = 0$ ، يصبح الطرف الأيسر (0 + 0) مساويا: 0، أى مساويا للطرف الأيمن.

وبوضع $A = 1$ ، يصبح الطرف الأيسر (1 + 0) مساويا: 1، أى مساويا للطرف الأيمن.

وبذلك يتم إثبات النظرية.

3- النظريات من 9 إلى 20 تشتمل على أكثر من متغير، ويمكن إثباتها عن طريق إنشاء جدول الحقيقة، فمثلا بخصوص النظرية (10-1) :

جدول (8-1)

رقم النظرية	النظرية
1-1	$A + 0 = A$
2-1	$A \cdot 1 = A$
3-1	$A + 1 = 1$
4-1	$A \cdot 0 = 0$
5-1	$A + A = A$
6-1	$A \cdot A = A$
7-1	$A + \bar{A} = 1$
8-1	$A \cdot \bar{A} = 0$
9-1	$A \cdot (B + C) = AB + AC$
10-1	$A + BC = (A + B)(A + C)$
11-1	$A + AB = A$
12-1	$A(A + B) = A$

13-1	$A + \bar{A}B = (A + B)$
14-1	$A(\bar{A} + B) = AB$
15-1	$AB + \bar{A}B = A$
16-1	$(A + B)(A + \bar{B}) = A$
17-1	$AB + \bar{A}C = (A + C)(\bar{A} + B)$
18-1	$(A + B) \cdot (\bar{A} + C) = AC + \bar{A}B$
19-1	$AB + \bar{A}C + BC = AB + \bar{A}C$
20-1	$(A + B)(\bar{A} + C)(B + C) = (A + B)(\bar{A} + C)$
21-1	$\bar{A} \cdot \bar{B} \cdot \bar{C} = \bar{A} + \bar{B} + \bar{C} + \dots$
22-1	$\bar{A} + \bar{B} + \bar{C} + \dots = \bar{A} \cdot \bar{B} \cdot \bar{C} + \dots$

$$A + BC = (A + B) \cdot (A + C)$$

يتم إنشاء جدول الحقيقة (9-1)

جدول (9-1)

A	B	C	BC	A + BC	A + B	A + C	(A + B)(A + C)
0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0
0	1	0	0	0	1	0	0
0	1	1	1	1	1	1	1
1	0	0	0	1	1	1	1
1	0	1	0	1	1	1	1
1	1	0	0	1	1	1	1
1	1	1	1	1	1	1	1

ويكون عدد التكوينات Combinations التي يمكن الحصول عليها من المتغيرات الثلاثة A، B و C هي: $2^3 = 8$ ، ونجد من الجدول أنه فى التكوين الذى به $A = 1$ ، $B = 0$ ، $C = 1$ أى الصف السادس يكون :

الطرف الأيسر :

$$A + BC = 1 + (0 \cdot 1) = 1 + (0) = 1$$

الطرف الأيمن :

$$(A + B) \cdot (A + C) = (1 + 0) \cdot (1 + 1) = (1) \cdot (1) = 1$$

وبذلك تتحقق النظرية :

$$A + BC = (A + B) \cdot (A + C)$$

4- تعرف النظريتان 21 ، و 22 بنظريات دي مورجان De Morgan's theorems ،

ويمكن إثباتها بفرض حالة لمتغيرين فقط (A ، و B) ، ثم تعميم النتيجة لعدة متغيرات ، فمن جدول الحقيقة (10-1) نحصل على العلاقتين :

$$\overline{A \cdot B} = \overline{A} + \overline{B} \quad (1-9)$$

وأيضاً :

$$\overline{A + B} = \overline{A} \cdot \overline{B} \quad (1-10)$$

جدول (10-1)

A	B	\overline{A}	\overline{B}	$\overline{A \cdot B}$	$\overline{A} + \overline{B}$	$\overline{A + B}$	$\overline{A} \cdot \overline{B}$
0	0	1	1	1	1	1	1
0	1	1	0	1	1	0	0
1	0	0	1	1	1	0	0
1	1	0	0	0	0	0	0

وبفرض أن $A = 1$ ، و $B = 0$ يمكن إثبات العلاقة (9-1) كالآتي :

الطرف الأيسر :

$$\overline{A \cdot B} = \overline{1 \cdot 0} = \overline{0} = 1$$

الطرف الأيمن :

$$\overline{A} + \overline{B} = \overline{1} + \overline{0} = 0 + 1 = 1$$

وبذلك تتحقق العلاقة : $\overline{A \cdot B} = \overline{A} + \overline{B}$

والآن نفرض العملية NAND لها 3 مداخل ، فيكون :

$$\overline{ABC} = (\overline{AB}) \cdot \overline{C}$$

وباستخدام العلاقة (9-1) يكون :

$$\overline{ABC} = (\overline{AB}) + \overline{C}$$

وباستخدام العلاقة (9-1) للمقدار $(\overline{A \cdot B})$ يكون :

$$\overline{A \cdot B \cdot C} = \overline{A} + \overline{B} + \overline{C} \quad (1-11)$$

بالمثل :

وبالمثل نفرض العملية NOR لها 3 مداخل ، فيكون :

$$\overline{A + B + C} = \overline{(A \cdot B)} + \overline{C}$$

وباستخدام العلاقة (10-1) يكون :

$$\overline{A + B + C} = \overline{(A + B)} \cdot \overline{C}$$

وباستخدام العلاقة (10-1) للمقدار $(\overline{A + B})$ يكون :

$$\overline{A + B + C} = \overline{A} \cdot \overline{B} \cdot \overline{C} \quad (1-12)$$

وأيضاً يمكن تعميم النتائج السابقة لعدة متغيرات .

ويمكن تحقيق أى مسألة منطقية بمجموعة من العبارات ، والتي يمكن تمثيلها بدلالة معادلة تسمى المعادلة المنطقية Logic equation ، أو يمكن تمثيل هذه العبارات بدلالة جدول الحقيقة ، كما يمكن تحقيق المعادلة المنطقية بتصميم دائرة منطقية تستخدم البوابات المذكورة آنفاً .

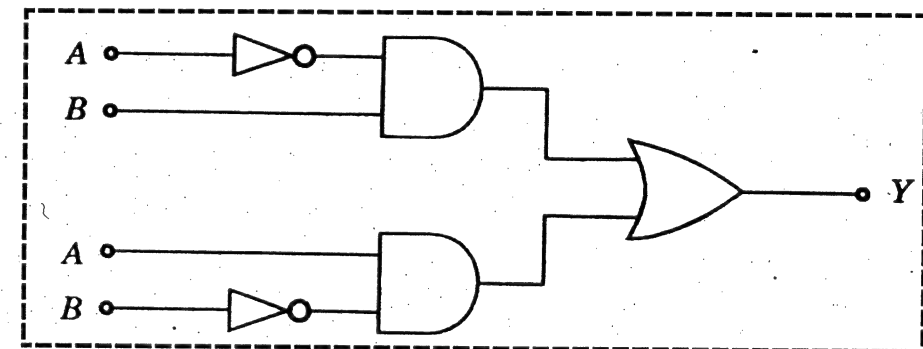
وعامة يمكن تبسيط Simplify ، أو إختصار Minimize المعادلة المنطقية ، مما قد يؤدي هذا إلى تقليل عدد البوابات المستخدمة ، أو تقليل عدد المداخل المطلوبة للبوابات أو كليهما معاً ، وسوف يتم دراسة هذه التقنية في الفصل الخامس ، إلا أننا سوف نتناول المثال التالي الذى يبين تحقيق أو تصميم دائرة منطقية لمعادلة منطقية.

مثال (1-1) :

مطلوب تصميم دائرة منطقية للمعادلة المنطقية الآتية :

$$Y = (\bar{A} \cdot B) + (A \cdot \bar{B}) \quad (1-13)$$

الحل :



شكل (1-14) تحقيق المعادلة (1-13)

يتم الحصول على الجزء الأول من المعادلة وهو : $(\bar{A} \cdot B)$ من إدخال المتغير A على بوابة NOT للحصول على خرج \bar{A} ثم إدخال المتغيرين \bar{A} ، B على بوابة AND ، أما الجزء الثانى من المعادلة وهو $(A \cdot \bar{B})$ يتم الحصول عليه من إدخال المتغير B على بوابة NOT للحصول على خرج \bar{B} ثم إدخال المتغيرين A ، \bar{B} على بوابة AND ، ثم إدخال الخرجين $(\bar{A} \cdot B)$ ، و $(A \cdot \bar{B})$ على بوابة OR للحصول على الخرج المطلوب Y .

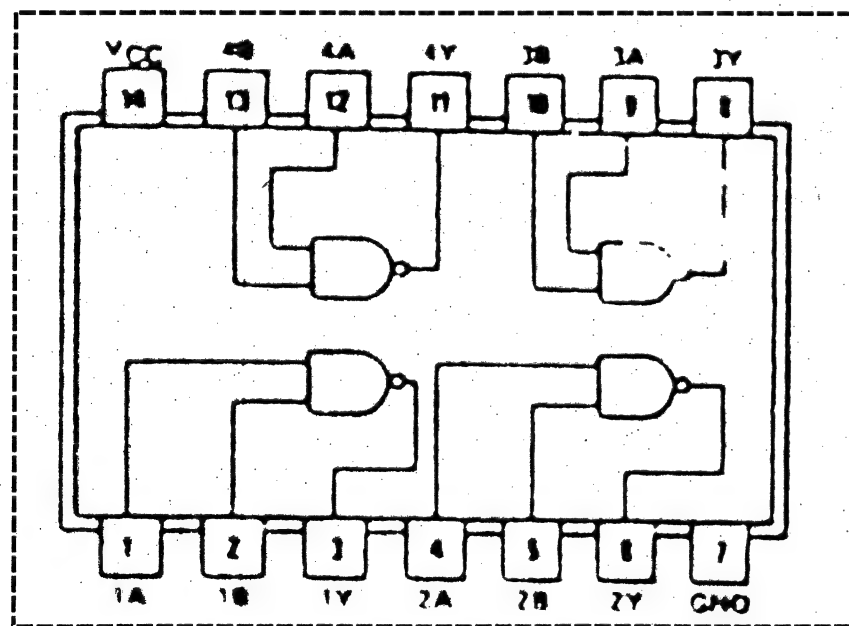
1-7 أمثلة لبوابات دائرة تكاملية :

جميع الدوال المنطقية التى تم تناولها فى هذا الفصل موجودة تجارياً على شكل دوائر تكاملية ICs .

1-7-1 شرح الدائرة التكاملية 7400 :

عبارة عن 4 بوابات NAND متماثلة ، كل منها بمدخلين ومخرج واحد فتشغل بالتالى 12 طرف أو رجل ، وبإجمالى 14 طرف Pin ، ومرتبعة كما هو مبين فى شكل (1-15) ، ويلزم لتشغيل هذه الشريحة جهد تغذية مستمر قدرة 5 v d.c. + يتم توصيله بين الطرفين V_{cc} والأرضى GND .

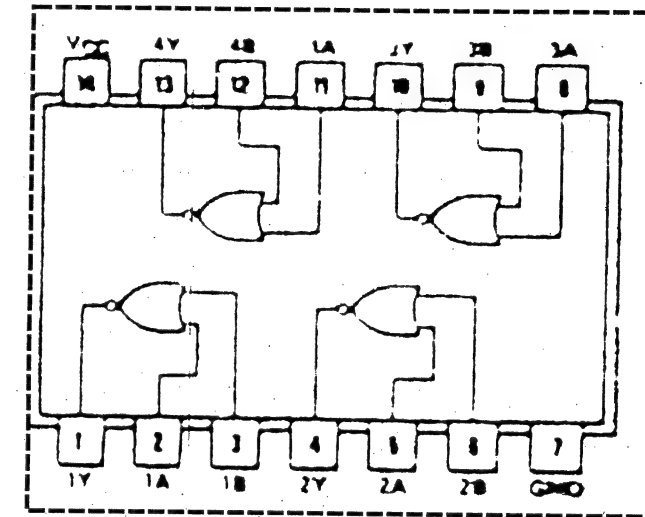
ولتحديد أرقام أرجل الدوائر التكاملية المختلفة ، نجعل التجويف النصف دائرى الجانبى جهة اليسار ، وتكون أول رجل من هذه الجهة من أسفل هى الرجل رقم 1 ، ويستمر العد للأرجل فى عكس إتجاه عقارب الساعة .



شكل (1-15) المخطط الوظيفى للشريحة 7400

1-7-2 شريحة الدائرة التكاملية 7402 :

عبارة عن 4 بوابات NOR متماثلة ، كل منها بمدخلين ومخرج واحد ، وبإجمالي 14 طرف ، ومرتببة كما هو مبين في شكل (16-1) ، ويتم تشغيل هذه الشريحة بنفس طريقة تشغيل الشريحة 7400 .

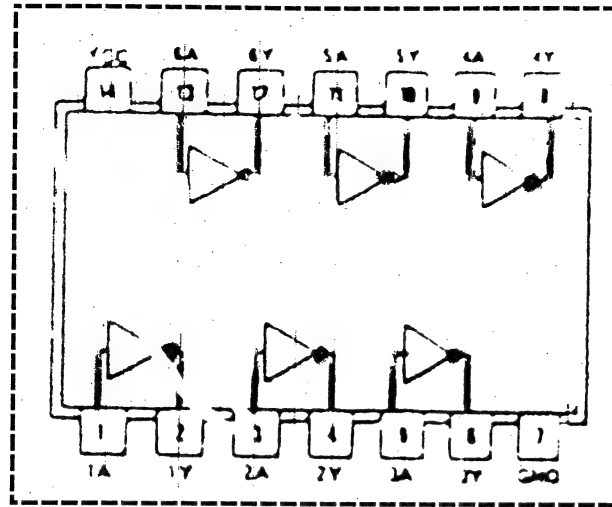


شكل (16-1) المخطط الوظيفي للشريحة 7402

1-7-3 شريحة الدائرة التكاملية 7404 :

عبارة عن 6 بوابات NOT متماثلة ، تشغل 12 رجل، وبإجمالي 14 رجل، ومرتببة كما هو مبين في شكل (17-1)، ويتم تشغيل هذه الشريحة بنفس طريقة تشغيل الشريحة 7400 .

ويبين جدول (11-1) أمثلة لبعض الدوائر المتكاملة المتاحة ، ويتم الحصول على المعلومات الخاصة بتوصيلات نهاياتها وخواصها الكهربائية ... إلخ من كتالوجاتها .



شكل (17-1) المخطط الوظيفي للشريحة 7404

* وفي نهاية الفصل يمكننا القول :

بأنه تمت مناقشة المفاهيم الأساسية للأنظمة الرقمية ، كما تم التعامل مع هذه المفاهيم ببساطة شديدة .

جدول (11-1)

رقم الشريحة	المواصفات
7400	4 بوابات NAND كل منها بمدخلين
7402	4 بوابات NOR كل منها بمدخلين
7404	6 بوابات NOT
7408	4 بوابات AND كل منها بمدخلين
7410	3 بوابات NAND كل منها بـ 3 مداخل
7411	3 بوابات AND كل منها بـ 3 مداخل
7420	بوابتين NAND كل منها بـ 4 مداخل
7421	بوابتين AND كل منها بـ 4 مداخل

تدريبات

تدريب (1-1):

أى من الأنظمة التالية تناظرى، وأيها رقمى:

- أ- عداد الضغط.
- ب- عداد إلكترونى يقوم بعد الأشخاص المتوافدين على أحد المسارح.
- ج- الترمومتر الطبى.
- د- الآلة الحاسبة الإلكترونية.
- هـ- جهاز الراديو الترانزستور.
- و- مفتاح الكهرباء المعتاد.

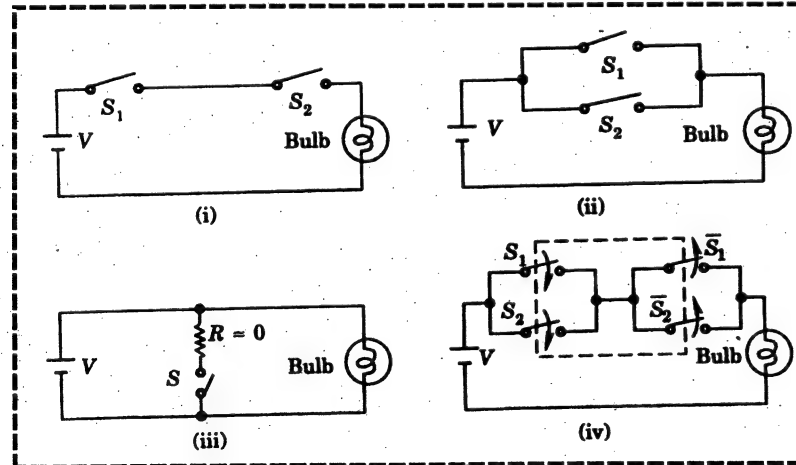
تدريب (2-1):

فى الدوائر الموضحة فى شكل (1-18)، يمكن أن يكون أى من المفاتيح فى وضع (1) مغلق أو (0) مفتوح ومما يسبب إضاءة اللبة (1) ON أو إطفائها (0) OFF.

أ- ناقش كل التكوينات المحتملة للمفاتيح فى كل الدوائر، وحدد إضاءة اللبة (1) ON، أو إطفائها (0) OFF المناظر لكل تكوين.

ب- مطلوب تمثيل المعلومات التى تم الحصول عليها بجداول حقيقة.

ج- مطلوب إسم العملية التى تمثلها كل دائرة ؟



شكل (1-18) دوائر تدريب (2-1)

3 بوابات NOR كل منها بـ 3 مداخل	7427
بوابة NAND بـ 8 مداخل	7430
4 بوابات OR كل منها بمدخلين	7432
4 بوابات EX-OR	74386 ، 7486
بوابة NAND بـ 13 مدخل	74133
4 بوابات EX-OR أو EX-NOR	74135
بوابتين NOR بـ 5 مداخل	74260

أ- كتابة جدول الحقيقة.

ب- تسمية العملية التي تعبر عنها العلاقة.

ج- تحقيق العملية باستخدام بوابات AND، و OR، و NOT.

د- تحقيق العملية باستخدام بوابات NAND فقط.

تدريب (7-1) :

إثبت باستخدام نظريات بوليان الجبرية المعادلة التالية:

$$\bar{A}BC + A\bar{B}C + ABC\bar{A} + ABC = AB + BC + CA$$

تدريب (8-1) :

حقق كلا من الطرف الأيمن والطرف الأيسر من المعادلة المذكورة في التدريب

السابق باستخدام بوابات AND، و OR، و NOT، وحدد ما يتم توفيره بمقارنة الطرفين (بمقارنة عدد البوابات، وعدد الأطراف).

تدريب (9-1) :

حقق الصيغة التالية باستخدام EX-OR:

$$Y = A \oplus B \oplus C \oplus D$$

تدريب (10-1) :

أحسب عدد النهايات للشرائح التي تحمل الأرقام الآتية:

7402 ، 7404 ، 7408 ، 7410 ، 7411 ، 7420 ، 7427 ، 7432 ، 7486 .

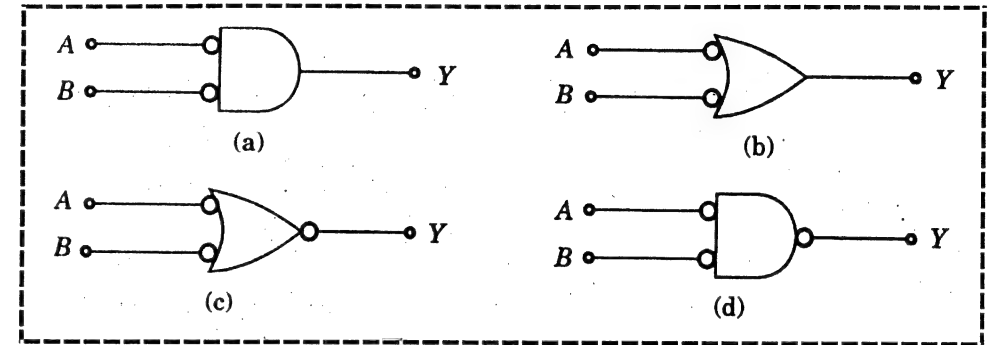
تدريب (11-1) :

عبر عن المستويات المنطقية للدائرتين الآتيتين بالنظام الثنائي (1 أو 0):

أ- 0.4 v ، و 2 v .

تدريب (3-1) :

أوجد العلاقة بين دخول وخرج البوابات الموضحة في شكل (19-1)، وما اسم العملية التي تمثلها كل دائرة ؟



شكل (19-1) دوائر تدريب (3-1)

تدريب (4-1) :

أكتب جدول الحقيقة لدوائر الشكلين (7-1)، و (9-1) وتحقق من النتائج الموجودة.

تدريب (5-1) :

أى من العبارات الآتية تمثل بوابات AND أو OR، أو NAND أو NOR:

أ- كل الدخول منخفضة LOW، ويكون الخرج عالياً HIGH.

ب- يكون الخرج عالياً HIGH، إذا كان وكان فقط كل الدخول عالية HIGH.

ج- يكون الخرج منخفضاً LOW، إذا كان وكان فقط كل الدخول عالية HIGH.

د- يكون الخرج منخفضاً LOW، إذا كان فقط كل الدخول منخفضة LOW.

تدريب (6-1) :

في العلاقة التالية : $Y = A\bar{B} + \bar{A}B$ مطلوب الآتى:

الفصل الثاني الأنظمة العددية والشفرات

1-2 مقدمة

2-2 أنظمة الأعداد

3-2 النظام الثنائي للأعداد

4-2 تمثيل الأعداد الثنائية

5-2 العمليات الحسابية في النظام الثنائي

6-2 العمليات الحسابية بطريقة مكمل الاثنين

7-2 النظام الثماني للأعداد

8-2 النظام السداسي عشر للأعداد

9-2 الشفرة الرقمية

ب- -0.75 v ، و -1.55 v .

تدريب (12-1) :

أكتب جدول الحقيقة لبوابات 3 مداخل الآتية:

أ- بوابة AND. ب- بوابة OR. ج- بوابة NAND. د- بوابة NOR.

تدريب (13-1) :

برهن المعادلات التالية:

$$A \oplus B = \overline{A} \oplus \overline{B}$$

$$\overline{A \oplus B} = A \oplus \overline{B} = \overline{A} \oplus B$$

$$B \oplus (B \oplus A.C) = A.C$$

2-1 مقدمة :

كلنا على علم بنظام الأعداد المعتاد ، والذي يعتمد على تكوينات من الأرقام التالية:

0، 1، 2، 3، 4، 5، 6، 7، 8، و 9.

ويُعرف هذا النظام بـ "النظام العشري للأعداد" Decimal number system ويكون أساس هذا النظام هو العدد 10، فالرقم 1982.365 مثلا مكون من عدد صحيح هو: 1982، وعدد كسري هو: 0.365 ، ويفصل بينهما ما يسمى بالعلامة العشرية Decimal point (.) .

كما تستخدم أنظمة أخرى لتمثيل الأعداد مثل: النظام الثنائي للأعداد Binary number system، والنظام الثماني للأعداد Octal number system، والنظام السداسي عشر للأعداد Hexadecimal number system، وتستخدم كل أنظمة الأعداد هذه في الأنظمة الرقمية، مما يحتم بصفة أساسية ضرورة دراستها، حيث أن دراستها تُسهل من فهم وتحليل وتصميم الأنظمة الرقمية.

وكما درسنا في الفصل الأول أن الدوائر الرقمية بصفة عامة تستخدم الإشارات الثنائية Binary signals، كما أن عمل هذه الأجهزة يتطلب إدخال بيانات تحمل معلومات بالأرقام وبالحروف بالإضافة إلى بعض العلامات الخاصة ، ومن هنا كان لابد من تحويل هذه المعلومات (والتي يمكن أن تكون على أي شكل) إلى شكل ثنائي مناسب قبل معالجتها في الدوائر الرقمية، ولتحقيق هذا تحدث عملية تشفير Coding، حيث يتم بواسطة هذه العملية تشفير هذه المعلومات باستخدام تكوينات من الأحاد 1's والأصفار 0's مع استخدام جداول التشفير Coding schemes .

ويوجد العديد من طرق التشفير، وكل منها يناسب الغرض الذي من أجله تم تصميم النظام الرقمي، كما أنه من الممكن استخدام العديد من هذه الطرق في نظام رقمي واحد حيث تستخدم كل طريقة في تنفيذ عملية معينة، كما يمكن من الضروري تحويل بيانات من شفرة إلى شفرة، وعلى هذا فإن دراسة دوائر تحويل الشفرة Code converter circuits لشئ ضروري.

2-2 أنظمة الأعداد :

فى أى نظام من أنظمة الأعداد، يوجد مجموعة من الأرقام Digits، بالإضافة إلى عدد من القواعد التى يلزم تعريفها لتنفيذ العمليات الحسابية مثل عمليات الجمع، والطرح، والضرب ... إلخ، ويؤدى تجميع هذه المجموعة من الأرقام إلى تكوين العدد نفسه، والذى يكون عامة مكون من جزئين: عدد صحيح، وعدد كسرى، وبينهما مايسمى برقم القاعدة (.)، ويمكن التعبير عن هذا العدد بالعلاقة:

$$(N)_b = d_{n-1}d_{n-2}...d_1d_0.d_{-1}d_{-2}...d_{-f}...d_{-m} \quad (2-1)$$

حيث :

N .. قيمة العدد نفسه .

b .. أساس نظام الأعداد المستخدم (عشرى أو ثنائى أو ...) .

n .. عدد أرقام العدد الصحيح .

m .. عدد أرقام العدد الكسرى .

(.) .. رقم القاعدة .

وكل خانة لأى رقم داخل العدد تكون لها أهمية وبما يعرف بالوزن Weight، ويمكن توضيح ذلك من جدول (1-2) الآتى:

جدول (1-2)

نظام الأعداد	الأساس	الرموز المستخدمة	وزن الرقم صحيح كسر	مثال
ثنائى	2	0، و 1	2^i $1/2^f$	1011.11
ثمانى	8	0، 1، و 2، و 3، و 4، و 5، و 6، و 7	8^i $1/8^f$	3567.25
عشرى	10	0، 1، و 2، و 3، و 4، و 5، و 6، و 7، و 8، و 9	10^i $1/10^f$	3974.57
السداسى عشر	16	0، 1، و 2، و 3، و 4، و 5، و 6، و 7، و 8، و 9، و A، و B، و C، و D، و E، و F	16^i $1/16^f$	3FA9.56

3-2 النظام الثنائى للأعداد :

نظام الأعداد ذو الأساس 2 يعرف بالنظام الثنائى للأعداد Binary number system، ويستخدم فى تمثيل الأعداد فى هذا النظام رقمين فقط هما: 1، و 0، ويسمى كل منهما "بت" Bit .

ويبين جدول (2-2) العد فى النظام الثنائى للأعداد والعد المناظر فى نظام الأعداد العشرى، ويسمى الرقم فى أقصى يسار العدد (B_3) بـ "بت التأثير الأكبر" Most Significant Bit (MSB)، بينما يسمى الرقم فى أقصى يمين العدد (B_0) بـ "بت التأثير الأصغر" Least Significant Bit (LSB)، ويمكن إضافة أى عدد مكون من أصفار 0's إلى العدد الثنائى بدون إحداث أى تغيير فى قيمته.

وفى النظام الثنائى للأعداد تسمى مجموعة العدد المكونة من 4-بت، مثل العدد: 1101 بـ "نيبل" Nibble، بينما تسمى مجموعة العدد المكونة من 8-بت مثل العدد: 11000101 بـ "بايت" Byte.

جدول (2-2)

العدد الثنائى				العدد العشرى	
B_3	B_2	B_1	B_0	D_1	D_0
0	0	0	0	0	0
0	0	0	1	0	1
0	0	1	0	0	2
0	0	1	1	0	3
0	1	0	0	0	4
0	1	0	1	0	5
0	1	1	0	0	6
0	1	1	1	0	7
1	0	0	0	0	8
1	0	0	1	0	9
1	0	1	0	1	0
1	0	1	1	1	1
1	1	0	0	1	2
1	1	0	1	1	3
1	1	1	0	1	4
1	1	1	1	1	5

2-3-1 التحويل من النظام الثنائي إلى النظام العشري :

يمكن تحويل أى عدد فى النظام الثنائى إلى عدد مكافئ فى النظام العشري، وذلك باستخدام الأوزان المناسبة لكل بت حسب موقعه، كما هو موضح فى جدول (1-2).

مثال (1-2) :

إوجد العدد فى النظام العشري المكافئ للعدد $(11111)_2$ فى النظام الثنائى.

الحل :

يكون العدد المكافئ هو :

$$\begin{aligned} &= 1 \times 2^4 + 1 \times 2^3 + 1 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 \\ &= 16 + 8 + 4 + 2 + 1 \\ &= (31)_{10} \end{aligned}$$

وعامة يكون وضع الرقم 2 أو الرقم 8 أو الرقم 10 أو الرقم 16 فى أسفل يمين نهاية العدد للتعبير عن النظام الذى يمثل هذا العدد ، فالعدد $(1000)_2$ يمثل عدد فى النظام الثنائى ، ولا يمثل عدد قيمته ألف والمعروف فى النظام العشري .

مثال (2-2) :

إوجد العدد فى النظام العشري المكافئ للأعداد الثنائية الآتية :

$$\text{أ- } 110101 \quad \text{ب- } 101101 \quad \text{ج- } 11111111 \quad \text{د- } 000000$$

الحل :

أ-

$$\begin{aligned} (110101)_2 &= 1 \times 2^5 + 1 \times 2^4 + 0 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 \\ &= 32 + 16 + 0 + 4 + 0 + 1 \\ &= (53)_{10} \end{aligned}$$

ب-

$$\begin{aligned} (101101)_2 &= 1 \times 2^5 + 0 \times 2^4 + 1 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 \\ &= 32 + 0 + 8 + 4 + 0 + 1 \\ &= (45)_{10} \end{aligned}$$

ج-

$$\begin{aligned} (11111111)_2 &= 1 \times 2^7 + 1 \times 2^6 + 1 \times 2^5 + 1 \times 2^4 + 0 \times 2^3 + \\ &\quad 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 \\ &= 128 + 64 + 32 + 16 + 8 + 4 + 2 + 1 \\ &= (255)_{10} \end{aligned}$$

د-

$$\begin{aligned} (000000)_2 &= 0 \times 2^5 + 0 \times 2^4 + 0 \times 2^3 + 0 \times 2^2 + 0 \times 2^1 + 0 \times 2^0 \\ &= (0)_{10} \end{aligned}$$

مثال (3-2) :

عين العدد فى النظام العشري المكافئ للأعداد الآتية فى النظام الثنائى :

$$\text{أ- } 101101.10101 \quad \text{ب- } 1100.1011$$

$$\text{ج- } 1001.0101 \quad \text{د- } 0.10101$$

الحل :

أ-

$$\begin{aligned} (101101.10101)_2 &= 1 \times 2^5 + 0 \times 2^4 + 1 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 \\ &\quad + 1 \times 2^0 + 1 \times 2^{-1} + 0 \times 2^{-2} + 1 \times 2^{-3} + 0 \times 2^{-4} + 1 \times 2^{-5} \\ &= 32 + 0 + 8 + 4 + 0 + 1 \\ &\quad + 1/2 + 0 + 1/8 + 0 + 1/32 \\ &= (45.65625)_{10} \end{aligned}$$

ب-

$$\begin{aligned}(1100.1011)_2 &= 1 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 + 0 \times 2^0 + 1 \times 2^{-1} \\ &\quad + 0 \times 2^{-2} + 1 \times 2^{-3} + 1 \times 2^{-4} \\ &= 8 + 4 + 0 + 0 + 1/2 + 0 + 1/8 + 1/16 \\ &= (12.6875)_{10}\end{aligned}$$

ج-

$$\begin{aligned}(1001.0101)_2 &= 1 \times 2^3 + 0 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 + 0 \times 2^{-1} \\ &\quad + 1 \times 2^{-2} + 0 \times 2^{-3} + 1 \times 2^{-4} \\ &= 8 + 0 + 0 + 1 + 0 + 1/4 + 0 + 1/16 \\ &= (9.3125)_{10}\end{aligned}$$

د-

$$\begin{aligned}(0.10101)_2 &= 0 \times 2^0 + 1 \times 2^{-1} + 0 \times 2^{-2} + 1 \times 2^{-3} + 0 \times 2^{-4} + 1 \times 2^{-5} \\ &= 0 + 1/2 + 0 + 1/8 + 0 + 1/32 \\ &= (0.65625)_{10}\end{aligned}$$

2-3-2 التحويل من النظام العشري إلى النظام الثنائى :

يمكن تحويل أى نظام أعداد عشري إلى نظام أعداد ثنائى كالتالى:

1- الأعداد الصحيحة :

توجد طرق مختلفة لتحويل الأعداد الصحيحة فى النظام العشري إلى أعداد ثنائية، ومن أهم هذه الطرق هى القيام بالقسمة المتتالية على الأساس (حيث يتم إجراء قسمة العدد باستمرار على 2) والإحتفاظ بباقي القسمة Remainder سواء أكان هذا المتبقى 1 أو 0 فى مسار عمودى، ويكون العدد الصحيح ممثلاً بالنظام الثنائى للأعداد $1, s$ و $0, s$ المتبقية بترتيبها من أسفل لأعلى، أو بكلام آخر نعتبر أول باقى قسمة الأول هو الرقم الأقل أهمية أى الرقم الملاصق للعلامة العشرية، أما آخر باقى قسمة يكون الرقم الأكثر أهمية أى الذى له أكبر وزن موضعى.

2- الأعداد العشرية :

يتم إجراء عملية ضرب متتالى فى 2، والإحتفاظ بالرقم الموجود على يسار العلامة العشرية سواء أكان هذا الرقم 1 أو 0 فى مسار عمودى، مع الإستمرار فى عملية الضرب للكسر فقط (بدون الواحد فى حالة وجوده) حتى الوصول لنتائج مساوى للصفر، أو الإكتفاء بالتقريب إلى أى عدد من عمليات الضرب، ويكون العدد العشري ممثلاً بالنظام الثنائى للأعداد $1, s$ و $0, s$ المتبقية بترتيبها من أعلى لأسفل.

* ويمكن توضيح طريقة تحويل الأعداد العشرية إلى أعداد ثنائية فى الأمثلة التالية.

مثال (2-4) :

حول العدد $(13)_{10}$ إلى العدد المكافئ فى النظام الثنائى للأعداد.

الحل :

هذا العدد صحيح ، فيتم إجراء قسمة العدد باستمرار على 2، والإحتفاظ بباقى القسمة سواء أكان هذا المتبقى 1 أو 0 فى مسار عمودى كالتالى:

خارج قسمة $13 \div 2$ هو 6 ، ويتبقى	1	← الأقل أهمية
خارج قسمة $6 \div 2$ هو 3 ، ويتبقى	0	
خارج قسمة $3 \div 2$ هو 1 ، ويتبقى	1	
خارج قسمة $1 \div 2$ هو 0 ، ويتبقى	1	

ويكون العدد المكافئ فى النظام الثنائى هو: $(1101)_2$ ، أى أن:

$$(13)_{10} = (1101)_2$$

مثال (2-5) :

حول العدد $(0.65625)_{10}$ إلى العدد المكافئ فى النظام الثنائى للأعداد.

الحل :

هذا العدد كسرى، فيتم إجراء عملية الضرب باستمرار في 2، والإحتفاظ بالرقم الناتج على يسار العلامة العشرية سواء أكان هذا الرقم 1 أو 0 في مسار عمودى كالآتى:

حاصل ضرب 2×0.65625 هو 1.31250، ويتم الإحتفاظ بالرقم الناتج على يسار العلامة العشرية وهو 1
حاصل ضرب 2×0.31250 هو 0.62500، ويتم الإحتفاظ بالرقم الناتج على يسار العلامة العشرية وهو 0
حاصل ضرب 2×0.62500 هو 1.2500، ويتم الإحتفاظ بالرقم الناتج على يسار العلامة العشرية وهو 1
حاصل ضرب 2×0.2500 هو 0.5000، ويتم الإحتفاظ بالرقم الناتج على يسار العلامة العشرية وهو 0
حاصل ضرب 2×0.5000 هو 1.0000، ويتم الإحتفاظ بالرقم الناتج على يسار العلامة العشرية وهو 1

ولا يتبقى بعد ذلك أى عدد، ويكون العدد المكافئ فى النظام الثنائى هو:

$$(0.10101)_2 \text{ أى أن :}$$

$$(0.65625)_{10} = (0.10101)_2$$

مثال (2-6) :

حول الأعداد التالية إلى العدد المكافئ فى النظام الثنائى للأعداد:

$$\text{أ- } (25.5)_{10} \quad \text{ب- } (10.625)_{10} \quad \text{ج- } (0.6875)_{10}$$

الحل :

$$\text{أ- } (25.5)_{10} :$$

* العدد الصحيح 25:

$$\begin{aligned} 12 = 25/2 \text{ ويتبقى } 1 \text{} \\ 6 = 12/2 \text{ ويتبقى } 0 \text{} \\ 3 = 6/2 \text{ ويتبقى } 0 \text{} \\ 1 = 3/2 \text{ ويتبقى } 1 \text{} \\ 0 = 1/2 \text{ ويتبقى } 1 \text{} \end{aligned}$$

$$\text{ويكون : } (25)_{10} = (11001)_2$$

* العدد الكسرى 0.5 :

$$1.0 = 2 \times 0.5 \text{ ويتم الإحتفاظ بالرقم 1 .}$$

ويكون :

$$(0.5)_{10} = (0.1)_2$$

وفى النهاية يكون :

$$(25.5)_{10} = (11001.1)_2$$

$$\text{ب- } (10.625)_{10} :$$

* العدد الصحيح 10 :

$$\begin{aligned} 5 = 10/2 \text{ ويتبقى } 0 \text{} \\ 2 = 5/2 \text{ ويتبقى } 1 \text{} \\ 1 = 2/2 \text{ ويتبقى } 0 \text{} \\ 0 = 1/2 \text{ ويتبقى } 1 \text{} \end{aligned}$$

$$\text{ويكون : } (10)_{10} = (1010)_2$$

* العدد العشري 0.625 :

$$1.25 = 2 \times 0.625 \text{ ويتم الإحتفاظ بالرقم 1 .}$$

$$0.5 = 2 \times 0.25 \text{ ويتم الاحتفاظ بالرقم } 0.$$

$$1.00 = 2 \times 0.5 \text{ ويتم الاحتفاظ بالرقم } 1.$$

$$(0.625)_{10} = (0.101)_2 \text{ ويكون :}$$

وفي النهاية يكون :

$$(10.625)_{10} = (1010.101)_2$$

$$ج - (0.6875)_{10}$$

* العدد الكسري 0.6875 :

$$1.375 = 2 \times 0.6875 \text{ ويتم الاحتفاظ بالرقم } 1.$$

$$0.75 = 2 \times 0.375 \text{ ويتم الاحتفاظ بالرقم } 0.$$

$$1.5 = 2 \times 0.75 \text{ ويتم الاحتفاظ بالرقم } 1.$$

$$1.00 = 2 \times 0.5 \text{ ويتم الاحتفاظ بالرقم } 1.$$

ويكون :

$$(0.6875)_{10} = (0.1011)_2.$$

2-4 تمثيل الأعداد الثنائية :

2-4-1 التمثيل بطريقة الإشارة والمقدار Sign-magnitude :

من المعروف أنه في النظام العشري للأعداد يتم استخدام العلامة (+) للتعبير عن العدد الموجب، بينما تستخدم العلامة (-) للتعبير عن العدد السالب، وفي الغالب لا تكتب الإشارة الموجبة للتعبير عن العدد الموجب، أو بمعنى آخر فإن عدم وجود إشارة بجانب العدد يعنى أن هذا العدد موجب، وهذا التمثيل للأعداد يعرف بـ "الأعداد ذات الإشارة"، وكما ذكرنا أن الأعداد في النظام الثنائي يتم التعبير عنها من خلال رقمين فقط هما: 1 و 0، وعلى هذا يلزم التعبير عن إشارة العدد كعدد موجب أو سالب (+ أو -) في هذا النظام من خلال هذين الرمزتين: 1 و 0 أيضاً.

وعامة يستخدم بت إضافي على يسار العدد يمثل إشارة العدد، حيث يعبر البت 0 عن العدد الموجب، بينما حيث يعبر البت 1 عن العدد السالب، فمثلاً العدد $(01000100)_2$ مكون من 8 بت وهو يمثل العدد بإشارته، حيث يدل 0 الموجود على يسار العدد بأنه عدد موجب، أما مقدار العدد نفسه فيكون ممثلاً بالسبع بتات المتبقية $(1000100)_2$ ، ويكون هذا العدد مساوياً في النظام العشري: $(68)_{10}$ ، وفي النهاية نقول أن تمثيل العدد $(01000100)_2$ بالإشارة والمقدار يكون عدداً موجباً قيمته $(68)_{10}$ ، وعلى الجانب الآخر يمثل العدد $(11000100)_2$ عدداً بإشارته ومكون من 8 بت، حيث يدل البت 1 الموجود على يسار العدد بأنه عدد سالب، ويكون مقدار العدد ممثلاً بالسبع بتات المتبقية $(1000100)_2$ في النظام العشري مساوياً: $(68)_{10}$ ، وفي النهاية نقول أن تمثيل العدد $(11000100)_2$ بالإشارة والمقدار يكون عدداً سالباً قيمته $(-68)_{10}$ ، ويسمى هذا التمثيل للأعداد بـ "التمثيل بالإشارة والمقدار" Sign-magnitude representation، ويجب على مستخدم النظام الثنائي للأعداد الإهتمام بنوع التمثيل للعدد الذي يتعامل معه.

مثال (2-7) :

احسب قيمة المكافئة في النظام العشري للأعداد التالية والممثلة بطريقة "التمثيل بالإشارة والمقدار":

$$أ - 101100 \quad ب - 001000 \quad ج - 0111 \quad د - 1111.$$

الحل:

أ - 101100 : بت الإشارة 1 الموجود في يسار العدد يعنى أنه عدد سالب، وتكون قيمة العدد 01100 هي: $(12)_{10}$ وتكون قيمة العدد المكافئة في النظام العشري:

$$(101100)_2 = (-12)_{10}$$

ب - 001000 : بت الإشارة 0 الموجود في يسار العدد، يعنى أنه عدد موجب، وتكون قيمة العدد 01000 هي: $(8)_{10}$ وتكون قيمة العدد المكافئة في النظام العشري:

$$(001000)_2 = (+8)_{10}$$

ج - بالمثل تكون قيمة العدد المكافئة في النظام العشري للعدد 0111 هي:

$$(0111)_2 = (+7)_{10}$$

د- كما تكون قيمة العدد المكافئة في النظام العشري للعدد 1111 هي:

$$(1111)_2 = (-7)_{10}$$

2-4-2 التمثيل بمكمل الواحد:

إذا استبدل كل 1 بـ 0، وكل 0 بـ 1 في النظام الثنائي للأعداد، فيسمى العدد الناتج بمكمل الواحد One's complement للعدد الأساسي، وفي الحقيقة يعتبر كلا العددين مكملان لبعضهما، فحيثما كان أحدهما موجبا يكون الآخر سالبا، مع الاحتفاظ بنفس قيمة العدد، فعلى سبيل المثال العدد $(0101)_2$ يكافئ $(5)_{10}$ ، بينما العدد $(1010)_2$ في هذا التمثيل يكافئ $(-5)_{10}$ ، وهذه الطريقة في التمثيل تعتبر من الطرق الواسعة الاستخدام، وفيها أيضا يعبر البت 0 الموجود على يسار العدد عن العدد الموجب، بينما يعبر البت 1 عن العدد السالب.

مثال (2-8):

أوجد مكمل الواحد لأعداد النظام الثنائي التالية:

$$\text{أ- } 0100111001 \quad \text{ب- } 11011010$$

الحل:

أ- مكمل الواحد للعدد: 0100111001 هو 1011000110 .

ب- مكمل الواحد للعدد: 11011010 هو 00100101 .

مثال (2-9):

مطلوب تمثيل الأعداد التالية على شكل مكمل الواحد:

$$\text{أ- } +7 \text{ ، و } -7 \quad \text{ب- } +8 \text{ ، و } -8 \quad \text{ج- } +15 \text{ ، و } -15$$

الحل:

$$\text{أ- } (0111)_2 = (+7)_{10} \text{ ومكمل الواحد للعدد هو : } (1000)_2 = (-7)_{10}.$$

ب- $(01000)_2 = (+8)_{10}$ ومكمل الواحد للعدد هو: $(10111)_2 = (-8)_{10}$.

ج- $(01111)_2 = (+15)_{10}$ ومكمل الواحد للعدد هو: $(10000)_2 = (-15)_{10}$.

* من الأمثلة السابقة يلاحظ أن العدد في النظام الثنائي للأعداد والمكون من عدد n بت، نجد فيه أن أقصى عدد موجب يمكن تمثيله بطريقة مكمل الواحد يمكن التعبير عنه من العلاقة: $(2^{n-1} - 1)$ ، بينما أقصى عدد سالب يمكن التعبير عنه من العلاقة: $-(2^{n-1} - 1)$.

2-4-3 تمثيل مكمل الإثنين:

يتم الحصول على تمثيل مكمل الإثنين 2's complement للعدد، بإضافة 1 إلى مكمل الواحد 1's complement للعدد، فمثلا إذا كان 0101 عدد في النظام الثنائي للأعداد (وهو عدد موجب قيمته +5)، فيكون تمثيل مكمل الواحد له هو 1010 (وهو عدد سالب قيمته -5) وبإضافة 1 إلى مكمل الواحد للعدد يصبح الناتج 1011 ، أي أن تمثيل مكمل الإثنين للعدد 0101 هو 1011 (وهو يمثل عدد سالب قيمته -5)، ويعني وجود 0 على يسار العدد في هذا التمثيل أن هذا العدد موجب، وإيضا يعني وجود 1 على يسار العدد أن هذا العدد سالب، ويكون أقصى عدد موجب يمكن تمثيله بطريقة مكمل الإثنين يمكن التعبير عنه من العلاقة: $(2^{n-1} - 1)$ ، بينما أقصى عدد سالب يمكن التعبير عنه من العلاقة: $-(2^{n-1})$.

ويبين جدول (3-2) طرق التمثيل بإشارة ومقدار العدد، ومكمل الواحد، ومكمل الإثنين لأعداد يتكون كل منها من 4-بت، ويلاحظ من الجدول أن أعلى رقم موجب هو 0111 وهو $+7$ ، بينما أعلى رقم سالب هو 1000 وهو -8 عند استخدام 4-بت في تمثيل مكمل الإثنين، كما يلاحظ أن مكمل الإثنين لمكمل الإثنين لعدد هو العدد نفسه.

جدول (3-2)

العدد العشري	الإشارة والمقدار	مكمل الواحد	مكمل الإثنين
0	0000	0000	0000
1	0001	0001	0001
2	0010	0010	0010
3	0011	0011	0011
4	0100	0100	0100
5	0101	0101	0101
6	0110	0110	0110
7	0111	0111	0111
-8	-	-	1000
-7	1111	1000	1001
-6	1110	1001	1010
-5	1101	1010	1011
-4	1100	1011	1100
-3	1011	1100	1101
-2	1010	1101	1110
-1	1001	1110	1111
-0	1000	1111	-

مثال (10-2) :

إحسب مكمل الإثنين للأعداد:

أ- 01001110 ب- 00110101

الحل :

أ- مكمل الواحد للعدد 01001110 هو 10110001، ويكون مكمل الإثنين بإضافة 1 إليه، أى يكون: 10110010.

ب- مكمل الواحد للعدد 00110101 هو 11001010، ويكون مكمل الإثنين بإضافة 1 إليه، أى يكون: 11001011.

* ومن الأمثلة عالية يلاحظ مايلي:

(1) إذا كان بت التأثير الأصغر LSB هو: 1، فيمكن الحصول على مكمل الإثنين \overline{A} باستبدال كل 1 بـ 0، وكل 0 بـ 1 عدا بت التأثير الأصغر LSB فيظل كما هو.

(2) إذا كان بت التأثير الأصغر LSB هو: 0، فيمكن الحصول على مكمل \overline{A} الإثنين بالإبقاء على مكونات العدد من بت التأثير الأصغر LSB إلى بت التأثير الأكبر MSB كما هي حتى ظهور أول 1 ثم يتم بعدها عملية إستبدال كل 1 بـ 0، وكل 0 بـ 1.

مثال (11-2) :

أوجد مكمل الإثنين للأعداد:

أ- 01100100 ب- 10010010 ج- 11011000 د- 01100111

الحل :

من الملاحظتين السابقتين يكون مكمل الإثنين كالتالي:

أ-العدد	01100100	ب-العدد	10010010
مكمل الإثنين	10011100	مكمل الإثنين	01101110
ج-العدد	11011000	د-العدد	01100111
مكمل الإثنين	00101000	مكمل الإثنين	10011001

مثال (12-2) :

مطلوب تمثيل العدد $(-17)_{10}$ بالطرق الثلاث التى تم دراستها.

الحل :

لتمثيل العدد $(-17)_{10}$ بطريقة إشارة قيمة العدد يكون أقل عدد من البتات هي 6، أى: $(+17)_{10} = (010001)_2$ ، ومنه يكون:

أ- تمثيل العدد $_{10}(17-)$ بطريقة الإشارة والمقدار يكون: $_{2}(110001)$.

ب- وبطريقة مكمل الواحد يكون: $_{2}(101110)$.

ج- وبطريقة مكمل الإثنين يكون: $_{2}(101111)$.

2-5 العمليات الحسابية في النظام الثنائي :

كلنا على علم بالعمليات الحسابية Arithmetic (الجمع والطرح والضرب، والقسمة) في النظام العشري، ويمكن إجراء نفس العمليات في النظام الثنائي للأعداد، ولا نخفى أن إجراء هذه العمليات في النظام الثنائي للأعداد أبسط بكثير من مثيلتها في النظام العشري، لأنها تشمل رمزين فقط هما: 1 و 0.

2-5-1 الجمع في النظام الثنائي للأعداد :

في النظام الثنائي للأعداد وعند إجراء عمليات الجمع Addition، يتم إتباع القواعد الأساسية التالية:

أ- عند إضافة 0 إلى 0 ينتج 0.

ب- عند إضافة 1 إلى 0 ينتج 1.

ج- عند إضافة 0 إلى 1 ينتج 1.

د- عند إضافة 1 إلى 1 ينتج 0، ويتبقى 1 يسمى محمول Carry، يتم إضافته (كما يحدث في نظام الأعداد العشري) إلى خانة العدد الأعلى درجة.

ويمكن تلخيص هذه القواعد كالمبين في جدول (2-4)

جدول (2-4)

العامل الأول	العامل الثاني	المجموع	المحمول	النتائج النهائية
0	0	0	0	0
0	1	1	0	1
1	0	1	0	1
1	1	0	1	10

مثال (2-13) :

إجمع الأعداد في النظام الثنائي الآتية:

$$\text{أ- } 1100 + 1011 \quad \text{ب- } 0101 + 1111$$

الحل:

أ- يتم إجراء عملية الجمع:

$$1011$$

$$+ 1100 \quad \text{كالتالي:}$$

الخانة الأولى: $1 = 0 + 1$ ، الخانة الثانية: $1 = 0 + 1$ ، الخانة الثالثة: $0 + 1 = 1$ ، الخانة الرابعة: $1 + 1 = 0$ ويتبقى محمول 1 ينقل للخانة الخامسة، ويكون خارج الجمع: 10111

ب- يتم إجراء عملية الجمع:

$$0101$$

$$+ 1111 \quad \text{كالتالي:}$$

الخانة الأولى: $1 + 1 = 0$ ، ويتبقى محمول 1 ينقل للخانة الثانية.

الخانة الثانية: محمول 1 يضاف إلى $0 + 1$ فيكون الناتج 0 ويتبقى محمول 1 ينقل للخانة الثالثة.

الخانة الثالثة: محمول 1 يضاف إلى $1 + 1$ فيكون الناتج 1 ويتبقى محمول 1 ينقل للخانة الرابعة.

الخانة الرابعة: محمول 1 يضاف إلى $0 + 1$ فيكون الناتج 0 ويتبقى محمول 1 ينقل للخانة الخامسة .

وبذلك يكون خارج الجمع: 10100

مثال (2-14):

إجري عملية جمع الأعداد فى النظام الثنائى الآتية :

$$\begin{array}{r} 01101010 \\ + 00001000 \\ + 10000001 \\ + 11111111 \\ \hline \end{array}$$

$$11110010 =$$

الحل :

الخانه الأولى: $0 = 1 + 1 + 0 + 0$ ويتبقى محمول 1 ينقل للخانه الثانية ،

الخانه الثانية: محمول $1 = 1 + 0 + 0 + 1 + 1$ ويتبقى 1 ينقل للخانه الثالثة .

الخانه الثالث: محمول $0 = 1 + 0 + 0 + 0 + 1$ ويتبقى 1 ينقل للخانه الرابعة .

الخانه الرابعة: محمول $0 = 1 + 0 + 1 + 1 + 1$ ويتبقى 2 محمول 1 ينقل للخانه الخامسة.

الخانه الخامسة: محمول $1 = 1 + 0 + 0 + 0 + 1$ ويتبقى محمول 1 ينقل للخانه السادسة .

الخانه السادسة: محمول $1 = 1 + 0 + 0 + 1 + 1$ ويتبقى محمول 1 ينقل للخانه السابعة .

الخانه السابعة : محمول $1 = 1 + 0 + 0 + 1 + 1$ ويتبقى محمول 1 ينقل للخانه الثامنة.

الخانه الثامنة : محمول $1 = 1 + 1 + 0 + 0 + 1$ ويتبقى محمول 1 ينقل للخانه التاسعة .

وبذلك يكون خارج الجمع : 111110010

* من المثال عالية يلاحظ مايلى :

(1) إذا كان عدد الآحاد 1's المضافة فى الخانة الواحدة زوجية، فيكون مجموع البتات الكلى مساويا 0، أما إذا كان عددها فردى فيكون مجموع البتات الكلى مساويا 1.

(2) كل زوج من الآحاد 1's فى الخانة الواحد ينتج محمول carry 1 يتم إضافته للخانه التالية .

2-5-2 الطرح فى النظام الثنائى للأعداد :

عند إجراء عمليات الطرح Subtraction فى النظام الثنائى للأعداد يتم إتباع القواعد الأساسية التالية :

أ- عند طرح 0 من 0 ينتج 0 .

ب- عند طرح 0 من 1 ينتج 1 .

ج- عند طرح 1 من 1 ينتج 0 .

د- طرح 1 من 0 ينتج 1 ، ويتم إستعارة Borrow 1 (كما يحدث فى نظام الأعداد العشرى) من الخانة الأعلى من العدد .

ويمكن تلخيص هذه القواعد كالمبين فى جدول (2-5)

جدول (2-5)

المطروح منه	المطروح	الفرق	الإستعارة
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

مثال (2-15) :

إطرح العدد 0110 من العدد 1011

الحل:

يتم إجراء عملية طرح:

1011

0110 - كالتالى

الخانة الأولى: 1 مطروحا منه 0 ينتج 1، الخانة الثانية: 1 مطروحا منه 1 ينتج 0، الخانة الثالثة: 0 مطروحا منه 1 ينتج 1، ويتم إستعارة 1 من الخانة الرابعة والتي تصبح 0، الخانة الرابعة: 0 مطروحا منه 0 ينتج 0.

ويكون ناتج الطرح: 0101 .

2-5-3 ضرب فى النظام الثنائى للأعداد:

الضرب Multiplication فى النظام الثنائى للأعداد يشبه الضرب فى نظام الأعداد العشرى ، ويتم إتباع القواعد الأساسية التالية :

- أ- عند ضرب 0 فى 0 ينتج 0 .
 - ب- عند ضرب 0 فى 1 ينتج 0 .
 - ج- عند ضرب 1 فى 1 ينتج 1 .
- ويمكن توضيح عملية الضرب فى المثال التالى .

مثال (2-16) :

قم بعملية الضرب الآتية :

$$1101 \times 1001$$

الحل:

يتم إجراء عملية الضرب كما يتم فى نظام الأعداد العشرى كالتالى :

$$\begin{array}{r} 1001 \\ \times 1101 \\ \hline 1001 \\ 0000 \\ 1001 \\ 1001 \\ \hline 1110101 \end{array}$$

وفى الدوائر الرقمية تتم عملية الضرب بالإضافة المتكررة لكل عمليات الضرب الجزئية وذلك للحصول على ناتج الضرب الكلى .

2-5-4 القسمة فى النظام الثنائى للأعداد:

القسمة Division فى النظام الثنائى للأعداد تشبه القسمة فى نظام الأعداد العشرى، ويتبين ذلك من المثال التالى .

مثال (2-17) :

قم بعملية القسمة الآتية :

$$1001 \div 1110101$$

الحل :

$$\begin{array}{r} 1101 \\ 1001 \overline{) 1110101} \\ \underline{1001} \\ 1011 \\ \underline{1001} \\ 1001 \\ \underline{1001} \\ 0000 \end{array}$$

ويكون خارج القسمة : 1101

2-6 العمليات الحسابية بطريقة مكمل الإثنى:

تستخدم الدوائر المنطقية فى تحقيق العمليات الحسابية الثنائية، ومن الممكن استخدام الدوائر التى صممت لأداء عمليات الجمع فى إجراء عمليات الطرح أيضا وذلك عندما نتمكن من تحويل مسألة الطرح إلى جمع، وحيث يؤدى هذا المفهوم إلى الإستغناء عن إضافة دوائر أخرى لإجراء عمليات الطرح، أو بالأحرى فإن

نفس دوائر الجمع يمكنها تأدية كلتا العمليتين، مما يؤدي في النهاية إلى تصميم دوائر حسابية مناسبة ورخيصة.

وعلى هذا تستخدم طريقة مكمل الإثنيتين التي تمت مناقشتها في القسم 2-4-3.

2-6-1 الطرخ باستخدام طريقة مكمل الإثنيتين :

يتم إجراء هذه العملية بإضافة العدد المطروح منه إلى مكمل الإثنيتين للعدد المطروح ، فإذا نتج في النهاية محمول 1 فيتم إهماله وتكون البتات المتبقية هي الحل وتكون الإجابة موجبة (في هذه الحالة كان المطروح منه أكبر من المطروح)، أما إذا نتج في النهاية محمول 0 فتكون البتات المتبقية هي الحل وهو إجابة سالبة (في هذه الحالة كان المطروح منه أصغر من المطروح) وتكون الإجابة هنا على شكل مكمل الإثنيتين .

مثال (2-18) :

مطلوب إجراء عملية الطرخ باستخدام مكمل الإثنيتين للعمليات :

$$\text{أ- } 7 - 5$$

$$\text{ب- } 5 - 7$$

الحل :

$$\text{أ- المطروح منه : } (0111)_2 = (+7)_{10}$$

$$\text{المطروح : } (0101)_2 = (+5)_{10} ، \text{ ومنه : } (1101)_2 = (-5)_{10}$$

$$\text{ويكون مكمل الواحد له : } 1010 ، \text{ ومنه مكمل الإثنيتين : } 1011$$

وبإجراء عملية الجمع يكون :

$$\begin{array}{r} 0111 \\ 1011+ \\ \hline 10010 \end{array}$$

وبإهمال محمول الأيسر 1 نحصل على الإجابة وهي : 0010 والتي تعادل $(+2)_{10}$

$$\text{ب- المطروح منه : } (0101)_2 = (+5)_{10}$$

$$\text{المطروح : } (0101)_2 = (+7)_{10} ، \text{ ومنه : } (1111)_2 = (-7)_{10}$$

$$\text{ويكون مكمل الواحد له : } 1000 ، \text{ ومنه مكمل الإثنيتين : } 1001$$

وبإجراء عملية الجمع يكون :

$$\begin{array}{r} 0101 \\ 1001+ \\ \hline 1110 \end{array}$$

ويكون محمول النهائي 0، ونحصل على الإجابة وهي :

$$1110 \text{ وهي على شكل مكمل الإثنيتين والتي تعادل } (1010)_2 ، \text{ أي : } (-2)_{10}$$

2-6-2 الجمع أو الطرخ في تمثيل مكمل الإثنيتين :

الجمع والطرخ في نظام الأعداد الثنائية ذات الإشارة يمكن أن يؤدي باستخدام تمثيل مكمل الإثنيتين، وهذه الطريقة الأكثر شيوعاً عند إجراء هذه العمليات باستخدام الدوائر الرقمية والعالجات الدقيقة.

مثال (2-19) :

تحقق من العمليات الحسابية التالية باستخدام طريقة مكمل الإثنيتين :

$$\text{أ- } 48 - 23 = +25 \quad \text{ب- } 23 - 48 = -25$$

$$\text{ج- } 48 - (-23) = +71 \quad \text{د- } -48 - 23 = -71$$

وباستخدام رموز مكونة من 8-Bit.

الحل :

تمثيل مكمل الإثنيتين للعدد (+48) هو 00110000.

تمثيل مكمل الإثنى للعدد (48 -) هو 11010000.

تمثيل مكمل الإثنى للعدد (23 +) هو 00010111.

تمثيل مكمل الإثنى للعدد (23 -) هو 11101001.

ويكون :

أ - (48 - 23) :

00110000

+ 11101001 وهو تمثيل لمكمل الإثنى للعدد 23 -

100011001

وبإهمال محمول الأيسر 1 نحصل على الإجابة وهى : 00011001 والتي

تعاادل $(+25)_{10}$.

ب - (48 - 23) :

00010111

+ 11010000 وهو تمثيل مكمل الإثنى للعدد 48 -

11100111

ونحصل على الإجابة وهى :

11100111 وهى على شكل مكمل الإثنى والتي تعاادل $(10011001)_2$ ، أى : $(-25)_{10}$

ج - (23 - (-48)) :

00110000

+ 00010111 وهى تمثل العدد $(-23)_{10}$ - أى $(23)_{10}$

01000111

ونحصل على الإجابة المباشرة للمسألة : $(01000111)_2$ وتعاادل $(+71)_{10}$

د - $(-23) + (-48) = (-48 - 23) :$

10110000 وهو تمثيل للعدد (48 -)

+ 11101001 وهو تمثيل مكمل الإثنى للعدد (23 -)

110111001

وبإهمال محمول الأيسر يكون الناتج 10111001 على شكل مكمل الإثنى ،

ويكون مكمل الواحد هو 10111000، ومنه يكون العدد فى النظام الثنائى :

11000111 وهو يعادل (71 -)

* ويلاحظ من المثال السابق مايلى :

(1) إذا كان طرفى العملية مختلفى الإشارة، يتم الحصول على النتيجة باستخدام قاعدة الطرح بمكمل الإثنى الموضحة فى القسم السابق 2-6-1.

(2) إذا كان طرفى العملية متشابهى الإشارة، فيتم مقارنة إشارة بت التأثير الأعلى (MSB) للناتج بإشارة البت لطرفى العملية، وفى حالة تشابهها تكون النتيجة صحيحة وفى شكل مكمل الإثنى (كما فى الجزء د من المثال)، أما فى حالة اختلافهما فيعنى هذا وجود مشكلة فى العملية الحسابية، أى يكون استخدام بتات الثمانية بتات غير ملائم، حيث يلزم تفسير النتيجة بطريقة مناسبة أكثر، وتكون النتيجة فى هذه الحالة مكونة من 9 بتات، أى محمول و 8 بتات، وبحيث يعطى محمول إشارة العدد.

2-7 النظام الثمانى للأعداد :

نظام الأعداد ذو الأساس 8 يعرف بالنظام الثمانى للأعداد Octal number system ، ويستخدم لتمثيل الأعداد فى هذا النظام 8 أرقام هى: 0 و 1 و 2 و 3 و 4 و 5 و 6 و 7.

وكما فى نظامى الأعداد العشرى والثنائى يمكن أن يكون العدد فى النظام الثمانى مكون من جزء صحيح أو من جزء كسرى أو من كليهما معاً، وبينهما نقطة (.) تسمى نقطة ثمانية Octal point، ولكل موقع فى العدد الثمانى وزنه النوعى، فالعدد $(6327.4051)_8$ يمكن حساب قيمته فى نظام الأعداد العشرى كالتالى:

$$(6327.4051)_8 = 6 \times 8^3 + 3 \times 8^2 + 2 \times 8^1 + 7 \times 8^0 + 4 \times 8^{-1} + 0 \times 8^{-2} + 5 \times 8^{-3} + 1 \times 8^{-4}$$

$$= 3072 + 192 + 16 + 7 + 4/8 + 0 + 5/512 + 1/4096$$

$$= (3287.5100098)_{10}$$

أى أن :

$$(6327.4051)_8 = (3287.5100098)_{10}$$

وباتباع الإجراء السابق يمكن تحويل أى عدد بالنظام الثماني للأعداد إلى عدد بنظام الأعداد العشرى أى تحويل عدد بأساس 8 إلى عدد بأساس 10 ، كما أن التحويل من نظام الأعداد العشرى إلى النظام الثماني للأعداد يشبه التحويل من نظام الأعداد العشرى إلى النظام الثنائى للأعداد مع إختلاف واحد وهو أن الرقم 8 يستخدم بدلا من الرقم 2 .

مثال (2-20) :

حول الأعداد الآتية فى النظام العشرى إلى النظام الثماني:

$$\text{أ- } (247)_{10} \quad \text{ب- } (0.6875)_{10} \quad \text{ج- } (3287.5100098)_{10}$$

الحل:

$$\text{أ- } (247)_{10} :$$

$$\text{العدد الصحيح } 247 : 247/8 = 30 \text{ ويتبقى } 7$$

$$30/8 = 3 \text{ ويتبقى } 6$$

$$3/8 = 0 \text{ ويتبقى } 3$$

ويكون :

$$\text{ب- } (0.6875)_{10} :$$

$$\text{العدد الكسرى } 0.6875 :$$

$$5.500 = 8 \times 0.6875 \text{ ويتم الاحتفاظ بالرقم } 5.$$

$$(247)_{10} = (367)_8$$

$$4.000 = 8 \times 0.500 \text{ ويتم الاحتفاظ بالرقم } 4, \text{ ويتبقى } 0.000$$

ويكون :

$$(0.6875)_{10} = (0.54)_8$$

$$\text{ج- } (3287.5100098)_{10} :$$

$$* \text{ العدد الصحيح } 3287 :$$

$$3287/8 = 410 \text{ ويتبقى } 7$$

$$410/8 = 51 \text{ ويتبقى } 2$$

$$51/8 = 6 \text{ ويتبقى } 3$$

$$6/8 = 0 \text{ ويتبقى } 6$$

$$\text{ويكون : } (3287)_{10} = (6327)_8$$

$$* \text{ العدد الكسرى } 0.5100098 :$$

$$4.0800784 = 8 \times 0.5100098 \text{ ويتم الاحتفاظ بالرقم } 4.$$

$$0.6406272 = 8 \times 0.0800784 \text{ ويتم الاحتفاظ بالرقم } 0 .$$

$$5.1250176 = 8 \times 0.6406272 \text{ ويتم الاحتفاظ بالرقم } 5 .$$

$$1.0001408 = 8 \times 0.1250176 \text{ ويتم الاحتفاظ بالرقم } 1 .$$

ويكون :

$$(0.4051)_8 = (0.5100098)_{10}$$

وفى النهاية يكون :

$$(3287.5100098)_{10} = (6325.4051)_8$$

ويلاحظ أن تحويل العدد الكسرى ربما يكون غير دقيق، إلا أنه يمكن الحصول على القيمة المكافئة التقريبية بالضرب $\times 8$ حتى حد معين.

2-7-1 التحويل من النظام الثماني إلى النظام الثنائى :

يتم التحويل من النظام الثماني للأعداد إلى النظام الثنائى للأعداد، وذلك بتحويل كل رقم من العدد الثماني إلى عدد ثنائى مكافئ مكون من 3-بت، فالعدد $(16)_8$

مكون من رقمين هما 1 و 6 فيتم تمثيل الرقم 1 بعدد ثنائي مكافئ مكون من 3-بت هو: 001، بينما يتم تمثيل الرقم 6 بعدد ثنائي مكافئ مكون من 3-بت هو : 110، وفي النهاية يكون:

$$(16)_8 = (001\ 110)_2$$

ويوضح جدول (2-6) الأعداد في نظامي الأعداد الثنائي والثماني والمكافئة للأعداد في نظام الأعداد العشري من العدد 0 إلى العدد 15 .

مثال (2-21) :

حول $(736)_8$ إلى رقم ثنائي مكافئ .

الحل :

من جدول (2-6) نجد أن العدد الثنائي المكافئ للأرقام 7، و 3، و 6 في النظام الثماني هي: 111 و 011 و 110 على الترتيب، وعلى هذا يكون:

$$(736)_8 = (111\ 011\ 110)_2$$

جدول (2-6)

العدد الثماني	العدد العشري	العدد الثنائي
0	0	000
1	1	001
2	2	010
3	3	011
4	4	100
5	5	101
6	6	110
7	7	111
10	8	001 000
11	9	001 001
12	10	001 010
13	11	001 011
14	12	001 100
15	13	001 101
16	14	001 110
17	15	001 111

2-7-2 التحويل من النظام الثنائي إلى النظام الثماني :

يمكن تحويل العدد من النظام الثنائي للأعداد إلى العدد المكافئ في النظام الثماني للأعداد ، وذلك بتقسيم العدد إلى مجموعات ثلاثية (أى كل مجموعة مكونة من 3-بت)، ابتداء من النقطة الثمانية ومن بت التأثير الأصغر LSB والتحرك لليسار فى اتجاه بت التأثير الأعلى MSB، وذلك فيما يخص العدد الصحيح، أما فيما يخص العدد الكسرى فيتم أيضا تقسيم العدد إلى مجموعات ثلاثية ابتداء من النقطة الثمانية Octal point والتحرك يمينا، وفى كلتا الناحيتين يتم إستبدال كل مجموعة بما يساويها فى النظام الثماني، ويتضح هذا فى المثال التالى.

مثال (2-22) :

حول $(1001110)_2$ إلى النظام الثماني .

الحل :

بتطبيق الطريقة المذكورة آنفا يتم تقسيم العدد كالتالى :

$$(1001110)_2 = (001\ 001\ 110)_2$$

$$= (1\ 1\ 6)_8$$

$$= (116)_8$$

مثال (2-23) :

حول $(0.10100110)_2$ إلى النظام الثماني .

الحل :

$$(0.10100110)_2 = (0.101\ 001\ 100)_2$$

$$= (0.5\ 1\ 4)_8$$

$$= (0.514)_8$$

مثال (2-24) :

حول الأعداد التالية من النظام الثنائي إلى النظام الثماني:

أ- 11001110001.000101111001

ب- 1011011110.11001010011

ج- 111110001.10011001101

الحل :

أ- 11001110001.000101111001 :

$$(011\ 001\ 110\ 001\ .\ 000\ 101\ 111\ 001)_2 = (3161.0571)_8$$

ب- 1011011110.11001010011 :

$$(001\ 011\ 011\ 110\ .\ 110\ 010\ 100\ 110)_2 = (1336.6246)_8$$

ج- 111110001.10011001101 :

$$(111\ 110\ 001\ .\ 100\ 110\ 011\ 010)_2 = (761.4632)_8$$

ويلاحظ أنه في بعض الأحيان يكون مطلوباً أن تكون كل مجموعة من هذه المجموعات الطرفية (يسار المجموعة التي على أقصى اليسار في العدد الصحيح، ويمين المجموعة التي على أقصى اليمين في العدد الكسري) مكونة من 3-بتات، لذا يتم إضافة أصفار 0's إليها .

2-7-3 العمليات الحسابية في النظام الثماني للأعداد :

لا تختلف قواعد إجراء العمليات الحسابية في النظام الثماني للأعداد، عنها في نظام الأعداد العشري أو الثنائي، وعامة لا يتم تنفيذ العمليات الحسابية في النظام الثماني للأعداد باستخدام التمثيل الثماني نفسه بينما يستخدم هذا النظام العددي في إدخال مجموعات طويلة من بيانات ثنائية في نظام رقمي مثل الحاسب الدقيق، وعامة تجرى العمليات الحسابية في النظام الثماني للأعداد بتحويل الأعداد الثمانية إلى مجموعات من الأعداد ثنائية ثم تطبيق القواعد المعروفة عند إجراء العمليات الحسابية في النظام الثنائي للأعداد.

مثال (2-25) :

مطلوب إضافة $(23)_8$ إلى $(67)_8$.

الحل :

يتم تحويل الأعداد أولاً من النظام الثماني إلى النظام الثنائي كالتالي:

$$(23)_8 = (010\ 011)_2$$

$$(67)_8 = (110\ 111)_2$$

ثم إضافة العددين باستخدام قواعد الإضافة المعروفة في النظام الثنائي ويكون حاصل الجمع: $(1\ 001\ 010)_2$ ، ثم إضافة صفرين إلى عدد الطرف الأيسر فيصبح حاصل الجمع: $(001\ 001\ 010)_2$ ، وهو ما يعادل $(112)_8$

مثال (2-26) :

مطلوب طرح: $(37)_8$ من $(53)_8$.

الحل :

$$(53)_8 = (00101011)_2$$

$$-(37)_8 = + (11100001)_2 \quad \text{وهو مكمل الإثنين للعدد } (37)_8$$

$$(14)_8 = 100\ 001\ 100$$

حيث يتم إهمال المحمول 1 الموجود على اليسار .

2-7-4 تطبيقات النظام الثماني للأعداد :

في الأنظمة الرقمية يكون مطلوب إدخال أعداد ثنائية كما يكون مطلوباً عرض نتائج معينة ، ويكون من غير المناسب إدخال مجموعات طويلة من الأعداد الثنائية حيث يمكن أن تحدث أخطاء ، ولهذا السبب تستخدم الأعداد الثمانية في إدخال البيانات الثنائية وعرض معلومات معينة ، وعلى هذا فإن معرفة نظام الأعداد الثمانية هام جداً حتى يتم الاستفادة الفعالة من المعالجات الدقيقة والدوائر الرقمية الأخرى .

فعلى سبيل المثال نجد أن العدد الثنائي 011111110 يمكن تذكره بسهولة عند تحويله إلى عدد ثماني هو 376 ، وكما يمكن إدخاله كعدد 376 باستخدام مفاتيح

بطريقة ما ، وحيث أن الدوائر الرقمية تعالج فقط 1's و 0's فيلزم تحويل الأعداد الثمانية (قبل معالجتها بواسطة الدوائر الرقمية) إلى الشكل الثنائي باستخدام دوائر خاصة تعرف باسم المحولات من الثماني للثنائي Octal-to-binary converters .

8-2 النظام السداسي عشر للأعداد :

نظام الأعداد السداسي عشر من أنظمة الأعداد المفضلة في استخدامات الحواسيب ، ويكون أساسه 16 مما يتطلب 16 رمز بصفة مميزة لتمثيل الأعداد في هذا النظام حيث يتم تمثيل النظام بأرقام من 0 إلى 9 ، وحروف هجاء من A إلى F وهنا أستخدمت الأرقام والحروف ومن هذا جاءت تسمية هذا النظام بنظام الأعداد الهجائي العددي Alphanumeric number system ، ويوضح جدول (2-7) الأعداد في هذا النظام من 0 إلى 15 والمكافئ الثنائي ، والسداسي عشر لها .

جدول (2-7)

العدد السداسي عشر	العدد العشري	العدد الثنائي
0	0	0000
1	1	0001
2	2	0010
3	3	0011
4	4	0100
5	5	0101
6	6	0110
7	7	0111
8	8	1000
9	9	1001
A	10	1010
B	11	1011
C	12	1100
D	13	1101
E	14	1110
F	15	1111

ويلاحظ من الجدول أن هناك 16 مجموعة كل منها من 4-بت للأعداد الثنائية وكل عدد يتم إدخاله للحاسب على شكل مجموعة من 4-بت للأعداد الثنائية، ويلزم تحويل الأعداد (قبل معالجتها بواسطة الدوائر الرقمية) إلى الشكل الثنائي باستخدام دوائر خاصة تعرف باسم المحولات من نظام الأعداد السداسي عشر إلى نظام الأعداد الثنائي Hexadecimal-to-binary converters .

8-2-1 التحويل من النظام السداسي عشر إلى النظام العشري :

يمكن تحويل الأعداد في نظام الأعداد السداسي عشر إلى أعداد بنظام الأعداد العشري كما هو موضح في الأمثلة التالية.

مثال (2-27) :

أوجد العدد المكافئ في النظام العشري للعدد $(3A.2F)_{16}$.

الحل :

$$\begin{aligned}(3A.2F)_{16} &= 3 \times 16^1 + 10 \times 16^0 + 2 \times 16^{-1} + 15 \times 16^{-2} \\ &= 48 + 10 + 2/16 + 15/256 \\ &= (58.1836)_{10}\end{aligned}$$

أي أن :

$$(3A.2F)_{16} = (58.1836)_{10}$$

وربما يكون العدد الكسري المكافئ غير دقيق ، ولهذا يمكن أن تكون هناك نسبة خطأ صغيرة .

8-2-2 التحويل من النظام العشري إلى النظام السداسي عشر :

التحويل من نظام الأعداد العشري إلى نظام الأعداد السداسي عشر يشبه التحويل من نظام الأعداد العشري إلى النظام الثنائي للأعداد مع إختلاف واحد وهو أن الرقم 16 يستخدم بدلا من الرقم 2 .

مثال (2-28) :

حول الأعداد الآتية في النظام العشري إلى نظام الأعداد بأساس 16 :

أ- $(95)_{10}$ ب- $(675.625)_{10}$

الحل :

أ- $(95)_{10}$:

العدد الصحيح 95 : $95/16 = 5$ ويتبقى 15.....

$5/16 = 0$ ويتبقى 5.....

ويكون :

$(95)_{10} = (5F)_{16}$

ب- $(675.625)_{10}$:

* العدد الصحيح 675 :

$675/16 = 42$ ويتبقى 3.....

$42/16 = 2$ ويتبقى 10.....

$2/16 = 0$ ويتبقى 2.....

ويكون :

$(675)_{10} = (2A3)_{16}$

* العدد الكسري 0.625 :

$16 \times 0.625 = 10.00000$ ويتم الاحتفاظ بالرقم 10

ويكون :

$(.A)_8 = (0.625)_{10}$

وعلى هذا يكون :

$(675.625)_{10} = (2A3.A)_{16}$

وربما يكون تحويل العدد الكسري غير دقيق، إلا أنه يمكن الحصول على القيمة المكافئة التقريبية بالضرب $16 \times$ حتى حد معين .

2-8-3 التحويل من النظام السداسي عشر إلى النظام الثنائي :

يمكن التحويل من نظام الأعداد السداسي عشر إلى نظام الأعداد الثنائي، وذلك بتحويل كل رقم من العدد إلى عدد ثنائي مكافئ مكون من 4-Bit.

مثال (2-29) :

حول $(2F9A)_{16}$ إلى رقم ثنائي مكافئ .

الحل :

من جدول (2-7) نجد أن العدد الثنائي المكافئ للرموز 2 و F و 9 و A في النظام 16 هي : 0010 و 1111 و 1001 و 1010 على الترتيب ، وعلى هذا يكون :

$(2F9A)_{16} = (0010 \ 1111 \ 1001 \ 1010)_{16}$

$= (0010111110011010)_{16}$

$= (10111110011010)_{16}$

2-8-4 التحويل من النظام الثنائي إلى النظام السداسي عشر :

يمكن تحويل العدد من النظام الثنائي للأعداد إلى العدد المكافئ في نظام الأعداد السداسي عشر، وذلك بتقسيم العدد إلى مجموعات رباعية (أى كل مجموعة مكونة من 4-بت) ابتداء من بت التأثير الأصغر LSB والتحرك فى اتجاه بت التأثير الأكبر MSB أى لليسار وذلك فيما يخص العدد الصحيح، أما فيما يخص العدد الكسري فيتم أيضا تقسيم العدد إلى المجموعات الرباعية من بعد النقطة الكسرية والتحرك يمينا، ثم إستبدال كل مجموعة بما يساويها فى النظام السداسي عشر.

مثال (2-30) :

حول كل من الأعداد الثنائية التالية إلى نظام الأعداد بأساس 16 :

هـ-

$$(111110001.10011001101)_2$$

$$\begin{aligned} &= (0001\ 1111\ 0001.1001\ 1001\ 1010)_2 \\ &= (1\ F\ 1\ .\ 9\ 9\ A)_{16} \\ &= (1F1.99A)_{16} \end{aligned}$$

ويلاحظ أن المجموعات التي يتم تكوينها يكون مطلوباً إضافة أصفار 0's في كل من يسار المجموعة التي على أقصى اليسار في العدد الصحيح، ويمين المجموعة التي على أقصى اليمين في العدد الكسري.

2-8-5 التحويل من النظام السداسي عشري إلى النظام الثنائي والعكس:

يمكن تحويل الأعداد من نظام الأعداد السداسي عشري إلى عدد في نظام الأعداد الثنائي والعكس، بتحويل هذا العدد إلى العدد المكافئ له في النظام الثنائي ثم التحويل إلى النظام الآخر كما سيتضح في الأمثلة التالية.

مثال (2-31):

حول الأعداد التالية من نظام الأعداد السداسي عشري إلى نظام الأعداد الثنائي:

$$\text{أ- } A72E \quad \text{ب- } 0.BF85$$

الحل:

أ- يتم تحويل العدد من النظام السداسي عشري إلى العدد المكافئ له في النظام الثنائي كالتالي:

ب-

$$\begin{aligned} A72E &= (1010\ 0111\ 0010\ 1110)_2 \\ &= (1010011100101110)_2 \end{aligned}$$

يتم تحويل العدد من النظام الثنائي إلى العدد المكافئ له في النظام الثنائي كالتالي:

$$\text{أ- } .10100110101111$$

$$\text{ب- } 0.00011110101101$$

$$\text{ج- } .11001110001.000101111001$$

$$\text{د- } .1011011110.11001010011$$

$$\text{هـ- } .111110001.10011001101$$

الحل:

بتطبيق الطريقة المذكورة آنفاً يكون العدد:

أ-

$$\begin{aligned} (10100110101111)_2 &= (0010\ 1001\ 1010\ 1111)_2 \\ &= (2\ 9\ A\ F)_{16} \\ &= (29AF)_{16} \end{aligned}$$

ب-

$$\begin{aligned} (0.00011110101101)_2 &= (0.0001\ 1110\ 1011\ 0100)_2 \\ &= (0.1\ E\ B\ 4)_{16} \\ &= (0.1EB4)_{16} \end{aligned}$$

ج-

$$\begin{aligned} (11001110001.000101111001)_2 &= (0110\ 0111\ 0001.0001\ 0111\ 1001)_2 \\ &= (6\ 7\ 1\ .\ 1\ 7\ 9)_{16} \\ &= (671.179)_{16} \end{aligned}$$

د-

$$\begin{aligned} (1011011110.11001010011)_2 &= (0010\ 1101\ 1110.1100\ 1010\ 0110)_2 \\ &= (2\ D\ E\ .\ C\ A\ 6)_{16} \\ &= (2DE.CA6)_{16} \end{aligned}$$

$$\begin{aligned}(1010011100101110)_2 &= (001\ 010\ 011\ 100\ 101\ 110)_2 \\ &= (1\ 2\ 3\ 4\ 5\ 6)_8 \\ &= (123456)_8\end{aligned}$$

ب- بالمثل:

$$\begin{aligned}0.BF85 &= (0.1011\ 1111\ 1000\ 0101)_2 \\ &= (0.1011111110000101)_2 \\ &= (0.101\ 111\ 111\ 000\ 010\ 100)_2 \\ &= (0.5\ 7\ 7\ 0\ 2\ 4)_8 \\ &= (0.577024)_8\end{aligned}$$

مثال (2-32):

حول العدد $(247.36)_8$ من النظام الثماني إلى نظام الأعداد السداسي عشر .
الحل:

$$\begin{aligned}(247.36)_8 &= (010\ 100\ 111.011\ 110)_2 \\ &= (010100111.011110)_2 \\ &= (0000\ 1010\ 0111.0111\ 1000)_2 \\ &= (0\ A\ 7\ .7\ 8)_{16} \\ &= (A7.78)_{16}\end{aligned}$$

2-8-6 العمليات الحسابية في نظام الأعداد السداسي عشر:

قواعد إجراء العمليات الحسابية في نظام الأعداد السداسي عشر لا تختلف عنها في نظام الأعداد العشري أو الثنائي أو الثماني ، وحيث أن العمليات الحسابية يتم تنفيذها في الأنظمة الرقمية بنظام الأعداد الثنائية فإن يتم أولا تحويل الأعداد في نظام الأعداد السداسي عشر إلى أعداد في النظام الثنائي ثم تطبيق القواعد المعروفة عند إجراء العمليات الحسابية في النظام الثنائي للأعداد ، وسيتضح ذلك في الأمثلة التالية .

مثال (2-33):

مطلوب إضافة $(7F)_{16}$ إلى $(BA)_{16}$.
الحل:

يتم تحويل الأعداد أولا من نظام الأعداد السداسي عشر إلى النظام الثنائي كالاتي:

$$\begin{aligned}(7F)_{16} &= (01111111)_2 \\ (BA)_{16} &= (10111010)_2\end{aligned}$$

ثم إضافة العددين باستخدام قواعد الإضافة المعروفة في النظام الثنائي ويكون خارج الجمع: $(100111001)_2$ أي:

$$(0001\ 0011\ 1001)_2 \text{ وهو مايعادل } (139)_{16}$$

مثال (2-34):

مطلوب إجراء عمليات الطرح الآتية:

$$(5C)_{16} \text{ من } (3F)_{16} \quad \text{ب-} \quad (7A)_{16} \text{ من } (C0)_{16}$$

الحل:

$$(3F)_{16} = (00111111)_2$$

$$-(5C)_{16} = + (10100100)_2 \quad \text{وهو مكمل الإثنين للعدد } (5C)_{16}$$

$$(-1D)_{16} = 11100011 \quad \text{وهو يمثل مكمل الإثنين للنتائج}$$

ويكون الناتج في النظام الثنائي: $(0001\ 1101)_2$ ، أي: $(1D)_{16}$

ب-

$$(C0)_{16} = (10000000)_2$$

$$-(7A)_{16} = + (10000110)_2 \quad \text{وهو مكمل الإثنين للعدد } (7A)_{16}$$

$$(46)_{16} = 1\ 0100\ 0110$$

ويكون الناتج في النظام الثنائي: $(1\ 0100\ 0110)_2$ ، أي: $(46)_{10}$ حيث يتم إهمال المحمول 1 في الطرف الأيسر.

* كما يمكن تأدية عمليات الضرب والقسمة في نظام الأعداد السداسي عشر، وذلك بتمثيل العدد أولاً بالنظام الثنائي ثم إجراء العمليات طبقاً للقواعد المتبعة، ثم تحويل الناتج ثانياً إلى العدد في نظام الأعداد السداسي عشر.

2-9 الشفرات الرقمية :

من المعروف أن الحواسيب والدوائر الرقمية تقوم بالتعامل مع البيانات باستخدام التشكيل الثنائي Binary format، ويوجد العديد من أشكال الشفرات الثنائية Binary Codes المستخدمة في تمثيل البيانات وهي إما شفرات رقمية أو شفرات هجائية أو شفرات برموز خاصة، وعلى الرغم من أنه يتم تمثيل المعلومات بالشكل الثنائي في جميع هذه الشفرات، إلا أنه يمكن ترجمة هذه المعلومات الثنائية طالما تم معرفة هذه الشفرة، فمثلاً العدد الثنائي 1000001 يمثل العدد 65 (كعدد عشري) في الشفرة الثنائية المباشرة، ويمثل العدد 41 في شفرة BCD، كما أنه يمثل الحرف A في شفرة ASCII، ولهذا يجب على المستخدم أن يكون حريصاً على معرفة الشفرة المستخدمة في التشكيل الثنائي عند تفسير المعلومات المعالجة، كما تستخدم الشفرات أيضاً في كشف الأخطاء وتصحيحها في الأنظمة الرقمية.

والآن سوف يتم التطرق إلى بعض الشفرات الشائعة استخدامها.

2-9-1 الشفرة الثنائية المباشرة :

تستخدم الشفرة الثنائية المباشرة Straight Binary Code في تمثيل الأعداد في تشكيل النظام الثنائي المباشر، والذي تم مناقشته في القسم (2-3)، وحيث يتم تنفيذ العديد من العمليات الحسابية في هذا التشكيل.

ويوضح جدول (2-8) الشفرات الثنائية المختلفة للأعداد العشرية من 0 إلى

15.

2-9-2 الشفرة BCD الطبيعية :

درسنا كيفية تمثيل عدد عشري بالبتات في النظام الثنائي، فنجد مثلاً أن :

$$(10.625)_{10} = (1\ 010.1\ 01)_2$$

ونلاحظ أنه ليس من السهل أن نعرف العدد العشري المقصود بمجرد نظرنا إلى العدد الثنائي المكافئ، إذ أننا نحتاج لبعض الوقت لإجراء العملية الحسابية المطلوبة للتحويل وللتغلب على ذلك تم تصميم شفرة ثنائية تعرف باسم شفرة "النظام العشري ذو الكود الثنائي" Binary Coded Decimal (BCD)، وفيها يتم تشفير الأعداد في النظام العشري من 0 إلى 9 بقيمتها المكافئة الثنائية الطبيعية باستخدام 4-بت لكل رقم على حدة، فباستخدام هذه الشفرة يتم تمثيل العدد العشري $(23)_{10}$ حيث يتم تمثيل الرقم 2 بقيمته المكافئة باستخدام 4-بت، أي 0010 كما يتم تمثيل الرقم 3 بقيمته المكافئة باستخدام 4-بت، أي 0011، فتحصل في النهاية على تمثيل العدد في هذا النظام على الشكل (0010 0011) وليس $(10111)_2$ ، ومن هنا نجد أننا في حاجة إلى عدد من البتات Bits لتمثيل العدد العشري باستخدام هذه الشفرة تزيد عن عدد البتات المطلوبة لتمثيل نفس العدد باستخدام الشفرة الثنائية المباشرة Straight Binary Code، وعلى الرغم من هذه النقطة السلبية إلا أن هذه الشفرة تعد من الشفرات المناسبة والمفيدة في عمليات الدخل والخرج في الأنظمة الرقمية.

وتعرف هذه الشفرة أيضاً بشفرة (2-4-8)، حيث تمثل هذه الأرقام 8، و 4، و 2، و 1 أوزان البتات Bits المكونة للرقم العشري الواحد، ومن هنا تعتبر هذه الشفرة من الشفرات ذات الميزان Weighted، كما يمكن بواسطتها تنفيذ العمليات الحسابية كما سيناقش مستقبلاً، ويوضح جدول (2-8) شفرات الـ BCD للأعداد في النظام العشري من 0 إلى 9.

2-9-3 شفرة Excess-3 :

وهذا شكل آخر من شفرة BCD والذي يتم فيه - كما عرفنا - تشفير كل رقم عشري بـ 4-بت، ويتم الحصول على شفرة الرقم العشري في هذه الشفرة بإضافة العدد العشري 3 لكل شفرة عدد من شفرات BCD، فمثلاً معروف أن الرقم العشري 2 في شفرة BCD يكون 0010، وبإضافة العدد العشري 3 عليه يصبح 0101 في شفرة

Excess-3، ولهذا فإن هذه الشفرة ليست من الشفرات ذات الميزان، وتعرف هذه الشفرة بالشفرة المكملّة الذاتية Self-complement بمعنى أن تكامل الواحد 1 Complement لأي رقم بشفرة Excess-3 ينتج رقماً بشفرة Excess-3 مكملًا للرقم 9 ، ولتوضيح ذلك فشفرة Excess-3 للرقم 2 هي: (0101) ، ويكون تكامل الواحد لهذا الرقم هو : (1010) والذي يمثل شفرة Excess-3 للرقم 7، وهذا الرقم 7 هو الرقم المكمل 9 للرقم 2 ، وهذه الخاصية تكون ذات أهمية كبيرة في تنفيذ عمليات الطرح في الأنظمة الرقمية، ويوضح جدول (2-8) شفرات Excess-3 للأعداد في النظام العشري من 0 إلى 9 .

جدول (2-8)

العدد العشري	الشفرة الثنائية				شفرة BCD				شفرة Excess-3				شفرة جراي			
	B ₃	B ₂	B ₁	B ₀	D	C	B	A	E ₃	E ₂	E ₁	E ₀	G ₃	G ₂	G ₁	G ₀
0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0
1	0	0	0	1	0	0	0	1	0	1	0	0	0	0	0	1
2	0	0	1	0	0	0	1	0	0	1	0	1	0	0	1	1
3	0	0	1	1	0	0	1	1	0	1	1	0	0	0	1	0
4	0	1	0	0	0	1	0	0	0	1	1	1	0	1	1	0
5	0	1	0	1	0	1	0	1	1	0	0	0	0	1	1	1
6	0	1	1	0	0	1	1	0	1	0	0	1	0	1	0	1
7	0	1	1	1	0	1	1	1	1	0	1	0	0	1	0	0
8	1	0	0	0	1	0	0	0	1	0	1	1	1	1	0	0
9	1	0	0	1	1	0	0	1	1	1	0	0	1	1	0	1
10	1	0	1	0									1	1	1	1
11	1	0	1	1									1	1	1	0
12	1	1	0	0									1	0	1	0
13	1	1	0	1									1	0	1	1
14	1	1	1	0									1	0	0	1
15	1	1	1	1									1	0	0	0

2-9-4 شفرة Gray :

وهي من الشفرات المفيدة جدا حيث يتم تمثيل العدد العشري على الشكل الثنائي باستخدام 4-بت بأسلوب بحيث يختلف فيه شكل العدد المشفر عن العدد المشفر السابق له بيت واحد فقط، فمثلا العدد العشري 5 بشفرة Gray يكون: 0111، بينما العدد العشري 6 بشفرة Gray يكون: 0101، فنجد أن العددين مختلفان في بت واحد (الخانة الثانية من اليمين) ، وأيضا العدد العشري 9 بشفرة Gray يكون: 1101، بينما العدد العشري 10 بشفرة Gray يكون: 1111، فنجد أن العددين مختلفين في بت واحد (الخانة الثانية من اليمين) وهذه الشفرة ليست من الشفرات ذات الميزان، كما أنها من الشفرات العاكسة Reflected code، حيث يمكن إنشاء هذه الشفرة باستخدام هذه الخاصية وذلك كما سيوضح لاحقا.

1- إنشاء شفرة Gray البت الواحد :

ولهذه الشفرة كلمتان مشفرتان هما: 0 و 1، وهاتان الشفرتان تمثلان العددين العشريين 0 و 1 على الترتيب، وعلى هذا يكون تمثيل هذين العددين العشريين بشفرة Gray ذات البت الواحد على الصورة:

العدد العشري	العدد بشفرة Gray
0	0
1	1

2- شفرة Gray 2-بت :

فنكتب أولا شفرة Gray للعددين السابقين (أي 0 و 1) مسبوقه بـ 0، ثم بعد ذلك نكمل بالعددين 2 و 3 مع إتباع قاعدة أن العدد المشفر يختلف عن العدد السابق له بيت واحد ، وعلى هذا يكون شفرة Gray بـ 2-بت :

العدد العشري	العدد شفرة Gray
0	00
1	01
2	11
3	10

حيث تمت كتابة شفرة العددين 0 و 1 ومسبوق كل منهما بـ 0 ، فيصبحا 00، 01، ثم الإستكمال للعدد العشري 2 والذي تختلف شفرته عن شفرة العدد العشري 1 السابق له ببت واحدة، أى تكون شفرة العدد 2 هي: 11 (وهنا جعلنا الاختلاف في البت الثانى ، فهو: 0 فى العدد العشري 1، ويكون: 1 فى العدد العشري 2، بينما يظل البت الأول : 1 لكل من العددين)، وبنفس الطريقة تكون شفرة العدد 3 هي: 10

3- شفرة Gray 3-بت :

فنكتب أولاً شفرة Gray للأعداد السابقة مسبوقة بـ 0 ثم التكملة بالأعداد 4، و 5 و 6 و 7 مع إتباع قاعدة إختلاف العدد العشري عن العدد السابق له ببت واحد، وعلى هذا يكون شفرة Gray بـ 3-بت:

العدد العشري	العدد بشفرة Gray
0	000
1	001
2	011
3	010
4	110
5	111
6	101
7	100

4- شفرة Gray 4-بت :

وبنفس الطريقة تم إنشاء الأعداد بشفرة Gray 4-بت، كما هو موضح فى جدول (8-2) .

2-9-5 الشفرة الثمانية Octal :

وهى شفرة ثنائية بـ 3-بت، حيث يتم تمثيل الأعداد بنظام الأعداد الثمانية من 0 إلى 7 بالشفرة الثنائية المباشرة بعدد 3 بت، فمثلا العدد $8_{(4)}$ يصبح تمثيله باستخدام هذه الشفرة: 100 .

وعن طريق استخدام هذه الشفرة يمكن تشفير الأعداد بنظام الأعداد الثمانية على الشكل الثنائى المباشر وكما تمت مناقشته فى القسم (2-7) وتستخدم هذه الشفرة فى الدخول الثنائية Binary inputs فى الحواسيب الرقمية والمعالجات الدقيقة.

2-9-6 الشفرة السداسية عشر Hexadecimal :

وهى شفرة ثنائية بـ 4-بت، كما تم مناقشته فى القسم (2-8)، وتستخدم هذه الشفرة فى الدخول والخروج الثنائية فى الحواسيب الرقمية، والمعالجات الدقيقة.

مثال (2-35) :

مطلوب تمثيل العدد العشري 27 على الشكل الثنائى باستخدام الشفرات التى تمت دراستها آنفا.

الحل :

1- الشفرة الثنائية المباشرة:

يتم التحويل العدد إلى الشفرة الثنائية المباشرة، فيصبح العدد: 11011

2- الشفرة BCD :

حيث يتم تحويل كل رقم من العدد باستخدام 4-بت، أى يصبح العدد:

0010 0111

3- شفرة Excess-3 :

بإضافة العدد العشري 3 (أو 0011) لكل شفرة رقم من شفرات BCD:

0010 0111، أى يصبح العدد: 0101 1010

4- شفرة Gray :

حيث نحتاج إلى 5-بت لتمثيل العدد 27، فلا بد من إنشاء شفرة Gray بـ 5-بت،

يصبح العدد: 10110

5- شفرة Octal :

حيث يتم تحويل العدد العشري إلى عدد بنظام الأعداد الثماني، ثم تمثيل كل رقم

بشفرة ثنائية بـ 3 بت، أى أن:

$$\begin{aligned}(27)_{10} &= (33)_8 \\ &= (3 \quad 3)_8 \\ &= 011 \quad 011\end{aligned}$$

6- شفرة Hexadecimal :

حيث يتم تحويل العدد العشري إلى عدد بنظام الأعداد السداسى عشر، ثم تمثيل

كل رقم بشفرة ثنائية بـ 4 بت، أى أن :

$$\begin{aligned}(27)_{10} &= (1B)_{16} \\ &= (1 \quad B)_{16} \\ &= 0001 \quad 1011\end{aligned}$$

مثال (2-36) :

مطلوب تمثيل الأعداد العشرية الآتية على الشكل الثنائى باستخدام الشفرات التى

تمت دراستها آنفا، عدا شفرة Gray:

أ- 396 ب- 4096

الحل :

أولا : العدد: 396

1- الشفرة الثنائية المباشرة:

يتم التحويل العدد إلى الشفرة الثنائية المباشرة ، أى يصبح العدد: 110001100

2- الشفرة BCD :

حيث يتم تحويل كل رقم من العدد باستخدام 4 بت، أى يصبح العدد:

0011 1001 0110

3- شفرة Excess-3 :

بإضافة العدد العشري 3 (أو 0011) لكل شفرة رقم من شفرات BCD:

0110 1100 1001، أى يصبح العدد: 0110 1100 1001

4- شفرة Octal :

حيث يتم تحويل العدد العشري إلى عدد بنظام الأعداد الثماني، ثم تمثيل كل رقم

بشفرة ثنائية بـ 4 بت، أى أن:

$$(396)_{10} = (614)_8 = 110 \quad 001 \quad 100$$

5- شفرة Hexadecimal :

حيث يتم تحويل العدد العشري إلى عدد بنظام الأعداد السداسى عشر، ثم تمثيل

كل رقم بشفرة ثنائية بـ 4 بت، أى أن :

$$(396)_{10} = (18C)_{16} = 0001 \quad 1000 \quad 1100$$

ثانيا : العدد : 4096

1- الشفرة الثنائية المباشرة:

يتم التحويل العدد إلى الشفرة الثنائية المباشرة، أى يصبح العدد:

1000000000000

2- الشفرة BCD :

حيث يتم تحويل كل رقم من العدد باستخدام 4-بت، أى يصبح العدد:

0100 0000 1001 0110

3- شفرة Excess-3 :

بإضافة العدد العشري 3 (أو 0011) لكل شفرة رقم من شفرات BCD:

0110 0000 1001 0110، أى يصبح العدد: 0111 0011 1100 1001

4- شفرة Octal :

حيث يتم تحويل العدد العشري إلى عدد بنظام الأعداد الثماني، ثم تمثيل كل رقم بشفرة ثنائية بـ 3 بت، أى أن :

$$(4096)_{10} = (10000)_8 = 001\ 000\ 000\ 000\ 000$$

5- شفرة Hexadecimal :

حيث يتم تحويل العدد العشري إلى عدد بنظام الأعداد السداسي عشر، ثم تمثيل كل رقم بشفرة ثنائية بـ 4-بت، أى أن:

$$(4096)_{10} = (1000)_{16} = 0001\ 0000\ 0000\ 0000$$

2-9-7 الشفرة الهجائية العددية Alphanumeric :

فى كثير من المواقف يتطلب الأمر إدخال معلومات وبيانات تكون مكونة من حروف هجاء وأعداد ورموز خاصة ، وكمثال على ذلك فى الجامعة مثلا حيث يكون المطلوب استخدام حاسب رقمى لإدخال ومعالجة بيانات نتائج الإمتحانات لآلاف الطلبة، وتشمل هذه البيانات: أسماء الطلبة وأسماء المواد والدرجات والتقديرات.. إلخ، ويكون المطلوب هو تمثيل هذه البيانات على الشكل الثنائى، وهذا يتطلب إيجاد شفرة ثنائية لتمثيل حروف الهجاء والأعداد ومختلف الرموز.

1- شفرة BCD المتبادلة (EBCDIC) Extended BCD Interchange Code :

ومن المعروف أنه عند استخدام شفرة ثنائية من n-بت، فإنه باستخدام هذه الشفرة يمكن تمثيل عناصر عددها 2^n عنصر.

فعند تمثيل الأرقام العشرة من 0 إلى 9 (أى 10 عناصر)، وحروف الهجاء من A إلى Z (أى 26 عنصر)، وبالإضافة إلى بعض الرموز الخاصة، فعند استخدام شفرة من 6-بت، فإنه يمكن تمثيل حتى: 2^6 أى 64 عنصر، ويبين جدول (2-9) واحدة من شفرات الحروف والأعداد والرموز والمكونة من 6-بت، والمستخدم فى العديد من الحواسيب لتمثيل الأعداد العشرية والحروف الهجائية والرموز والعلامات أو تعليمات للتحكم فيما يُكتب، وهى شفرة من الشفرات الداخلية ولهذا فهى تسمى شفرة داخلية Internal code .

وغالبا يتطلب الأمر تمثيل أكثر من 64 عنصر ، وهنا نجد شفرة داخلية أخرى من شفرات الحروف والأعداد والرموز... إلخ ، والمكونة من 8-بت، ومبينة فى جدول (2-9) .

جدول (2-9)

الرمز	شفرة داخلية 6-بت	شفرة EBCDIC 8-بت
A	010001	11000001
B	010010	11000010
C	010011	11000011
D	010100	11000100
E	010101	11000101
F	010110	11000110
G	010111	11000111
H	011000	11001000
I	011001	11000001
J	100001	11001001
K	100010	11010010
L	100011	11010011
M	100100	11010100

11010101	100101	N
11010110	100110	O
11010111	100111	P
11011000	101000	Q
11011001	101001	R
11100010	110010	S
11100011	110011	T
11100100	110100	U
11100101	110101	V
11100110	110110	W
11100111	110111	X
11101000	111000	Y
11101001	111001	Z
11110000	000000	0
11110001	000001	1
11110010	000010	2
11110011	000011	3
11110100	000100	4
11110101	000101	5
11110110	000110	6
11110111	000111	7
11111000	001000	8
11111001	001001	9
01000000	110000	Blank فراغ
01001011	011011	

01001101	111100	(
01001110	010000	+
01011011	101011	\$
01011100	101100	*
01011101	011100)
01100000	100000	—
01100001	110001	/
01101011	111011	,
01111110	001011	=

2- الشفرة القياسية الأمريكية لتبادل المعلومات (أسكي):

: American Standard Code for Information Interchange (ASCII)

وفي هذه الشفرة تستخدم مجموعة من 7-بت، أى يكون لدينا مجموعات عددها 2⁷ أى 128 مجموعة، ويبين جدول (2-10) هذه المجموعات مع ما تمثله كل مجموعة من أعداد عشرية، أو حروف هجائية، أو رموز... إلخ.

وعند استخدام شكل 8-بت فى الحاسب الرقمى يضاف بت ثامن 0 على يسار كل مجموعة للحصول على المكافئ السادس عشر للشفرة.

ويبين الجدول كيفية تحديد الشفرة لمختلف الأعداد العشرية أو الحروف الهجائية أو الرموز... إلخ بطريقة سهلة وميسرة، فمثلا لتحديد شفرة الحرف H نقرأ مباشرة قيمة النبيل الأصغر، أو البتات الأربعة الأصغر (b₀، و b₁، و b₂، و b₃) فى نفس الصف الموجود فيه الحرف H، فتكون: 1000، ثم نقرأ بعد ذلك قيمة النبيل الأعلى، أو البتات الأربعة الأكبر (b₄، و b₅، و b₆ مضافا إليها البت الثامن 0) فى نفس العمود، فتكون: 0100، وفى النهاية نحصل على القراءة الصحيحة المناظرة لشفرة الحرف H كالتالى:

$$0100\ 1000 = (48)_{16}$$

جدول (2-10)

b ₆					0	0	0	0	1	1	1	1
b ₅					0	0	1	1	0	0	1	1
b ₄					0	1	0	1	0	1	0	1
b ₃	b ₂	b ₁	b ₀		0	1	2	3	4	5	6	7
0	0	0	0	0	NUL	DLE	SP	0	@	P	'	p
0	0	0	1	1	SOH	DC1	!	1	A	Q	a	q
0	0	1	0	2	STX	DC2	"	2	B	R	b	r
0	0	1	1	3	ETX	DC3	#	3	C	S	c	s
0	1	0	0	4	EOT	DC4	%	4	D	T	d	t
0	1	0	1	5	ENQ	NAK	\$	5	E	U	e	u
0	1	1	0	6	ACK	SYN	&	6	F	V	f	v
0	1	1	1	7	BEL	ETB	'	7	G	W	g	w
1	0	0	0	8	BS	CAN	(8	H	X	h	x
1	0	0	1	9	HT	EM)	9	I	Y	i	y
1	0	1	0	A	LF	SUB	*	:	J	Z	j	z
1	0	1	1	B	VT	ESC	+	;	K	[k	{
1	1	0	0	C	FF	FS	,	<	L	\	L	
1	1	0	1	D	CR	GS	-	=	M]	m	{
1	1	1	0	E	SO	RS	.	>	N	^	n	~
1	1	1	1	F	SI	US	/	?	O	_	o	DEL

مثال (2-37) :

حدد شفرة العلامة {، وأيضاً الحرف n، والرقم 8.

الحل :

أ- لتحديد شفرة العلامة {:

نقرأ مباشرة قيمة النبيل الأصغر في الصف المقابل ، فتكون: 1011، ثم نقرأ بعد ذلك قيمة النبيل الأعلى مضافاً إليه البت الثامن 0 في العمود المناظر، فتكون: 0111، وتكون القراءة الصحيحة المناظرة لشفرة العلامة { كالتالي :

$$0111\ 1011 = (7B)_{16}$$

ب- لتحديد شفرة الحرف n :

نقرأ مباشرة قيمة النبيل الأصغر في الصف المقابل، فتكون: 1110، ثم نقرأ بعد ذلك قيمة النبيل الأعلى مضافاً إليه البت الثامن 0 في العمود المناظر، فتكون: 0110، وتكون القراءة الصحيحة المناظرة لشفرة العلامة { كالتالي:

$$0110\ 1110 = (6E)_{16}$$

ج- لتحديد شفرة العدد 8 :

نقرأ مباشرة قيمة النبيل الأصغر في الصف المقابل، فتكون: 1000، ثم نقرأ بعد ذلك قيمة النبيل الأعلى مضافاً إليه البت الثامن 0 في العمود المناظر، فتكون: 0011، وتكون القراءة الصحيحة المناظرة لشفرة العدد 8 كالتالي:

$$0011\ 1000 = (68)_{16}$$

2-9-8 شفرات الخطأ:

عند إنتقال المعلومات الرقمية على الشكل الثنائي من دائرة رقمية إلى دائرة رقمية أخرى، أو من نظام رقمي إلى نظام رقمي آخر، فيمكن أن تحدث أخطاء حيث يمكن أن تتغير إشارة تعبر عن 0 إلى 1 أو العكس، وفي الأنظمة الرقمية المعقدة حيث يتم التعامل مع ملايين البتات في الثانية الواحدة، فدائماً يفضل الحصول على البيانات سليمة أو على الأقل إكتشاف أى خرق لهذه البيانات في حالة حدوثه.

وواحدة من المعالجات البسيطة لتحسين سلامة البيانات في الأنظمة الرقمية هو إضافة بت على البيانات يسمى ببتة التطابق Parity bit والذي يسمح باكتشاف إشارة خطأ مفردة عند نقل المعلومات، فعلى سبيل المثال: في شفرة ASCII، يكون شفرة الحرف C هي: 1000011، فهي شفرة تحتوى على 3 من 1's فيقال أنه تماثل فردي

ODD، وعند إضافة بت إضافي تتحول شفرة الحرف من 7-بت إلى 8-بت ويكون تماثله ODD إذا كان البت الإضافي 0، أما إذا كان البت الإضافي 1 فيكون تماثله EVEN وسوف يتم نقل هذا البت الإضافي مع شفرة الرمز من طرف الإرسال، وعند طرف الاستقبال سوف يتم اختبار تماثل شفرة الـ 8-Bit، وفي حالة وجود خطأ في بت واحدة أو في عدد فردى من البتات فسوف يتم إكتشافه، إلا أنه في حالة إرسال عدد زوجي خاطئ من البتات فيمكن عدم إكتشاف الخطأ، وفي الحقيقة فإنه يحدث تحسين ملحوظ في سلامة البيانات عند إضافة البت المكافئ.

ويوجد الكثير من شفرات كشف وتصحيح الأخطاء، يمكن الإطلاع عليها في كتب أخرى.

* وفي نهاية الفصل يمكننا القول:

أنه تم إستعراض الكثير من أنظمة الأعداد الرقمية التي تستخدم بتوسع كبير في الدوائر الرقمية والمعالجات الدقيقة والحواسب.. إلخ ، كما تم شرح قواعد إجراء العمليات الحسابية المختلفة مثل: الجمع والطرح والقسمة والضرب.

كما تم التطرق إلى الشفرات المختلفة والأكثر شيوعاً واستخداماً في الأنظمة الرقمية، والتي تستخدم في تمثيل الأعداد والحروف الهجائية والرموز الخاصة، ونقول أن المعرفة بأنظمة الأعداد الرقمية وكذلك الشفرات لهو شئ أساسي لتحقيق الفهم الفعال للأنظمة الرقمية المختلفة بما فيها المعالجات الدقيقة.

تدريبات

تدريب (1-2) :

عين الأعداد العشرية المكافئة للأعداد الثنائية التالية :

أ- 111001 ب- 101001 ج- 11111110 د- 1100100

هـ- 1101.0011 و- 1010.1010 ز- 0.11100

تدريب (2-2) :

عين الأعداد الثنائية المكافئة للأعداد العشرية التالية :

أ- 37 ب- 255 ج- 15 د- 26.25

هـ- 11.75 و- 0.1 ز- 10.01

تدريب (3-2) :

إجري عمليات جمع الأعداد الثنائية التالية :

أ- 1011 ب- 1010.1101

+ 1101 + 101.01

تدريب (4-2) :

إجري عمليات طرح الأعداد الثنائية التالية باستخدام طريقة مكمل الإثنين :

أ- 01000 مطروح منه 01001 ب- 01100 مطروح منه 00011

ج- 0011.1001 مطروح منه 0001.1110

تدريب (5-2) :

حول الأعداد الأتية من نظام الأعداد العشري إلى نظام الأعداد الثماني، ثم إلى نظام الأعداد الثنائي، وقارن بين الأعداد الثنائية التي تم الحصول عليها، والأعداد الثنائية التي يتم الحصول عليها عند التحويل المباشر من النظام العشري إلى النظام الثنائي:

أ- 375 ب- 249 ج- 27.125

تدريب (2-6) :

حول الأعداد الأتية من نظام الأعداد الثنائى إلى نظام الأعداد الثمانى، ثم إلى نظام الأعداد العشرى، وقارن بين الأعداد فى نظام الأعداد العشرى التى تم الحصول عليها والأعداد فى نظام الأعداد العشرى التى يتم الحصول عليها عند التحويل المباشر من النظام الثنائى إلى النظام العشرى:

أ- 11011100.101010 ب- 01010011.010101 ج- 10110011

تدريب (2-7) :

حول الأعداد بنظام الأعداد العشرى فى تدريب (2-5) إلى نظام الأعداد السداسى عشر ثم إلى النظام الثنائى للأعداد، وقارن بين الأعداد الثنائية التى تم الحصول عليها والأعداد الثنائية التى يتم الحصول عليها عند التحويل المباشر من النظام العشرى إلى النظام الثنائى.

تدريب (2-8) :

حول الأعداد الثنائية فى تدريب (2-6) إلى نظام الأعداد السداسى عشر، ثم إلى نظام الأعداد العشرى، وقارن بين الأعداد العشرية التى تم الحصول عليها والأعداد العشرية التى يتم الحصول عليها عند التحويل المباشر من النظام الثنائى إلى النظام العشرى.

تدريب (2-9) :

مطلوب تشفير الأعداد العشرية التالية باستخدام الشفرة BCD :

أ- 46 ب- 327.89 ج- 20.305

تدريب (2-10) :

مطلوب تشفير الأعداد العشرية فى التدريب السابق باستخدام شفرة Excess-3 .

تدريب (2-11) :

قم بتشفير العدد العشرى 46 باستخدام شفرة Gray .

تدريب (2-12) :

باستخدام الشفرة الداخلية 6-Bit مطلوب تشفير العبارة التالية :

$$P = 3 * Q$$

تدريب (2-13) :

قم بكتابة إسمك باستخدام الشفرة الداخلية 6-بت، مع مراعاة الفراغات أينما وجدت.

تدريب (2-14) :

أوجد عدد n-بت المستخدمة فى تشفير معلومات عدد :

أ- 56 عنصر. ب- 130 عنصر.

تدريب (2-15) :

أكتب إسمك - مشتملا على الفراغات إن وجدت - باستخدام :

أ- شفرة ASCII .

ب- شفرة EBCDIC .

ج- الشفرة الداخلية 6-بت .

د- الشفرة الداخلية 8-بت .

الفصل الثالث

أشباه الموصلات وعلاقتها بالأنظمة الرقمية

3-1 مقدمة

3-2 أشباه الموصلات

3-3 الوصلة الثنائية p-n

3-4 دايود سكونك

3-5 وصلة الترانزستور ثنائية القطبية BJT

3-6 ترانزستور شونك

3-7 ترانزستور مجال التأثير FET

3-1 مقدمة :

فى الفصل الأول تمت مناقشة العمليات الأساسية للأنظمة الرقمية، وأنه يمكن تحقيق هذه الدوال باستخدام المفاتيح Switchs (ويقصد بالمفتاح هنا تحقيقه لخواص الفتح والغلق ، أى تحقيق المنطقين 0 و 1، والتي تتطلبها الأنظمة الرقمية)، وعند تصميم نظام رقمى مكون من مئات البوابات باستخدام المفاتيح الميكانيكية فقد يؤدى ذلك إلى عدم إمكانية تشغيل هذه المفاتيح بالكيفية المطلوبة، وحتى ولو كان عدد البوابات قليل فسوف يكون التشغيل معقد وبطئ، ومن المعروف أنه يمكن زيادة سرعة هذه المفاتيح باستخدام اللواقي Relays، إلا أنها تصبح كبيرة الحجم ويتولد منها الضوضاء الكهربائية، لذا فهي تعد غير مناسبة إلا فى أنظمة القدرة العالية.

ويمكن التغلب على هذه الصعوبات باستخدام الأجهزة المصنوعة من أشباه الموصلات Semiconductors، مثل: الوصلة الثنائية p-n junction diode، ووصلة الترانزستور الثنائي القطبية Bipolar Junction Transistor (BJT)، والترانزستورات أحادية القطبية مثل ما يسمى بـ "ترانزستور المعدن والأوكسيد وشبه الموصل المجالى التأثير".

(Metal-Oxide-Semiconductor Field-Effect Transistor (MOSFET، حيث يمكن استخدامها جميعا كمفاتيح، حيث تكون أكثر سرعة وأكثر مناسبة للدوائر الرقمية، بالإضافة إلى أنها تكون ذات أحجام وأوزان صغيرة وأقل تكلفة مع التوفير فى إستهلاك القدرة، وفى الحقيقة أن أشباه الموصلات قد حلت محل الصمامات المفرغة Vacuum tubes والتي كانت تستخدم كمفاتيح، والتي تم استخدامها مع الأجيال الأولى للحاسبات الرقمية.

ونتيجة للتقدم الهائل فى تكنولوجيا أشباه الموصلات فقد أصبح من الممكن تصنيع الآلاف من المكونات Components مثل الوصلات الثنائية (الدايودات) Diodes، والترانزستورات Transistors، والمقاومات Resistors، والمكثفات Capacitors على شرائح صغيرة من عنصر السيليكون، ومما يسمح بإمكانية عمل دمج وتصنيع دوائر كهربية كاملة على شريحة صغيرة من السيليكون، وتعرف هذه الأجهزة الناتجة بالدوائر المتكاملة (IC's) Integrated circuits ، والتي تتمتع بمميزات كبيرة

عن الدوائر العادية من حيث صغر الحجم وقلة الوزن وقلة القدرة المستهلكة والتكلفة الرخيصة وسرعة التشغيل العالية، بالإضافة إلى الإعتمادية العالية، ويتم تصنيع عدد كبير من هذه الدوائر على شريحة واحدة تؤدي نفس الغرض الذي يمكن الحصول عليه عند القيام بتنفيذ عدد من الدوائر المحددة، بالإضافة إلى تحقيق الإقتصاد في الحجم والوزن والتكلفة.

ولقد كان للتقدم المذهل والتطوير الكبير في تكنولوجيا أشباه الموصلات والدوائر المتكاملة ما جعل من الممكن تصنيع الآلات الحاسبة الإلكترونية وساعات اليد الرقمية والحواسيب الدقيقة Microcomputers على شريحة واحدة لاتزيد مساحتها عن بضعة ملليمترات مربعة، وعلى سبيل المثال فإن المعالج الدقيق طراز Intel's 8086 بتكنولوجيا 16-بت والمنتج سنة 1979 يحتوى على حوالى 29,000 ترانزستور على شريحة $6 \times 6 \text{ mm}^2$ ، كما أن الطراز Pentium II المنتج سنة 1997 يتكون من حوالى 7.5 مليون ترانزستور.

2-3-2 أشباه الموصلات :

من المعروف أن سريان التيار الكهربى خلال المواد يحدث نتيجة لسريان الإلكترونات، كما أنه معروف أيضاً أن التوصيلية الكهربائية Conductivity للمادة تتناسب مع كثافة الشحنات الحرة الحاملة (أى عدد الإلكترونات الحرة فى المتر المكعب) حيث يصل عدد هذه الشحنات الحرة فى المواد الموصلة مثل النحاس والفضة إلى حوالى 10^{28} ، بينما يصل هذا العدد فى المواد العازلة مثل الخشب والبلاستيك إلى حوالى 10^7 .

ويوجد قسم ثالث من أنواع الموصلات يعرف بـ "أشباه الموصلات" Semiconductors، وهى مواد تتراوح قدرتها التوصيلية بين القدرة التوصيلية للمواد الموصلة والقدرة التوصيلية للمواد العازلة، ومن أمثلة هذه العناصر: السليكون والجيرمانيوم، وهى عناصر رباعية التكافؤ الكيمائى والتي يمكن اعتبارها من أهم عناصر أشباه الموصلات النقية المستخدمة فى الأجهزة الإلكترونية، والتي سيتم مناقشتها هنا باختصار.

فكما قلنا أن هذه العناصر رباعية التكافؤ الكيمائى، أى أن لكل ذرة من ذراتها 4 إلكترونات فى الغلاف الخارجى تعرف بالإلكترونات التكافؤ، إلا أن هذه الإلكترونات تكون غير حرة الحركة كما فى المواد الموصلة، وتتحد مع إلكترونات التكافؤ فى الذرات المجاورة مكونة أزواج من الإلكترونات بروابط تعرف بالروابط التساهمية Covalent bonds، ومما يؤدي ذلك إلى عدم قدرة الإلكترونات التكافؤ على الحركة نظراً لإرتباطها الشديد بنواتها، أما إذا أعطيت هذه العناصر طاقة على شكل حرارة أو ضوء فسوف تتكسر بعض الروابط التساهمية وتحرر بعض الإلكترونات ويتولد مكانها ما يعرف بالفجوات Holes، ويمكن اعتبار تواجد هذه الفجوات بمثابة سريان للتيار حيث تعتبر هذه الفجوات كشحنات كهربية موجبة تتساوى قيمتها مع قيمة شحنات الإلكترونات المتحررة، ويؤدي تولد هذه الإلكترونات الحرة والفجوات إلى زيادة التوصيلية الكهربائية للعنصر، وتقدر قيمة الطاقة اللازمة لكسر رابطة تساهمية فى كل من السليكون والجرمانيوم بحوالى 1.1، و 0.72 إلكترون فولت عند درجة حرارة الغرفة على الترتيب، ويكون تركيز الإلكترونات n مساوياً لتركيز الفجوات p فى شبه الموصل النقى Pure، كما يكون هذا التركيز صغيراً عند درجة حرارة الغرفة العادية.

ويمكن زيادة التوصيلية الكهربائية للجرمانيوم بإضافة مقدار صغير من عنصر ثلاثى التكافؤ الكيمائى مثل الجاليوم، أو عنصر خماسى التكافؤ الكيمائى مثل الزرنيخ وتعرف هذه العملية بعملية التطعيم Doping، ويسمى شبه الموصل فى هذه الحالة بشبه الموصل المطعم Doped أو الغير نقي، ويتم تصنيع أجهزة أشباه الموصلات من هذه الأنواع من أشباه الموصلات الغير نقية.

3-2-1 شبه الموصل من النوع السالب n-type :

وهى بللورة شبه الموصل الغير نقي والذي يتم فيه إستبدال بعض ذرات السليكون أو الجرمانيوم الرباعية التكافؤ الكيمائى بذرات من عنصر خماسى التكافؤ الكيمائى (أى تحتوى ذرته على 5 إلكترونات فى غلافها الخارجى) مثل الزرنيخ، وتتكون بذلك 4 روابط تساهمية من 4 إلكترونات خارجية للسليكون أو الجرمانيوم مع 4 إلكترونات من إلكترونات الزرنيخ الخارجية الخمسة، بينما

يتبقى الإلكترون الخامس الخارجى من ذرة الزرنيخ الضعيف الارتباط بالنواة ولا يتطلب تحريره من البلورة سوى قدر ضئيل من الطاقة يصل إلى 0.05، و0.01 إلكترون فولت عند درجة حرارة الغرفة لكل من البلورة السيليكون أو للبلورة الجرمانيوم على الترتيب، وفى النهاية نحصل على نسبة لا بأس بها من الإلكترونات الحرة التى تتجول فى البلورة من موضع لآخر، ومن ثم تصبح البلورة موصلة للكهرباء بدرجة أكبر، وفى هذه الحالة تكون الإلكترونات هى حاملات الشحنة الأغلبية Majority charge carriers تسمى البلورة من هذا النوع بـ "البلورة السالبة" n-type.

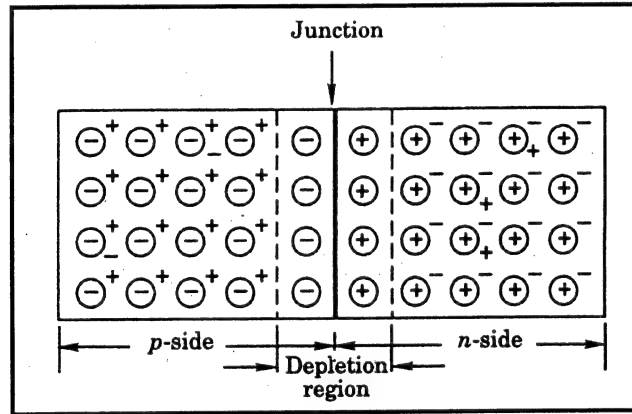
2-2-3 شبه الموصل من النوع الموجب p-type :

وهو شبه الموصل الغير نقي الذى يتم فيه إستبدال بعض ذرات السيليكون أو الجرمانيوم بذرات من عنصر ثلاثى التكافؤ الكيمائى مثل الجاليوم، وتتكون 3 روابط تساهمية من 3 إلكترونات خارجية للسيليكون أو الجرمانيوم مع 3 إلكترونات من الإلكترونات الجاليوم الخارجية الثلاثة ويتبقى الإلكترون الرابع، وتظل الرابطة التساهمية الرابعة للجاليوم مع السيليكون أو الجرمانيوم غير مكتملة، فتتسأ فجوة تسمح بإنتقال إلكترون إليها من رابطة تساهمية أخرى، فتتكسر هذه الرابطة وتصبح بدورها رابطة غير مكتملة وتتولد فجوة جديدة ينتقل إليها إلكترون من رابطة أخرى، وتتكرر هذه العملية، وهكذا تبدو الفجوات وكأنها تتجول فى البلورة من موضع لآخر ومن ثم تصبح البلورة موصلة للكهرباء بدرجة أكبر، وفى هذه الحالة تكون الفجوات هى حاملات الشحنة الأغلبية وتسمى البلورة من هذا النوع بـ "البلورة الموجبة" p-type.

3-3 الوصلة الثنائية p-n :

تتكون الوصلة الثنائية p-n من بلورة من مادة شبه موصلة تشتمل على منطقتين متجاورتين أحدهما سالبة n-type والأخرى موجبة p-type كما هو موضح فى شكل (1-3)، حيث يمكن أن تنتشر الفجوات من الجانب p إلى الجانب n كما يمكن أن تنتشر بعض الإلكترونات من الجانب n إلى الجانب p عبر الوصلة لتملأ بعض الفجوات فى المنطقة الموجبة على جانبى الوصلة ، مما يؤدي إلى إعادة

تجميع بين الإلكترونات والفجوات بالقرب من الوصلة على الجانبين ، كما تتكون منطقة بالقرب من الوصلة خالية من حاملات الشحنة وتسمى منطقة الإستنفاد Depletion region ، وتصبح كثافة الشحنات عند الوصلة مساوية للصفر بينما تصبح سالبة عند الجانب p (نظرا لإنتقال إلكترونات إليه)، وموجبة عند الجانب n (نظرا لإنتقال الفجوات إليه) مما يتسبب فى إرتفاع شدة المجال الكهربى وبالتالي الجهد الكهروستاتيكى Electrostatic potential والذى يتغير مع إنتشار حاملات الشحنة عبر الوصلة وهذا يتسبب فى نشوء جهد يحجز مرور المزيد من حاملات الشحنة خلال الوصلة وينشأ تبعا لذلك توازن حرارى، ويتكون ما يعرف بالجهد الحاجز الذى يمنع تحرك المزيد من حاملات الشحنة عبر الوصلة، ويتم توصيل جانبي الوصلة بأطراف معدنية تسمح بتوصيل الجهد الخارجى للوصلة.



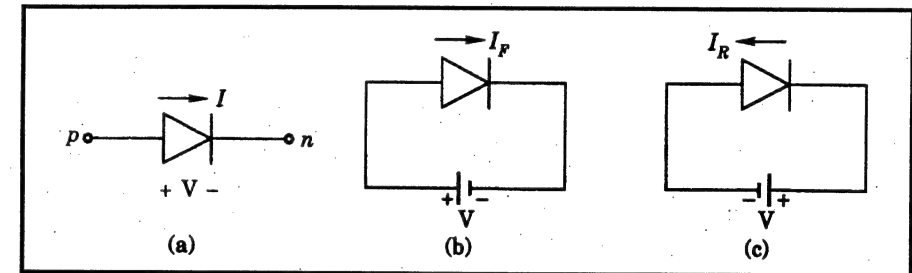
شكل (1-3) الوصلة الثنائية p-n

ويبين شكل (a-2-3) رمز الوصلة الثنائية، وحيث يتم توصيل الوصلة الثنائية فى الدائرة الكهربائية بطريقتين، إما بطريقة الإنحياز الأمامى Forward - bias كما فى شكل (b-2-3)، أو بطريقة الإنحياز العكسى Reverse- bias كما فى شكل (c-2-3).

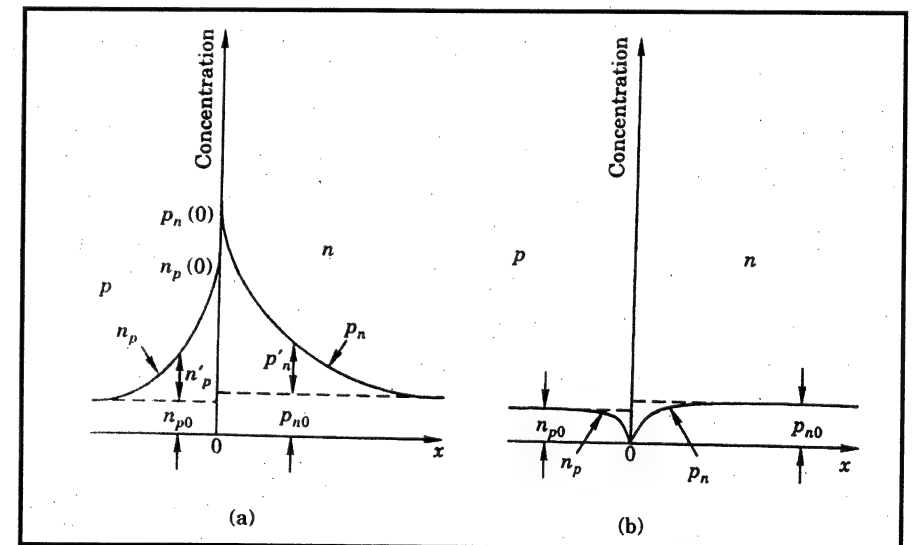
1-3-3 الإنحياز الأمامى :

كما فى شكل (b-2-3)، حيث يتم توصيل الطرف الموجب للبطارية بالجانب p للوصلة الثنائية، بينما يتم توصيل الطرف السالب بالجانب n للوصلة، مما يسبب فى تحرك الفجوات فى الجانب p بعيدا عن القطب الموجب للبطارية ومقتربة من

الوصلة، وأيضا تحرك الإلكترونات في الجانب n بعيدا عن القطب السالب للبطارية ومقتربة من الوصلة، ويؤدي ذلك إلى تقليص سمك منطقة الإستنفاد الخالية من حاملات الشحنة، وبالتالي يقل الجهد الكهربى عند الوصلة كما يحدث إضطراب فى الإتزان الموجود من قبل، وعندئذ تعبر الفجوات خلال الوصلة من الجانب p إلى الجانب n والتي يمكن إعتبارها حاملات أقلية محقونة Injected minority carriers فى الجانب n، وبالمثل تعبر الإلكترونات خلال الوصلة من الجانب n إلى الجانب p أى فى الإتجاه العكسى والتي يمكن أيضا إعتبارها حاملات أقلية محقونة فى الجانب p مما يتسبب فى سريان تيار I_F فى الإتجاه من الجانب p إلى الجانب n، كما هو موضح فى شكل (b-2-3).



شكل (2-3) رمز وتوصيلات الوصلة الثنائية



شكل (3-3) كثافة حاملات الشحنة الأقلية فى الوصلة الثنائية p-n

ويوضح شكل (a-3-3) توزيع حاملات الأقلية كدالة فى البعد x عن الوصلة حيث تمثل p_n ، و n_p كثافة الفجوات وكثافة الإلكترونات فى الجانبين n، و p على الترتيب بينما يمثل p_{n0} ، و n_{p0} كثافة الفجوات وكثافة الإلكترونات فى الجانبين n، و p على الترتيب تحت ظروف التعادل الحرارى، أما حاملات الشحنة الأقلية الزائدة للفجوات وللالكترونات فى الجانبين n، و p فتمثلها p'_n و n'_p ، والتي نقل كلنا إبتعدنا عن الفاصل حيث تبلغ الكثافة أقصاها عند الوصلة، وتقل تقريبا كدالة أسية مع المسافة x.

2-3-3 الإنحياز العكسى:

كما فى شكل (c-2-3) يتم توصيل الطرف السالب للبطارية بالجانب p للوصلة الثنائية، بينما يتم توصيل الطرف الموجب بالجانب n للوصلة، مما يسبب فى تحرك الفجوات فى الجانب p بعيدا عن الوصلة ومقتربة من القطب السالب للبطارية، وأيضا تحرك الإلكترونات فى الجانب n بعيدا عن الوصلة ومقتربة من القطب الموجب للبطارية، ومما يؤدي بالتالى إلى زيادة سمك المنطقة الخالية من حاملات الشحنة ومما يمنع من عبور الفجوات خلال الوصلة من الجانب p إلى الجانب n، وأيضا يمنع عبور الإلكترونات خلال الوصلة من الجانب n إلى الجانب p، إلا أنه يمكن عبور حاملات أقلية (فجوات من الجانب n إلى الجانب p، وإلكترونات من الجانب p إلى الجانب n)، مما يتسبب فى تولد تيار عكسى I_R فى الإتجاه كما هو موضح فى شكل (c-2-3)، وهذا التيار يكون صغيراً جداً، كما يكون فى حدود البضعة مللى أمبير فى وصلات الجرمانيوم، وفى حدود البضعة نانو أمبير فى وصلات السيليكون، وتتضاعف قيمة هذا التيار تقريبا مع كل ارتفاع فى درجة الحرارة قيمته 10°C .

ويوضح شكل (b-3-3) توزيع حاملات الأقلية كدالة فى البعد x عن والتي نقل كلما إقتربنا من الفاصل حيث تبلغ الكثافة أدناها، بل تصل إلى الصفر عند الوصلة، أما بعيدا عن الوصلة فلا تزيد الكثافة أبدا عن قيمتها تحت ظروف التعادل الحرارى.

3-3-3 خاصية الفولت-أمبير للوصلة الثنائية :

يتم التعبير عن خاصية الفولت-أمبير V-I characteristic للوصلة الثنائية والتي يطلق عليها أيضاً "الدايود" Diode بالعلاقة التالية:

$$I = I_0 (e^{V/nV_T} - 1) \quad (3-1)$$

حيث : V_T مكافئ الفولت للحرارة ويعبر عنه من العلاقة :

$$V_T = KT/q \quad (3-2)$$

K .. ثابت بولتزمان ويساوى $1.381 \times 10^{-23} \text{ J/K}$.

q .. الشحنة الكهربائية وتساوى $1.602 \times 10^{-19} \text{ coulomb}$.

T .. الحرارة المطلقة بالكلفن وتساوى 300 K فى الغرفة العادية .

وبالتعويض عن القيم السابقة يكون :

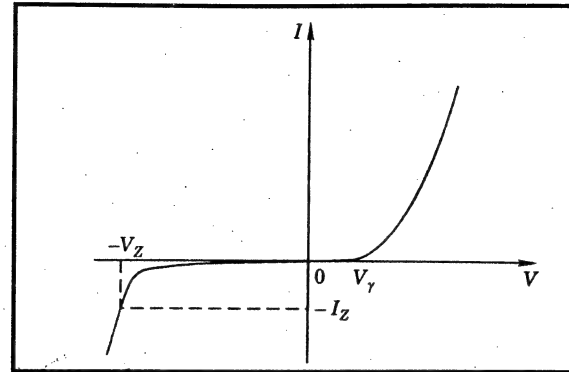
$$V_T \approx 26 \text{ mV}$$

... تكون مساوية 1 للجرمانيوم ، وحوالى 2 للسيليكون .

I_0 .. تيار التشبع العكسى Reverse saturation current ويكون صغيراً جداً .

وكما هو واضح فى شكل (3-2-أ)، يكون التيار I_F موجبا عند سريانه فى إتجاه السهم أى من الجانب p إلى الجانب n، ويكون جهد الجانب p بالنسبة للجانب n مساويا للجهد V.

والعلاقة (3-1) والتي تمثل خاصية الفولت-أمبير للدايود موضحة فى شكل (3-4)، والتي منها نلاحظ أنه عندما يكون الدايدود فى الإتجاه الأمامى يظل التيار I_F صغيراً جداً ويمكن إهماله حتى يصل الجهد إلى V_T والذي يعزى إلى جهد القاطع Cut-in أو جهد العتبة Threshold (وتصل قيمة V_T إلى حوالى 0.2 V لوصلة الجرمانيوم، وإلى حوالى 0.6 V لبللورة السيليكون)، والذي بعده يرتفع التيار بسرعة خاطفة.

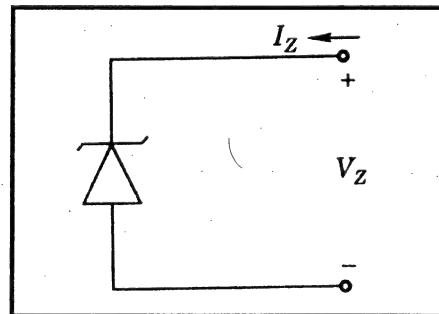


شكل (3-4) خاصية الفولت-أمبير للوصلة الثنائية

ومن هنا نرى أن الوصلة الثنائية أو الدايدود جهاز أحادى الإتجاه، أى أنه يسمح بسريان التيار عند التوصيل فى الإتجاه الأمامى (أو عند تعرضه لإنحياز أمامى)، أى يكون موصلًا ON، بينما لايسمح بسريان التيار عند التوصيل فى الإتجاه العكسى (أو عند تعرضه لإنحياز عكسى) أى يكون غير موصل، أو فى حالة قطع OFF، ومن هنا يمكن أن تعمل الوصلة الثنائية كمفتاح.

3-3-4 موصِل زينر الثنائى Zener diode :

من شكل (3-4) الذى يمثل العلاقة (3-1) نلاحظ سريان تيار كبير فى الإتجاه العكسى إذا زادت قيمة الجهد العكسى للوصلة عن قيمة قدرها V_Z والتي تعرف بـ "جهد إنهيار زينر" Zener breakdown voltage، وعند عمل الموصل فى تلك الحالة Mode يظل الجهد عبر الموصل ثابتاً ومساوياً V_Z كما يمكن التحكم فى تيار الموصل عن طريق مقاومة خارجية، وتستخدم هذه الموصلات كمصدر للجهد الثابت، ويوضح شكل (3-5) رمز موصل زينر الثنائى.



شكل (3-5) رمز موصل زينر الثنائى

5-3-3 خصائص التغير Switching characteristics للدايودات:

في حالة الإنحياز الأمامي للدايود p-n، يكون جهده أعلى من الجهد القاطع Cut-in voltage ببضعة عشرات من المئلي فولت، كما أنه يكون ثابتاً تقريباً، وتستخدم مقاومة خارجية موصلة على التوالي مع دائرة الدايدود في تحديد قيمة التيار I_F المار، كما تكون تركيزات الشحنات الأقلية كبيرة على جانبي الوصلة كما هو موضح في شكل (a-3-3)، وهذا الوضع يناظر عمل الوصلة كمفتاح في وضع ON، وعلى الجانب الآخر وفي حالة الإنحياز العكسي يصبح التيار المار خلال الدايدود ($I_R \approx -I_o$) وهو تيار صغير جداً يمكن إهماله، وتكون تركيزات الشحنات الأقلية على جانبي الوصلة صغيرة يمكن إهمالها كما هو موضح في شكل (b-3-3)، وهذا الوضع يناظر عمل الوصلة كمفتاح في وضع OFF.

زمن التغير Switching time :

إذا تغير الجهد في دائرة الوصلة الثنائية فجأة من وضع الإنحياز العكسي إلى وضع الإنحياز الأمامي، فسوف نصل لظروف الحالة الثابتة عندما تتغير كثافة الشحنات الأقلية من الحالة الممثلة في شكل (b-3-3) إلى الحالة الممثلة في شكل (a-3-3)، وبالمثل إذا تغير الجهد فجأة من وضع الإنحياز الأمامي إلى وضع الإنحياز العكسي فسوف تتغير بالتبعية كثافة الشحنات الأقلية، وهذا التغير في كثافة الشحنات الأقلية يستغرق زمناً محدداً والذي يكون صغيراً جداً عندما تتغير حالة توصيل الجهد من التوصل العكسي إلى الإنحياز الأمامي مقارنة بالزمن المستغرق عند تغير كثافة الشحنات الأقلية من وضع الإنحياز الأمامي إلى وضع الإنحياز العكسي، حيث يكون في هذه الحالة ذا معنى وأهمية وذلك يرجع إلى تراكم حاملات الشحنات الأقلية الزيادة على جانبي الوصلة تحت ظروف الإنحياز الأمامي والتي لا بد من إزالتها قبل وصول الدايدود لظروف الحالة الثابتة للتوصيل العكسي، وبمجرد تغير إشارة Sign جهد الإنحياز العكسي يسرى تيار كبير في الاتجاه العكسي بسبب حاملات الشحنة الزائدة المخزنة حتى تزال كل الشحنات الزائدة، ويعرف الزمن المستغرق لإزالة هذه الشحنات بـ زمن التخزين (t_s) Storage time.

وفيما بعد ذلك يتغير التيار أسياً ويصل لقيمة الحالة الثابتة، كما يعرف الزمن اللازم للوصول للحالة الثابتة في ظروف الإنحياز العكسي بـ زمن الانتقال Transition time (t_r)، ويكون مجموع الزمنين ($t_r + t_s$) هو زمن التأخير الكلي ويعرف بـ زمن التغير الفجائي Switching time، وهذا الزمن يحدد أقصى تردد يتغير فيه الدايدود من وضع ON إلى وضع OFF، أو من وضع OFF إلى وضع ON.

ومفهوم تخزين الشحنات الأقلية وإزالتها لهو حيوى في عملية تغيير النمط الفجائي Switching mode operation لأجهزة أشباه الموصلات، ولا بد من فهمها بتمكن.

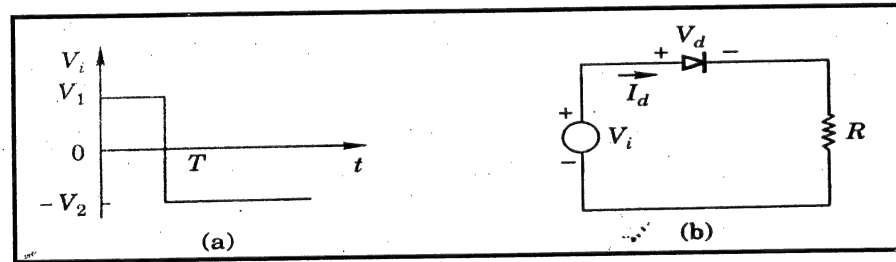
مثال (1-3) :

الشكل (a-3-6) يبين شكل الموجة Waveform المطبقة على دائرة دايدود والموضحة في شكل (b-3-6)، مطلوب رسم أشكال الموجة التالية:

أ- كثافة شحنات الأقلية التي تزيد عند الوصلة.

ب- تيار الدايدود.

ج- جهد الدايدود.



شكل (3-6) رسومات المثال (1-3)

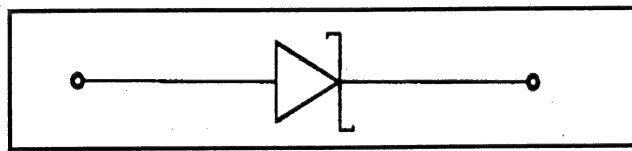
الحل :

تكون رسوم أشكال الموجة المطلوبة كما هو مبين في شكل (3-7).

3-4 دايود شوتكى :

كما درسنا آنفا وجدنا أن سرعة عمل الدايود تقل بسبب تخزين حاملات الأقلية (فعند إزدياد الزمن t_s أو الزمن t_r أو كلاهما تقل سرعة العمل). ويمكن تقليل زمن التخزين باستخدام وصلة مكونة من شبه موصل ومعدن كالاتي:

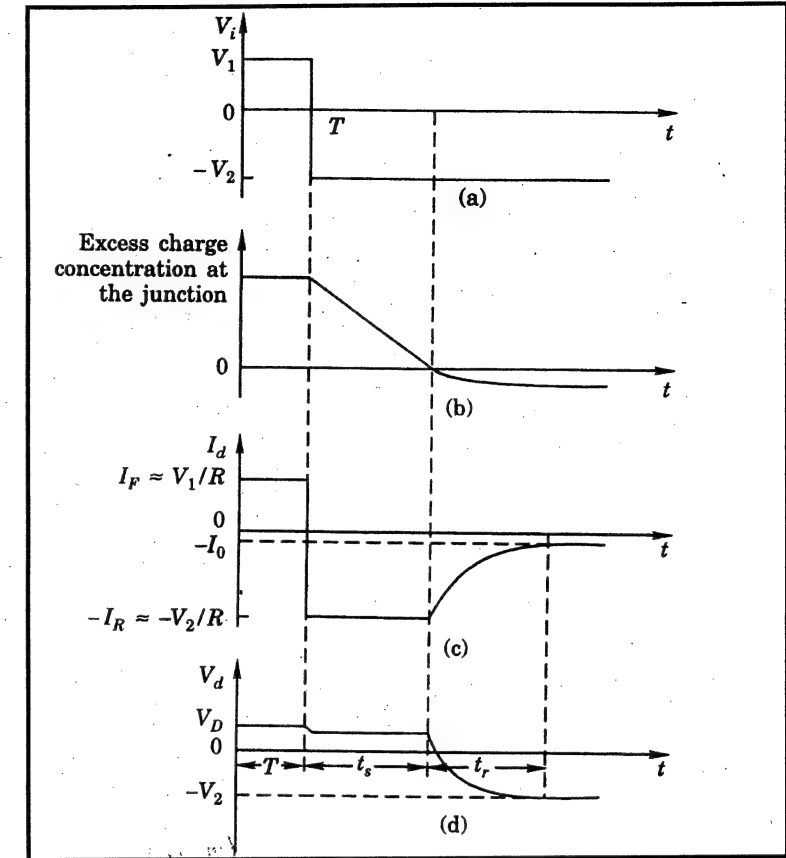
الوصلة المكونة من عنصر الألومينيوم وشبه موصل نوع سالب، تؤدي إلى وصلة ثنائية تعرف باسم دايود شوتكى SCHOTTKY Diode، ورمزها كما في شكل (8-3).



شكل (8-3) رمز وصلة سكوتكى الثنائية

وتكون خاصية الفولت-أمبير V-I characteristic مشابهة لتلك الخاصة بشبه الموصل الدايود فيما عدا أن الجهد القاطع والذي يتراوح بين 0.2 V و 0.5 V والذي يعتمد على نوع المعدن المستخدم، ففي نوع دايود شوتكى المكونة من شبه الموصل نوع سالب وعنصر الألومينيوم يصل جهد القطع إلى 0.35 V.

وعند الإنحياز الأمامي لدايود شوتكى يتم توصيل القطب الموجب للبطارية بالمعدن، بينما يوصل القطب السالب بشبه الموصل نوع سالب، ويسرى التيار الكهربى خلال الوصلة بسبب سريان الإلكترونات من شبه الموصل إلى المعدن حيث تدخله ولكن لايمكن لها أن تتراكم على الإلكترونات المتوافرة والموجودة من قبل على المعدن مما لا يؤدي إلى تكوين حاملات الأقلية، وعلى هذا نجد أنه عندما ينعكس جهد الوصلة لاتنشأ مشكلة إزالة شحنة الأقلية الزائدة، ومن هنا نرى أن زمن التخزين فى دايود شوتكى يكاد أن يكون مهملا وبالتالي تزيد سرعة العمل.



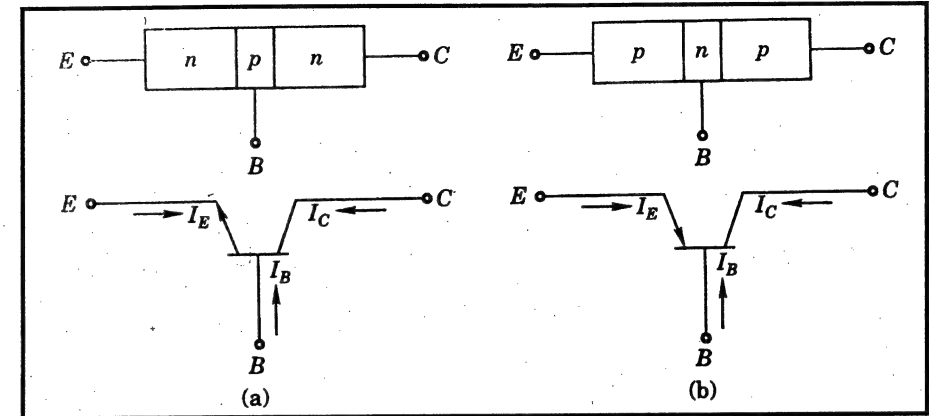
شكل (7-3) أشكال الموجة للمثال (1-3)

من الزمن $t = 0$ ، إلى الزمن $t = T$ ، يكون الدايود موصلة توصيلا أماميا ويكون التيار $I_F \approx V_1/R$.

وإبتداء من الزمن $t = T$ ، يتحول جهد دخل الدايود من V_1 إلى $-V_2$ ، ويسرى التيار فى الإتجاه العكسى حيث $(I_d = -I_R \approx -V_2/R)$ ، والذي يزيل شحنات الأقلية الزائدة، وعند تمام إزالتها (والذى يستغرق الزمن t_s) يتغير التيار I_d والجهد V_d أسيا (والذى يستغرق الزمن t_r) ويصلا إلى قيم الحالة الثابتة $-I_0$ و $-V_2$ على الترتيب، ويبين الشكل زمنى التخزين t_s والانتقال t_r ، ويلاحظ أن زمن التخزين t_s يزداد بإزدياد التيار I_F ويقل بإزدياد مقدار التيار العكسى I_R .

5-3 وصلة الترانزيستور ثنائي القطبية BJT :

وصلة الترانزيستور ثنائي القطبية (BJT) Bipolar junction transistor عبارة عن بلورة سيليكون أو جرمانيوم مكونة من:



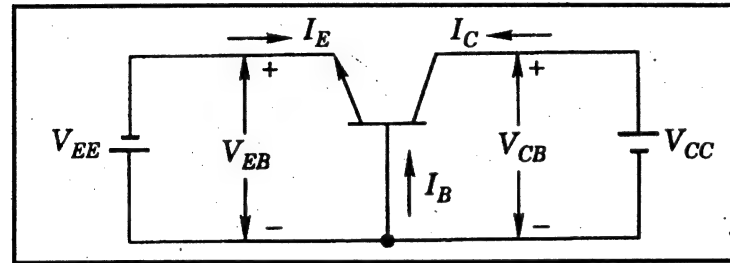
شكل (9-3) رمز ودوائر الترانزيستور ثنائي القطبية

- 1- إما طبقة رقيقة من شبه موصل نوع موجب p-type محصورة بين طبقتين من شبه موصل نوع سالب n-type كلا منهما أكبر سمكا من شبه الموصل نوع الموجب، ويعرف بترانزيستور n-p-n.
 - 2- أو طبقة رقيقة من شبه موصل نوع سالب n-type محصور بين طبقتين من شبه موصل نوع موجب p-type كلا منهما أكبر سمكا من شبه الموصل نوع السالب، ويعرف بترانزيستور p-n-p.
- ويوضح شكل (9-3) رمزي نوعي الترانزيستورين والدائرة التي تمثل كلا منهما.

ونحصل في النهاية على جهاز ذو 3 أطراف تعرف بـ: الباعث (E) Emitter ، القاعدة (B) Base ، والمجمع (C) Collector ، ويشير السهم المرشد عند الباعث إلى نوع الترانزيستور، ففي حالة السهم الخارج من القاعدة يعنى ترانزيستور n-p-n ، وفي حالة السهم الداخل للقاعدة يعنى ترانزيستور p-n-p ، ويمكن اعتبار

تيارات الباعث I_E ، والقاعدة I_B ، والمجمع I_C موجبة عند سريانها في الاتجاهات كالمشار إليها في شكل (9-3).

وسوف نتناول شرح نظرية عمل الترانزيستور طراز n-p-n، وهي تماثل نظرية عمل الترانزيستور طراز p-n-p.



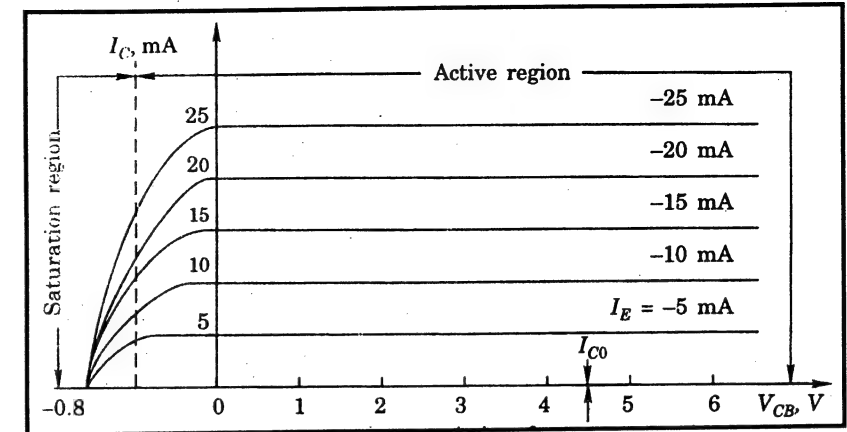
شكل (10-3) دائرة ترانزيستور n-p-n

من دائرة الترانزيستور n-p-n المبينة في شكل (10-3)، وفيه وصلة الباعث - القاعدة E-B في إنحياز أمامي (قطب البطارية الموجب موصل بالقاعدة p-type) بينما وصلة المجمع- القاعدة C-B في إنحياز عكسي (قطب البطارية السالب موصل بالقاعدة p-type)، كما يكون جهد الإنحياز الأمامي V_{EB} أقل بكثير من جهد الإنحياز العكسي V_{CB} ، وحيث أن وصلة الباعث- القاعدة E-B في إنحياز أمامي فتنتشر الإلكترونات من الباعث (نوع-n) إلى القاعدة (نوع-p)، وبالمثل تنتشر الفجوات من القاعدة إلى الباعث، ومما يزيد من تيار الباعث I_E والذي يكون سالبا (في عكس اتجاه السهم)، أما في وصلة المجمع- القاعدة C-B والموصلة توصيل عكسيا، فإن معظم الإلكترونات المحقونة في القاعدة وتكون بمثابة حاملات أقلية فسوف تنتقل إلى منطقة المجمع، ويكون تيار المجمع أقل قليلا من تيار الباعث، ويكون:

$$I_E = -(I_C + I_B) \quad (3-3)$$

وبين شكل (11-3) خصائص الخرج لتوصيل القاعدة المشتركة Common-base output characteristics.

ويعتمد عمل الترانزيستور ثنائي القطبية BJT على عملية التوصيل للوصلتين (E-B)، و(C-B)، وينقسم مدى عمله إلى 3 مناطق:



شكل (11-3) خواص خرج التوصيل بالقاعدة المشتركة CB

منطقة القطع Cut-off، والمنطقة الفعالة Active، ومنطقة التشبع Saturation.

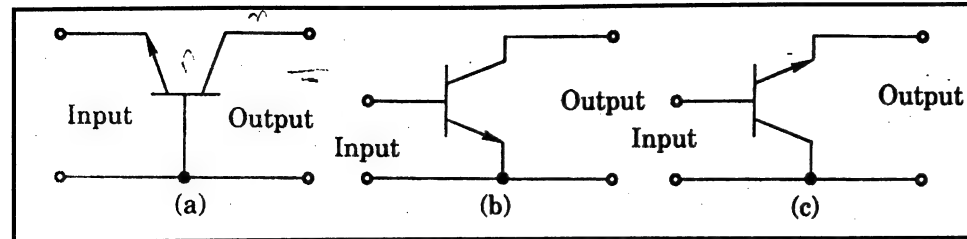
ففي حالة الإنحياز العكسي لكلا الوصلتين فسوف يمر تيار تشبع عكسي صغير جدا خلال الوصلتين مما نعزيها إلى منطقة قطع Cut-off region وبما يناظر مفتاح غير موصل أى مفتوح Open، وهذه المنطقة تقع تحت المنحنى عند $I_E = 0$ في شكل (11-3).

وإذا كانت كانت وصلة الباعث-القاعدة E-B موصلة أماميا وكانت وصلة المجمع-القاعدة C-B موصلة عكسيا فإن تيار الخرج (تيار المجمع) يكون خطيا معتمدا على تيار الدخل (تيار الباعث) ويكون العمل هنا في المنطقة الفعالة وهي منطقة ذات إهتمام بسيط عند استخدام الترانزستور كمفتاح.

أما منطقة التشبع فهي ذات أهمية في عمل الترانزستور كمفتاح ففي هذه المنطقة تكون كلتا الوصلتين موصلتين توصيلا أماميا وبما يناظر مفتاح موصل، أى مغلق ON.

3-5-1 تشكيلات الترانزستور:

يمكن أن يتخذ الترانزستور واحدا من تشكيلات ثلاثة كما هو موضح في شكل (12-3):



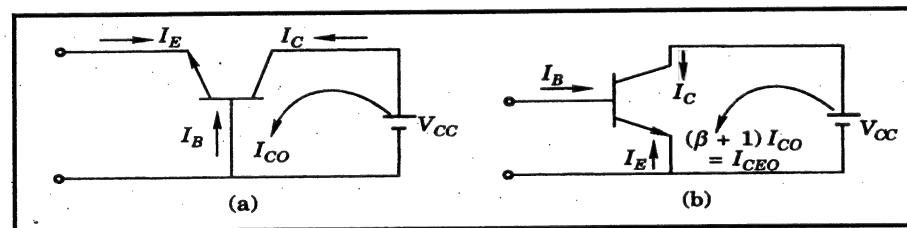
شكل (12-3) تشكيلات الترانزستور: CC -c CE -b CB -a

1- تشكيل القاعدة المشتركة (CB) Common-Base.

2- تشكيل الباعث المشترك (CE) Common-Emitter.

3- تشكيل المجمع المشترك (CC) Common-Collector.

فمثلا في شكل القاعدة المشتركة (CB) الموضح في شكل (13-3-a)، وباعتبار أن وصلة E-B دائرة مفتوحة أى أن: $I_E = 0$ ، ووصلة C-B ذات إنحياز عكسي، فيمر نتيجة لذلك تيار تشبع عكسي I_{CO} في دائرة الخرج؛ وإذا أصبحت الوصلة E-B ذات إنحياز أمامي فسوف تسري تيارات الباعث I_E والقاعدة I_B ، والمجمع I_C طبقا للمعادلة (4-3).



شكل (13-3) دوائر الترانزستور بدوائر دخل مفتوحة

ويتم تعريف معامل كسب التيار α في دائرة CB من العلاقة التالية :

$$\alpha = - (I_C - I_{CO}) / I_E \quad (3-4)$$

وتكون α دائما موجبة، وتتحصر بين 0.9 و 0.998 كما يكون $I_{CO} \gg I_C$ وعلى هذا يكون:

$$|I_C| = |I_E| \quad (3-5)$$

مما يوضح أن تيار الخرج I_C يكون مساويا تقريبا تيار الدخل I_E ، كما أن تيار القاعدة I_B يكون صغيرا جدا يمكن إهماله.

بالمثل في تشكيل المجمع المشترك (CE) الموضح في شكل (3-13-b)، تكون وصلة B-E دائرة مفتوحة أى أن: ($I_B = 0$)، وتكون وصلة C-B ذات إنحياز عكسى، ويمكن الحصول على تيار المجمع I_C باستخدام المعادلتين (3-3)، (4-3) كالآتى :

$$I_C = \{ a / (1 - a) \} \cdot I_B + \{ (1/1 - a) \} \cdot I_{CO} \quad (3-6)$$

أو :

$$I_C = \beta I_B + (\beta + 1) I_{CO} \quad (3-7)$$

حيث :

$$\beta = a / (1 - a) \quad (3-8)$$

ويكون β هو معامل كسب التيار فى دائرة CE ، وحيث أن a تكون قريبة من

الوحدة ، فتكون قيمة β كبيرة .

فإذا كانت : $a = 0.98$ ، فتكون :

$$\beta = 0.98 / (1 - 0.98) \\ = 49$$

ومن المعادلة (3-7) وحيث أن I_{CO} يكون صغيرا جدا ، فيمكن إعتبار أن :

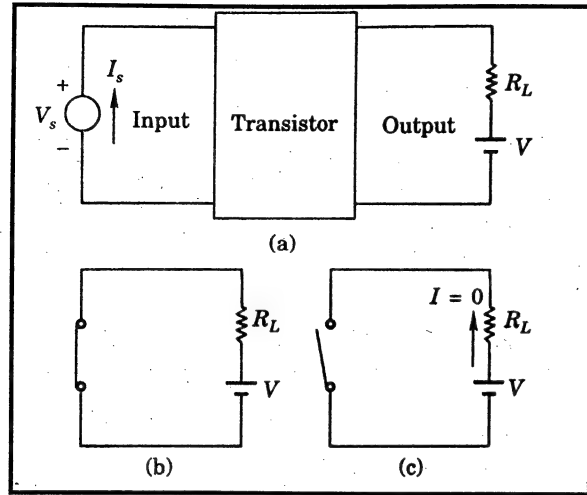
$$I_C \approx \beta I_B \quad (3-9)$$

ومما يعنى أن تيار المجمع يتناسب طرديا مع تيار القاعدة .

وبالمثل أيضا يمكن إيجاد كسب التيار فى دائرة CC وذلك من المعادلتين (3-3)، (7-3)، ونجده مساويا: ($\beta + 1$).

2-5-3 عمل الترانزستور كمفتاح :

عند استخدام الترانزستور كمفتاح، فيكون عمله ببساطة هو عبارة عن توصيل الحمل R_L بالمنبع V أو فصله عنه، كما هو مبين فى شكل (14-3).



شكل (14-3) عمل الترانزستور كمفتاح

ويعمل المفتاح حينئذ كمفتاح تشغيل كهربائى حيث تطبق الكميات الحاكمة Controlling quantities على أطراف الدخل، بينما يوصل الحمل على التوالى مع المنبع على أطراف الخرج.

وفى الحالة القياسية يجب ألا يسمح الترانزستور بمرور أى تيار خلال الحمل R_L عندما يكون مفتوحا OFF، أى يكون الترانزستور فى منطقة القطع Cut-off، وعلى الجانب الآخر يجب أن يكون جهد الحمل مساويا للجهد V عندما يكون الترانزستور مغلقا ON، أى يصل لمنطقة التشبع .

وعملياً فى الترانزستورات التى تعمل كمفتاح، فإنه يمر تيار خلال الحمل ويكون صغيرا جدا وذلك فى حالة الفتح OFF، وكما يكون جهد الحمل أقل بقدر بسيط من الجهد V .

وتختلف الثلاثة أشكال السابقة من وجهة نظر استخدام الترانزستور كمفتاح :

ففى تشكيل CB نجد أن تيار الدخل I_E المطلوب لتشغيل الترانزستور كمفتاح يكون تقريبا كبيرا كتيار المجمع I_C المطلوب تغيير حالته، وفى تشكيل CC نجد أن جهد الدخل اللازم لتشغيل المفتاح يكون كبيرا تقريبا مثل جهد التغذية، أما فى

تشكيل CE فيكون تيار أو جهد الدخل المؤثران في التغير Switching صغيرا جدا مقارنة بالتيار أو الجهد المطلوب تغييرهما Switched.

ومن هنا نجد أن تشكيل CE هو أحسن تشكيل مفيد، والأكثر شيوعا في استخدام الترانزيستور كمفتاح.

3-5-3 استخدام تشكيل الترانزيستور CE كمفتاح :

يبين شكل (a-15-3) دائرة استخدام الترانزيستور في تشكيل CE كمفتاح .

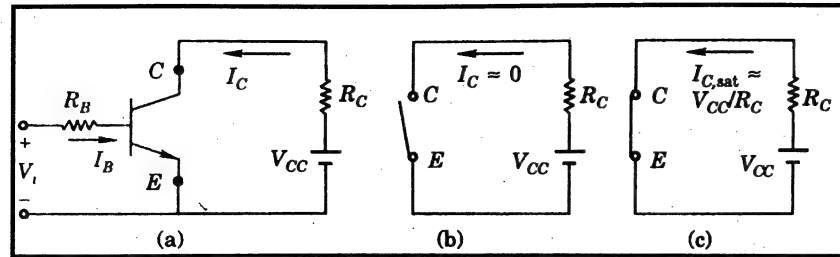
وفيه يتحكم الجهد V_i في تشغيل المفتاح، فعندما يكون هذا الجهد أقل من جهد القاطع Cut-in للترانزيستور يكون تيار القاعدة: $I_B \approx 0$ ، وبالتالي يكون تيار المجمع أيضا: $I_C \approx 0$ وهذا يناظر وضع فتح (OFF) كما في شكل (b-15-3)، ومع إزداد الجهد V_i يزداد تيار القاعدة I_B ، وبالتالي يزداد تيار المجمع I_C ($I_C \propto I_B$)، ويمكن إزداد تيار المجمع I_C لأقصى قيمة ممكنة $I_{C,max}$ حيث:

$$I_{C,max} = I_{C,sat} \approx V_{CC}/R_C$$

(وبفرض أن جهد المجمع-القاعدة: $V_{CE} \approx 0$).

أما فوق ذلك فإن أى زيادة في تيار القاعدة I_B لا يقابله أى زيادة في تيار المجمع I_C .

وأثناء إزداد تيار المجمع I_C فإن الجهد V_{CE} يتناقص وفي النهاية يصبح أقل من جهد القاعدة-المجمع V_{BC} مما يجعل وصلة المجمع-القاعدة في الإنحياز الأمامي، ولهذا السبب تصبح كلتا الوصلتان موصلتين أماميا وبالتالي يصل الترانزيستور لحالة التشبع، وهذا يناظر وضع قفل (ON) كما في شكل (c-15-3)، ويكون الجهد V_{CE} محصورا بين 0.1، و 0.2 فولت لترانزيستور السيليكون، ومما يعطى جهد قيمته V_{CC} تقريبا على المقاومة R_C .



شكل (3-15) دائرة الترانزيستور CE كمفتاح وفي وضعي الفتح والغلق

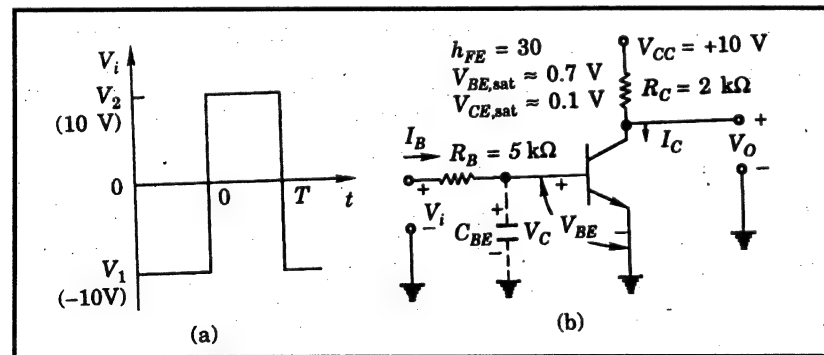
3-5-4 سرعة التغير للترانزيستور الثنائي القطبية JT B :

عندما تتغير حالة الترانزيستور من حالة الفتح (OFF) إلى حالة الغلق (ON)، يحتاج تكوين الشحنات للوصول إلى الحالة الثابتة إلى زمن، وبالمثل عند تغير حالة الترانزيستور من حالة الغلق (ON) إلى حالة الفتح (OFF) فإن الشحنات المخزنة الزائدة تحتاج أيضا في إزالتها لبعض الوقت، ولهذين السببين يحدث تأخير زمني في عمل الترانزيستور كمفتاح، ويمكن شرح هذه التأخيرات الزمنية أكثر مع المثال التالي.

مثال (3-2) :

ناقش الإستجابة لشكل الموجه الموضحة في شكل (a-16-3) لدائرة الترانزيستور الذي يعمل كعاكس والموضح في شكل (b-16-3).

الحل :



شكل (3-16) الترانزيستور كعاكس

طبقا لشكل الموجة وعندما يكون $V_i = -10V$ تكون وصلة القاعدة-الباعث (BE) في الإنحياز العكسي ، ويكون الترانزيستور في وضع القطع Cut-off وبالتالي يكون $I_B \approx 0$ ، و $I_C \approx 0$ ، وأيضا $V_o = V_{CC}$ كما تشحن السعة الإنتقالية C_{BE} بشحنة - $10V$.

وعند الزمن $t = 0$ ، يتغير جهد الدخل عند القاعدة ولكنه لا يتغير لحظيا وإنما يتغير أسيا بثابت زمني مقداره $(R_B C_{BE})$ حتى يصل إلى جهد الحالة الثابتة + $10V$.

وبمجرد وصول جهد القاعدة-الباعث V_{BE} لجهد القاطع للترانزيستور يصبح موصلا ، كما يسبب الإزدياد في الجهد عند القاعدة إلى إزدياد تيار القاعدة وفي النهاية يصل الترانزيستور للتشبع وبالتالي يصبح تيار القاعدة :

$$I_{B1} = (V_2 - V_{BE}) / R_B = (10 - 0.7) / 5 = 1.86 \text{ mA}$$

ويكون تيار المجمع :

$$I_{C,sat} = (V_{CC} - V_{CE,sat}) / R_C = (10 - 0.1) / 2$$

$$\approx 5 \text{ mA}$$

ويكون تيار القاعدة المطلوب لتوصيل الترانزيستور للتشبع :

$$I_{B,sat} = I_{C,sat} / h_{FE} = 5 / 30 = 0.167 \text{ mA}$$

حيث: $h_{FE} \dots$ هو معامل كسب التيار.

ومن هنا نجد أن : $I_{B1} \gg I_{B,sat}$ وبالتالي يكون الترانزيستور في منطقة التشبع، وأيضا يكون:

$$V_o = V_{CE,sat} \approx 0.1 V$$

ويعرف الزمن اللازم لرفع تيار المجمع إلى قيمة 10% من قيمة التيار $I_{C,sat}$ بزمن التأخير t_d Delay time ، كما يعرف الزمن اللازم لرفع تيار المجمع خلال المنطقة الفعالة من قيمة 10% إلى قيمة 90% من قيمة التيار $I_{C,sat}$ بزمن الصعود t_r Rise time ، ويعرف مجموع الزمنين بزمن التوصيل Turn-on time (t_{ON}) حيث:

$$t_{ON} = t_d + t_r$$

وعند الزمن $t = T$ يعود جهد الدخل عند القاعدة إلى القيمة الابتدائية $10V$ - وبسبب شحنات الأقلية الزائدة المخزنة في القاعدة فإن تيار المجمع لا يستجيب في الحال ويصبح تيار القاعدة :

$$I_{B2} = (V_1 - V_{BE}) / R_B = (-10 - 0.7) / 5 = -2.14 \text{ mA}$$

وهو مايساعد على إزالة شحنات الأقلية الزائدة المخزنة في القاعدة .

وتعرف الفترة الزمنية المنقضية حتى ينخفض تيار المجمع I_C ويصل إلى قيمة 90% من قيمة التيار بزمن التخزين (t_s) Storage time ، كما يعرف الزمن اللازم لينخفض تيار المجمع من قيمة 90% إلى قيمة 10% من قيمة التيار $I_{C,sat}$ بزمن الهبوط (t_f) Fall time ، ويعرف مجموع الزمنين بزمن الفصل Turn-off time (t_{OFF}) حيث:

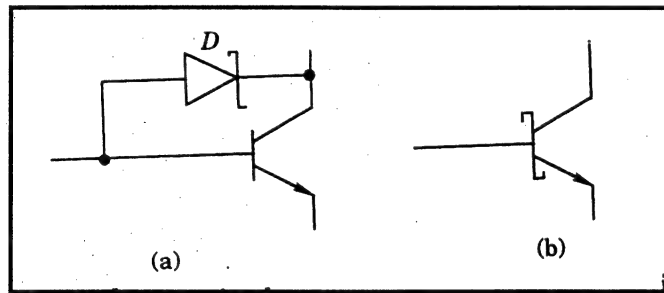
$$t_{OFF} = t_s + t_f$$

أما طريقة الحسابات الحقيقية للأزمنة t_d ، و t_r ، و t_s ، و t_f فهي معقدة وخارج مجال كتابنا هذا، ويبين شكل (3-17) أشكال الموجة المختلفة.

ويمكن التقليل من زمن التوصيل t_{ON} وذلك بزيادة الجهد V_2 ولكن هذا سيؤدي إلى زيادة زمن التخزين t_s نتيجة للزيادة في قيمة تيار القاعدة، إلا أنه يمكن تقليل زمن الفصل t_{OFF} بجعل قيمة الجهد V_1 أكثر سالبية، ما يتسبب في سريان تيار قاعدة في الإتجاه العكسي ومن هنا يقلل من الزمن المطلوب لإزالة شحنات الأقلية الزائدة المخزنة في منطقة القاعدة.

3-6 ترانزيستور شوتكي :

من أشكال الموجة في المثال السابق يمكن التقليل بقوة من زمن التخزين وذلك بمنع الترانزيستور من الوصول إلى حالة التشبع، وواحدة من هذه الطرق التي تؤدي إلى تحقيق ذلك هو توصيل دايمود شوتكي بين القاعدة والمجمع كما هو موضح في شكل (3-18)، فعندما يكون الترانزيستور في المنطقة الفعالة يكون دايمود شوتكي موصل إنحيازاً عكسياً، كما أنه يكون مؤصلاً عندما يهبط جهد وصلة القاعدة-المجمع إلى أقل من 0.4 V، ولايسمح لجهد المجمع للهبوط أقل من 0.4 V تحت جهد القاعدة، ومن هنا تصبح وصلة المجمع غير موصلة توصيلاً أمامياً بطريقة كافية وبما يمنع من دخول الترانزيستور لمنطقة التشبع.



شكل (3-18) ترانزيستور سكوتكي

3-7 ترانزيستور مجال التأثير FET:

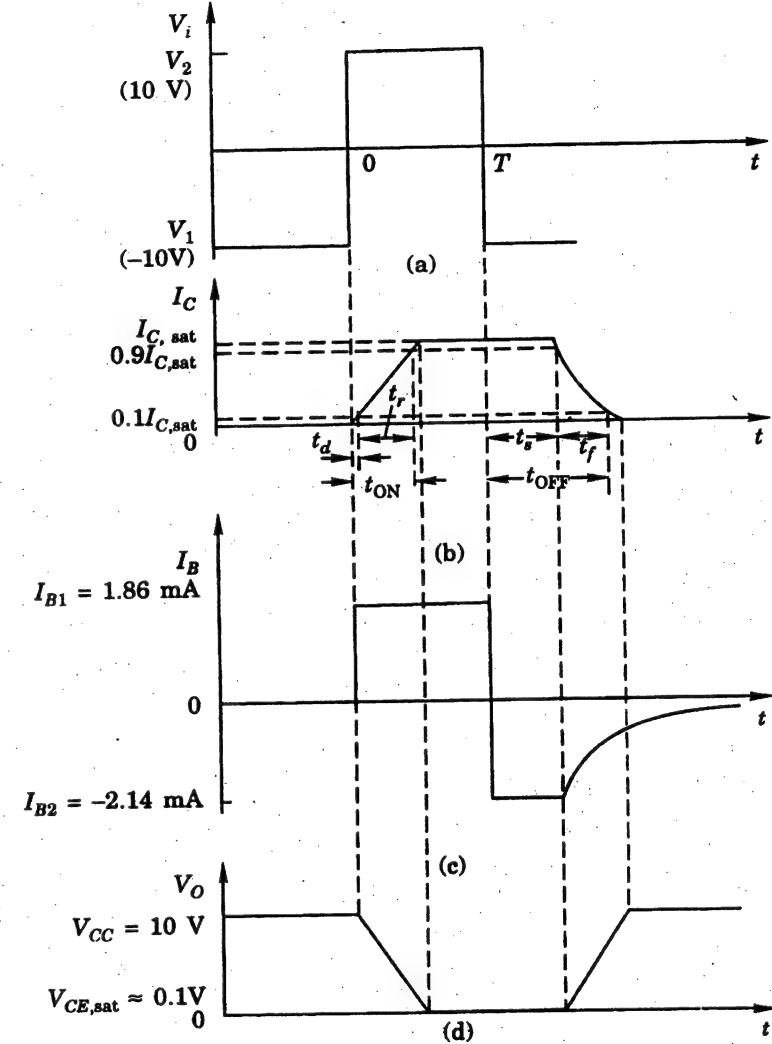
الترانزيستور مجالى التأثير (FET) Field-Effect Transistor هو نوع آخر من أشباه الموصلات الثلاثية الأطراف والتي يمكن استخدامها كمفاتيح تشغيل سريعة.

ويعتمد تشغيل هذه الأجهزة على التحكم فى سريان حاملات الشحنات الأغلبية Majority charge carriers بواسطة مجال كهربى، وفى هذا النوع من الأجهزة يرتبط نوع واحد فقط من حاملات الشحنة فى سريان التيار فيمكن إعتبارها أجهزة أحادية القطبية Unipolar device ، على النقيض من الأجهزة الثنائية القطبية BJT حيث يشارك نوعى حاملات الشحنة فى سريان التيار.

$$I_{B2} = \frac{V_1 - V_{BE}}{R_B}$$

$$= \frac{-10 - 0.7}{5} \text{ mA}$$

$$= -2.14 \text{ mA}$$



شكل (3-17) أشكال الموجة لدائرة العاكس للمثال (3-2)

ويوجد نوعان من ترانزستورات مجال التأثير :

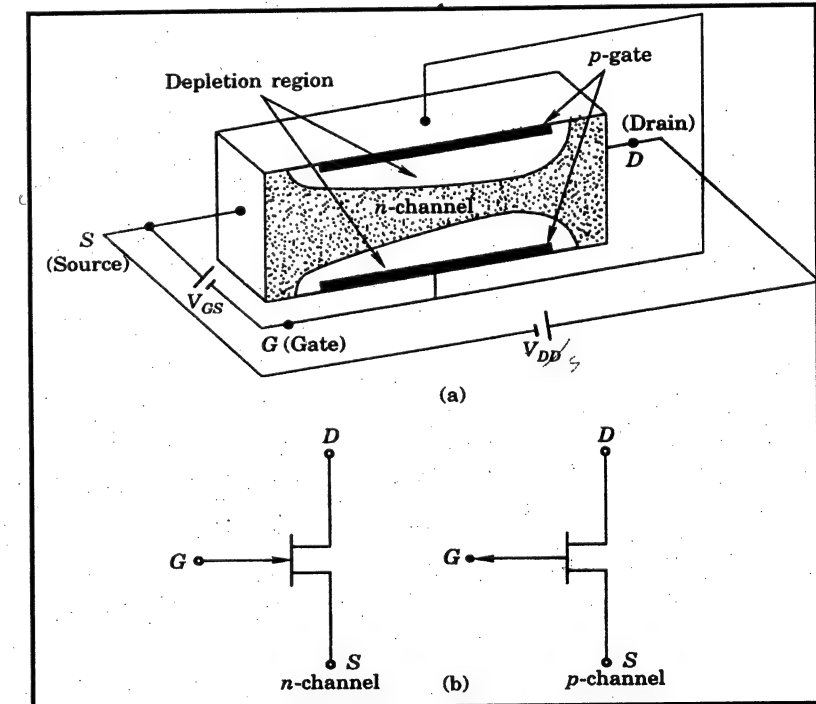
1- وصلة ترانزستور مجال التأثير JFET Junction Field-Effect Transistor

2- ترانزستور مجالي التأثير المعدن والأوكسيد وشبه الموصل

Metal-Oxide-Semiconductor Field-Effect Transistor MOSFET

3-7-1 وصلة ترانزستور مجالي التأثير :

تتكون غالبا من قضيب من مادة السيليكون من نوع سالب n-type، أو نوع موجب p-type، ويتم توصيل نهايتي القضيب بنهائيتين معدنيتين تعرفان بـ: المنبع Source، والمصب Drain، وتوصيل نهايتي القضيب بمصدر جهد يمر التيار الكهربى على طول القضيب، وعندما يكون مرور التيار بسبب سريان الإلكترونات تسمى التركيبـة n-channel، بينما تسمى التركيبـة p-channel عندما يكون مرور التيار بسبب سريان الفجوات.



شكل (3-19) وصلة ترانزستور مجالي التأثير

وفى التركيبـة n-channel يتم مزج شوائب من النوع p-type بين المنبع والمصب فتتكون وصلة ثنائية p-n وتوصل المادة p بنهاية معدنية تعرف بـ: البوابة Gate.

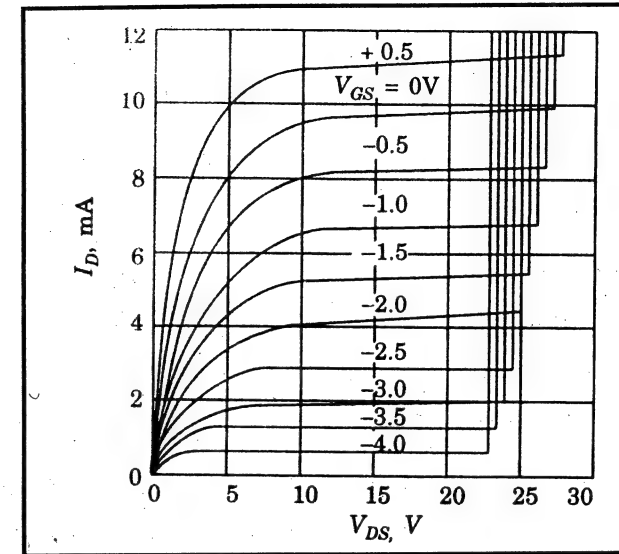
ويتم التحكم فى سريان التيار خلال الدايود p-n من خلال مجال كهربى. ويوضح شكل (3-19-a) التركيبـة n-channel لوصلة ترانزستور مجالي التأثير، كما يوضح شكل (3-19-b) رموز نوعى وصلة ترانزستور مجالي التأثير المستخدمة فى الدوائر.

فنفرض مثلا أن جهد البوابة-المنبع ($V_{GS} = 0$)، وجهد المصب-المنبع (V_{DS}) منخفض فبناء على ذلك يصبح سمك القناة تقريبا غير منتظم بين المنبع والمصب (أى أن منطقة الإستنفاد Depletion region تكون صغيرة جدا) وهنا يعمل الجهاز كمقاومة أومية، ومع إزدىاد الجهد V_{GS} يزداد تيار القناة جاعلا وصلة البوابة ذات إنحياز عكسي الذى يكون غير منتظم حيث يزداد مع الإبتعاد عن المنبع ويصل أقصاه عند المصب، وبسبب وصلة البوابة ذات الإنحياز العكسي تنتشر منطقة الإستنفاد وتضغط على القناة والى تكون أكثر ظهورا على مسافات أبعد من المنبع، وهذا يتسبب فى إزدىاد المقاومة ويكون معدل إزدىاد تيار المصب I_D مع الجهد V_{DS} أصغر، وأخيرا نصل للجهد V_{DS} الذى عنده تضيق القناة ويبدأ تيار المصب I_D فى التسطيح Level-off، أى لا يكون هناك أى إزدىاد فى تيار المصب I_D مهما علا الجهد V_{DS} ، كما يشار إلى الجهد V_{DS} الذى يبدأ عنده تشبع تيار المصب I_D عندما يكون ($V_{GS} = 0$) بجهد التضيق Pinch-off voltage ويرمز له V_{PO} ، وعلى هذا فعند تطبيق جهد V_{GS} على الدايود (البوابة-المنبع) ذات الإنحياز العكسي، فسيحدث التضيق عند قيم V_{DS} الصغيرة، كما سيكون تيار التشبع للمصب صغيرا، وعموما فإن جهد التضيق V_P لمختلف جهود V_{GS} يتم التعبير عنه بالعلاقة:

$$V_P \approx V_{PO} + V_{GS} \quad (3-10)$$

ومن هذه المعادلة يصبح ($V_P = 0$) عندما يكون: ($V_{GS} = -V_{PO}$)، وعند هذا الجهد للبوابة، يصبح تيار المصب مساويا للصفر ويصبح الترانزستور فى القطع، وأيضا عندما يكون: ($V_{GS} < -V_{PO}$) يصبح الترانزستور فى القطع.

ويبين شكل (20-3) خاصية الفولت-أمبير لوصلة المصب-المنبع من ترانزيستور مجال التأثير من النوع n-channel



شكل (20-3) خاصية الفولت-أمبير لترانزيستور مجال التأثير من النوع n-channel

3-7-2 ترانزيستور شبه الموصل والأكسيد والمعدن مجال التأثير :

وهو يشبه وصلة ترانزيستور مجال التأثير JFET، ويتم عمله من مادة شبه موصلة مزروع عليها طبقة رقيقة (سمكها حوالي $0.1 \mu m$) من مادة أكسيدية مثل ثاني أكسيد السيليكون SiO_2 ومثبت عليها معدن كالألومينيوم فتتكون البوابة Gate، وتكون البوابة المعدنية معزولة عن القناة ولذا فهي تسمى ترانزيستور مجال التأثير ذو البوابة المعزولة (IGFET) Insulated Gate Field-Effect Transistor.

ويوجد نوعان من الترانزيستور شبه الموصل والأكسيد والمعدن مجال التأثير

MOSFET:

1- النوع التعزيز Enhancement MOSFET .

2- النوع التفريغ Depletion MOSFET .

وكما في نوع وصلة المجال التأثيري JFET، يمكن الحصول على النوعين n-channel و p-channel، وتتشابه نظرية عملهما، إلا أنه يفضل أنواع أجهزة n-channel نظراً لسرعتها العالية، كما أن أنواع أجهزة p-channel لم تعد تستخدم ولايعتمد عليها، إلا أنها مفيدة جداً في أجهزة شبه موصلات وأكسيد والمعدن المتتامة Complementary MOS (CMOS)، والتي سيتم مناقشتها لاحقاً.

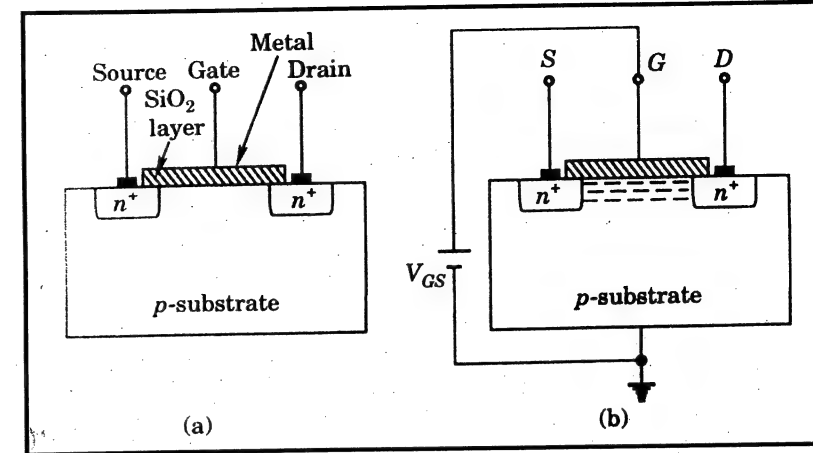
وأجهزة MOSFET تمثل نموذج للمفاتيح حيث لا يمر تيار بين المصب والمنبع عندما يتساوى جهدى البوابة والمصدر، إلا أنه إذا زاد جهد البوابة بالنسبة لجهد المنبع عن حد معين فيتحوّل الجهاز لوضع التوصيل Turn-on.

1- النوع التعزيز Enhancement MOSFET :

ويبين شكل (a-21-3) التركيب الأساسية لهذا النوع n-channel، حيث يتم غمس منطقتين n-type تعرفان بالمنبع S والمصب D على تركيبة من p-type مزروع عليها طبقة رقيقة من مادة ثاني أكسيد السيليكون تمثل البوابة G، ويتم أخذ نهايات توصيل طرفية معدنية للمنبع، والمصب، والبوابة.

وهنا لن نتواجد قناة بين المنبع والمصب مالم يطبق جهد موجب أكبر من الجهد القمى V_T عند البوابة G كما هو موضح في شكل (b-21-3)، وبسبب هذا المجال الناشئ من البوابة تتجذب الإلكترونات من التركيبة P-type لأعلى في اتجاه البوابة بين منطقتي المنبع والمصب فتحوّل هذه المنطقة إلى منطقة n-type مكونة قناة من النوع n أو n-channel، حيث تتسبب هذه القناة في سريان الإلكترونات من المنبع إلى المصب عند تطبيق جهد موجب على المصب، ومن هنا نجد أن تطبيق الجهد الموجب على البوابة يعزز سمك البوابة ومن هنا جاءت تسمية هذا النوع بـ "النوع التعزيز".

ومع إزدياد جهد المصب يزداد تيار المصب ويؤول التشغيل كتشغيل مقاومة للجهود الصغيرة كما في نوع وصلة الترانزيستور مجال التأثير JFET، ويحدث التضيق عندما يكون الجهد V_{DS} كبيراً بالقدر الكافي والذي يقلل المجال بالقرب من المصب ليصل للصفر ومما يجعل تيار المصب I_D ثابتاً نسبياً .



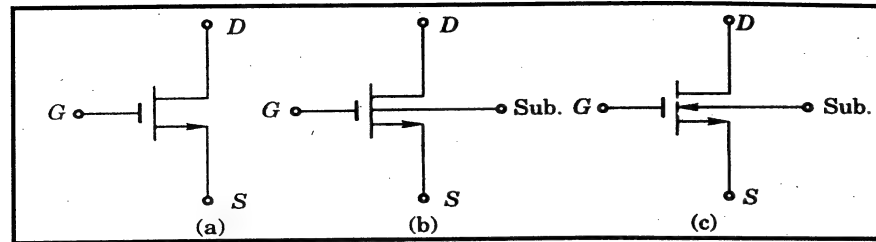
شكل (21-3) a- التركيب الأساسية للنوع التعزيز n-channel

b- إستثارة القناة عندما : $V_{GS} > V_T$

2- النوع التفريغ Depletion MOSFET :

ويتم تصنيعه بنشر شوائب من نوع n-type بين منطقتين من النوع n-type، والتي تعمل كقناة بين المنبع والمصب، وهنا سيسرى تيار بين المنبع والمصب حتى في حالة غياب الجهد الموجب على البوابة، كما يتم التحكم في تيار المصب جهد سالب على البوابة والذي يتسبب في تفريغ القناة ومن هنا جاءت تسمية هذا النوع بنوع التفريغ Depletion MOSFET، وتتشابه نظرية تشغيله بنظرية تشغيل وصلة الترانزستور مجال التأثيرى JFET والذي تعتبر أيضا من أجهزة نوع التفريغ.

وبين شكل (22-3) الرموز المستخدمة في أجهزة MOSFET من النوع n-channel حيث يمثل الشكلين (a-22-3)، و(b-22-3) كلا النوعين التعزيز والتفريغ، أما الشكل (c-22-3) فيمثل بصفة خاصة نوع التعزيز، ويجب الأخذ في الاعتبار أن الرموز المستخدمة في أجهزة MOSFET من النوع p-channel مثل نظيرتها من النوع n-channel فيما عدا أنها تكون معكوسة السهم.



شكل (22-3) الرموز المستخدمة في أجهزة MOSFET

3-7-3 عمل الترانزستورات مجال التأثيرى كمفاتيح :

يمكن استخدام كلا من النوعين السابقين كمفاتيح، وكما ذكرنا أنها أجهزة أحادية القطبية أى أن التيار يمر نتيجة لسريان نوع واحد من حاملات الشحنة السائدة، كما أنها أجهزة تحكم جهدية Voltage controlled devices.

فعند استخدام وصلة ترانزستور مجال التأثيرى JFET كمفتاح ، تكون الوصلة في تشكيلة منبع مشترك Common Source (CS) مع مقاومة R_D في دائرة المصب، كما سيوضح في المثال (3-3)، بالمثل يوضح المثال (4-3) استخدام الترانزستور MOSFET كمفتاح، كما يمكن استخدام الترانزستور MOSFET كمقاومة كما سيوضحه المثال (5-3) ومنه يمكن استخدام عدد 2 من أجهزة MOSFET لعمل مفتاح يعمل أحدهما كعنصر فعال أو كقائد Driver بينما يعمل الآخر كحمل (مقاومة غير خطية).

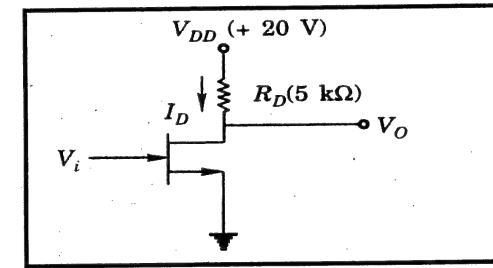
وأجهزة ترانزستورات مجال التأثيرى FETs ليست لها مشاكل تخزين أو إزالة حاملات الشحنة الأقلية عند تتغير حالاتها من الفتح إلى القفل أو العكس، لذا فإن عملية إعادة توزيع الشحنات لانتشاً والتي تتسبب في التأخير الزمنى كما يحدث في الأجهزة الثنائية القطبية، إلا أن أجهزة ترانزستورات مجال التأثيرى FETs عند استخدامها كمفاتيح تنتشاً عنها سعاويات تساهم في التأخير الزمنى نتيجة لشحنها وتفريغها خلال مقاومة المصب عند تغيير حالات الفتح والقفل، وعامة فإن أزمنة التأخير في حالات الفتح والقفل في الأجهزة الأحادية القطبية تكون أعلى من مثيلتها في الأجهزة الثنائية القطبية، إلا أن التطورات في أجهزة شبه الموصلات الأكاسيد

والمعدن MOS جعلت من الممكن الحصول على سرعات أعلى مقارنة بسرعات الأجهزة الثنائية القطبية .

مثال (3-3) :

مطلوب تعيين جهد الخرج V_O في الدائرة المبينة في شكل (23-3) في حالتى جهد الدخل V_i : أ- مساويا : -5 V ، ب- مساويا : 0 V .

يتم الإستعانة بخواص للترانزستور JFET المبينة في شكل (20-3) .

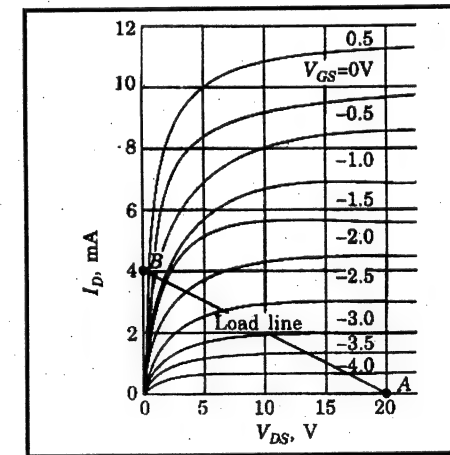


شكل (23-3) دائرة المثال (3-3)

الحل :

يتم رسم خط الحمل Load line كما هو مبين في شكل (24-3) باعتبار أن :

$$V_{DD} = 20 \text{ V} , R_D = 5 \text{ K}\Omega , \text{ ومنه يكون : } I_D = 4 \text{ mA}$$



شكل (24-3) خواص لوصلة ترانزستور مجال التأثيرى JFET

أ- عندما يكون جهد الدخل $V_i = -5 \text{ V}$ ، عندئذ يعمل الترانزستور عند النقطة A حيث :

$$I_D \approx 0 , \text{ و } V_O \approx V_{DD} = 20 \text{ V}$$

وهى حالة تعادل حالة فصل OFF .

ب- عندما يكون جهد الدخل $V_i = 0 \text{ V}$ ، عندئذ يعمل الترانزستور عند النقطة B حيث :

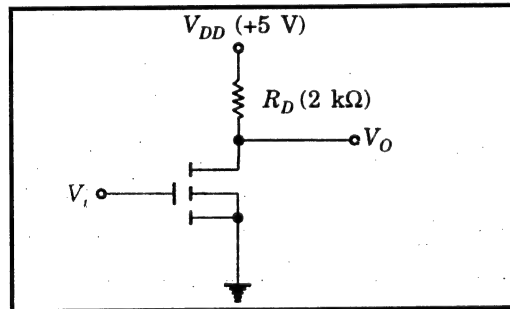
$$I_D \approx 3.8 \text{ mA} , \text{ و } V_O = 1 \text{ V}$$

وهى حالة تعادل حالة توصيل ON .

مثال (4-3) :

مطلوب تعيين جهد الخرج V_O في الدائرة المبينة في شكل (25-3) في حالتى جهد الدخل V_i : أ- مساويا : 0 V ، ب- مساويا : +5 V .

يتم الإستعانة بخواص للترانزستور MOSFET المبينة في شكل (26-3) .

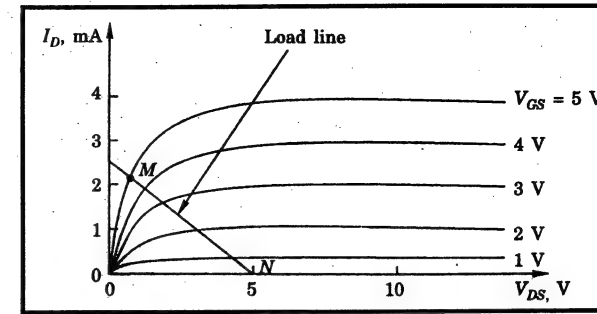


شكل (25-3) دائرة المثال (4-3)

الحل :

يتم رسم خط الحمل Load line كما هو مبين في شكل (26-3) باعتبار أن :

$$V_{DD} = 5 \text{ V} , R_D = 2 \text{ K}\Omega , \text{ ومنه يكون : } I_D = 2.5 \text{ mA}$$



شكل (26-3) خواص الخرج لترانزيستور MOSFET

للمثال (4-3) مع خط الحمل

أ- عندما يكون جهد الدخل $V_i = 0\text{ V}$ ، عندئذ يكون الترانزيستور قاطع حيث يكون الجهد بين المنبع والبوابة تحت مستوى جهد العتبة Threshold voltage، وبالتالي يكون جهد الخرج $V_o = 5\text{ V}$ (النقطة N).

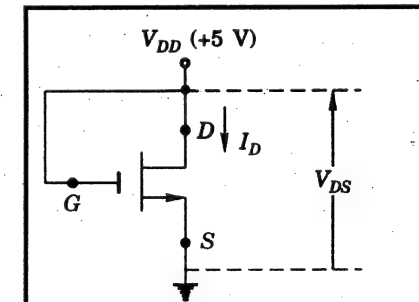
ب- عندما يكون جهد الدخل $V_i = 5\text{ V}$ عندئذ يعمل الترانزيستور عند النقطة M حيث:

$$V_o \approx 0\text{ V}$$

وهي حالة تعادل حالة توصيل ON

مثال (5-3) :

مطلوب رسم منحنى الجهد V_{DS} مقابل التيار I_D للترانزيستور نوع التعزيز Enhancement MOSFET والموصل كما هو مبين في شكل (27-3) يتم الإستعانة بخواص الخرج للترانزيستور MOSFET المبينة في شكل (26-3).



شكل (27-3) دائرة المثال (5-3)

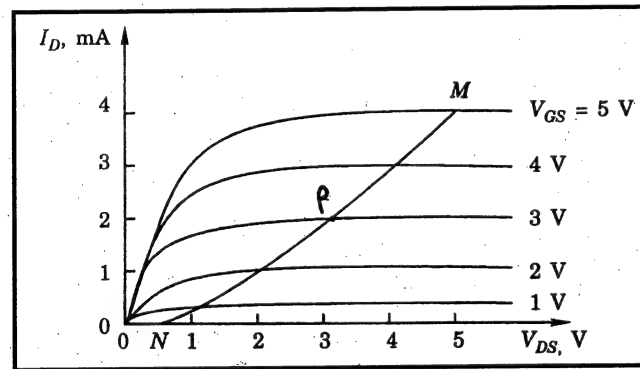
الحل :

من الدائرة نجد أن: $V_{DS} = V_{GS}$

وعلى منحنيات الخرج للترانزيستور يتم توقيع جميع النقط التي يتساوى عندها كلا من الجهدين V_{DS} و V_{GS} (يكون كلاهما مساويا 3 V عند النقطة P)، وكما هو مبين في شكل (28-3) .

وفي النهاية نجد أن المنحنى MN يمثل المحل الهندسى لجميع النقط التي يتساوى عندها كلا من الجهدين V_{DS} و V_{GS} .

ومن المنحنى يتبين لنا أن الترانزيستور بالتوصيل المبين يعمل كمقاومة غير خطية Non-linear transistor.

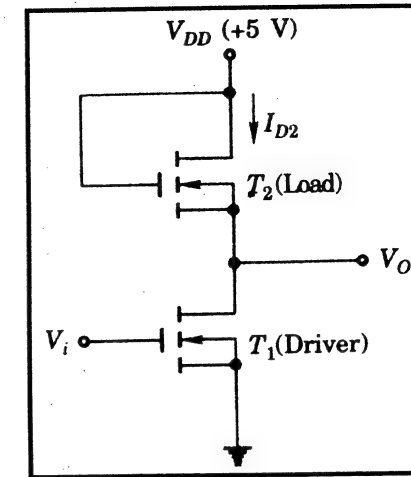


شكل (28-3) توضيح للترانزيستور الذى يعمل كمقاومة غير خطية

مثال (6-3) :

مطلوب تعيين جهد الخرج V_o في الدائرة المبينة في شكل (27-3) في حالتى جهد الدخل V_i : أ- مساويا 0 V ، ب- مساويا 5 V .

مع العلم أن الترانزيستورين T_1 و T_2 متماثلين، كما يبين شكل (26-3) خواص الخرج لكليهما.



شكل (29-3) دائرة المثال (6-3)

الحل :

من طريقة توصيل الترانزستور T_2 نجد أنه موصل كما في شكل (27-3)، ولهذا فهو يعمل كمقاومة غير خطية وكما هو موضح بالمنحنى MN في شكل (3-28).

ويمكن رسم منحنى الحمل على منحنيات الخواص (V_{DS1} مقابل I_{DS1}) والمقابل للمنحنى MN باستخدام العلاقات التالية:

$$V_{DS1} = V_{DD} - V_{DS2}$$

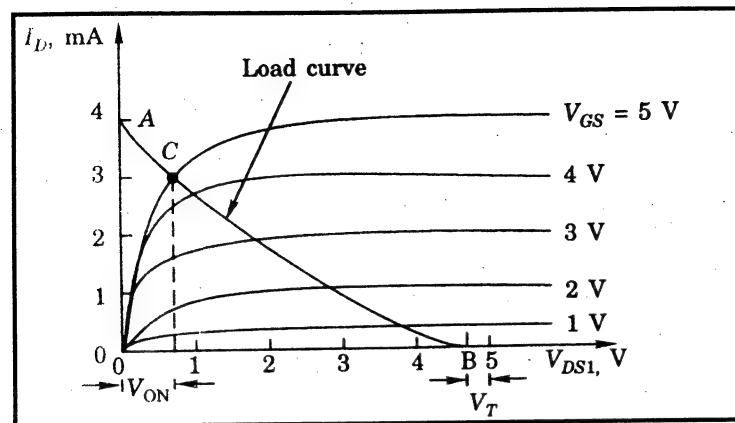
وأيضاً :

$$I_{D1} = I_{D2}$$

ويبين المنحنى AB المرسوم في شكل (30-3) منحنى الحمل .

أ- عندما يكون : $V_i = 0$ ، يعمل الترانزستور T_1 عند النقطة B ، وهنا :

$$\begin{aligned} V_O &= V_{DD} - V_T \\ &\approx V_{DD} \\ &= 5 \text{ V} \end{aligned}$$



شكل (30-3) منحنيات المثال (6-3)

ب- عندما يكون : $V_i = 5 \text{ V}$ ، يعمل الترانزستور T_1 عند النقطة C ، وهنا :

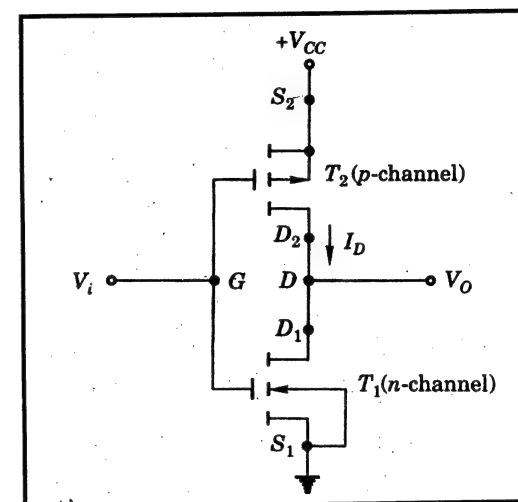
$$\begin{aligned} V_O &= V_{ON} \\ &\approx 0 \text{ V} \end{aligned}$$

4-7-3 أجهزة شبه الموصلات والأكسيد والمعدن المتنامية :

يمكن الحصول على ما يعرف بأجهزة شبه موصلات والأكسيد والمعدن المتنامية (CMOS) Complementary MOS بتوصيل قناتين MOSFETs إحداها قناة p-channel والأخرى قناة n-channel على التوالي، مع توصيل مصبيهما بنقطة واحدة والحصول على الخرج من خلال تلك النقطة، كما يتم تطبيق الدخل عند نقطة البوابة المشتركة كما يتبين ذلك من شكل (31-3).

ففي هذه الدائرة عندما يكون $V_i = V_{CC}$ ، يصبح T_1 في وضع ON ، فعند ذلك يكون $V_{GS1} > V_T$ كما يكون T_2 في وضع فصل OFF فعندئذ يكون : $V_{GS2} = 0$ ، ولهذا يكون $V_O \approx 0 \text{ V}$ ، وحيث أن الترانزستورين موصليين على التوالي، فيكون تيار المصب I_D للترانزستور المفتوح T_2 وهو تيار صغير يمكن إهماله، ومن الناحية الأخرى عندما يكون $V_i = 0$ ، يصبح T_1 في وضع فصل OFF ، فعند ذلك يكون $V_{GS1} < V_T$ ، كما يكون T_2 في وضع توصيل ON ، فعندئذ يكون $|V_{GS2}| > |V_T|$ ، ولهذا يكون $V_O \approx V_{CC}$ ، ويكون تيار المصب I_D صغيراً للمرة الثانية حيث أنه يمثل تيار المصب

للترانزستور T_1 المفتوح OFF، وفي الحالتين حيث يكون أيًا من الترانزستورين T_1 أو T_2 في وضع فتح OFF تكون القدرة المستنفذة صغيرة جدا (حيث أنها تكون حاصل ضرب التيار المتسرب Leakage current في الجهد V_{CC})، وبسبب هذه الميزة لأجهزة شبه موصلات الأكسيد والمعدن المُكملة CMOS المستخدمة كمفاتيح فإنها تكون مفضلة في الدوائر المنطقية.



شكل (31-3) دائرة CMOS كمفتاح

* وفي نهاية الفصل يمكننا القول :

أنه تم باختصار مناقشة أساسيات تشغيل أجهزة أشباه الموصلات مثل وصلة p-n الثنائية (أو الدايمود) ، ووصلة الترانزستور ثنائي القطبية BJT ، والترانزستور مجال التأثير FET ، ... إلخ ، كما تمت مناقشة عمليات تشغيل النمط الفجائية Switching mode .

وأشباه الموصلات في أشكالها المحددة هذه لم تعد مستخدمة في الأنظمة الرقمية المعقدة إلا أن دراستها يعتبر شئ أساسي كمدخل لفهم تشغيل الدوائر المتكاملة ICs ، كما أن المواءمة بين الدوائر المتكاملة في العائلات المنطقية المختلفة تحتاج عادة لتلك الأجهزة المحددة .

تدريبات

تدريب (1-3) :

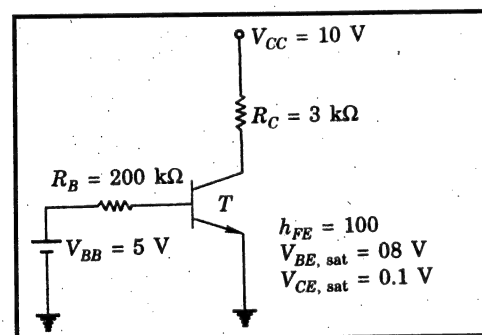
في وصلة سيليكون ثنائية p-n، إذا كان قيمة الجهد خلال الوصلة هو: 0.7 V عند درجة حرارة الغرفة (300 K) وكانت قيمة التيار المار: 2 mA، وإذا زادت قيمة الجهد لتصبح: 0.75 V، فاحسب:

أ- تيار الدايمود.

ب- النسبة المئوية لتغير تيار الوصلة.

تدريب (2-3) :

في شكل (32-3) حدد عما إذا كان الترانزستور في المنطقة الفعالة، أم في منطقة التشبع، وماهي المنطقة التي يعمل فيها عند: $V_{CC} = 6 V$.



شكل (32-3) دائرة التدريب (2-3)

تدريب (3-3) :

أيضا في شكل (32-3) :

أ- أوجد قيمة R_C التي تكفي لبلوغ الترانزستور منطقة التشبع، وماذا يحدث لو زادت هذه القيمة عن القيمة المحسوبة.

ب- إيجاد قيمة R_B التي تكفي لبلوغ الترانزيستور منطقة التشبع، وماذا يحدث لو استخدمت قيمة أقل من القيمة المحسوبة (مع اعتبار أن $R_C = 3 \text{ K}\Omega$).

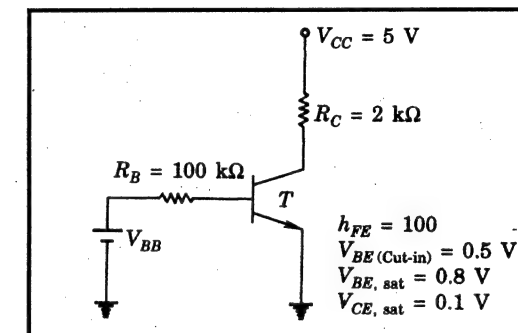
تدريب (4-3) :

في شكل (33-3) إيجاد مدى الجهد V_{BB} ليكون الترانزيستور :

أ- في منطقة القطع Cut-off region.

ب- في المنطقة الفعالة Active region.

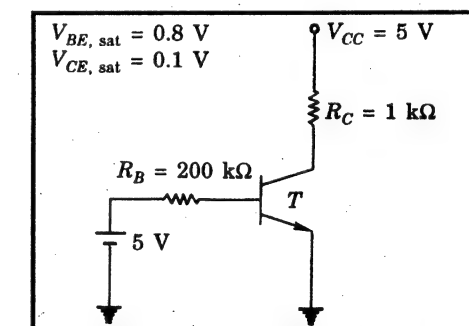
ج- في منطقة التشبع Saturation region.



شكل (33-3) دائرة الترانزيستور للتدريب (4-3)

تدريب (5-3) :

في الدائرة الموضحة في شكل (34-3) ، حدد عما إذا كان الترانزيستور في المنطقة الفعالة أو في منطقة التشبع ، واحسب قيم التيارات I_C ، I_E و I_B .



شكل (34-3) دائرة الترانزيستور للتدريب (5-3)

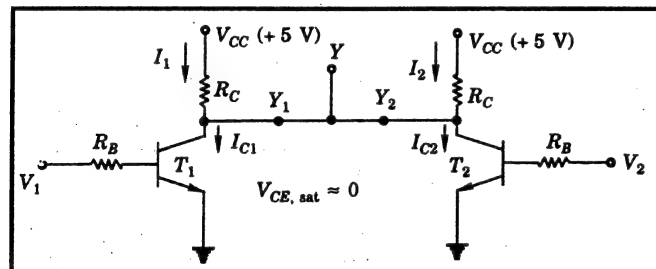
تدريب (6-3) :

في الدائرة الموضحة في شكل (35-3) ، تم توصيل خرج العاكسين Invertor، احسب الجهد عند النقطة Y عندما :

أ- $V_1 = V_2 = 0 \text{ V}$ ويكون كلا الترانزيستورين في منطقة القطع .

ب- $V_1 = V_2 = 5 \text{ V}$ ويكون كلا الترانزيستورين في منطقة التشبع .

ج- أحد الترانزيستورين في منطقة القطع ، والآخر في منطقة التشبع .



شكل (35-3) دائرة الترانزيستور للتدريب (6-3)

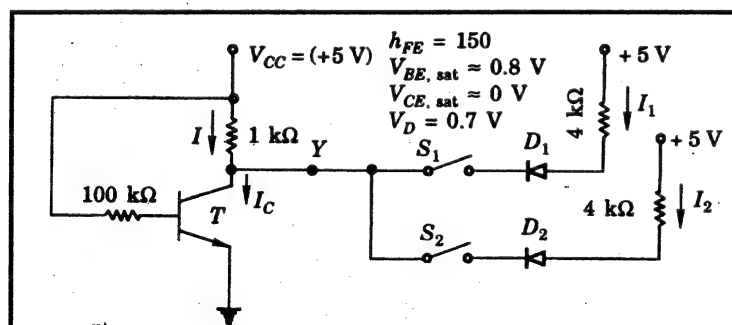
تدريب (7-3) :

في الدائرة الموضحة في شكل (36-3) ، حدد حالة الترانزيستور عندما يكون :

أ- المفتاحان S_1 و S_2 في وضع توصيل .

ب- المفتاح S_1 في وضع توصيل، والمفتاح S_2 في وضع فصل .

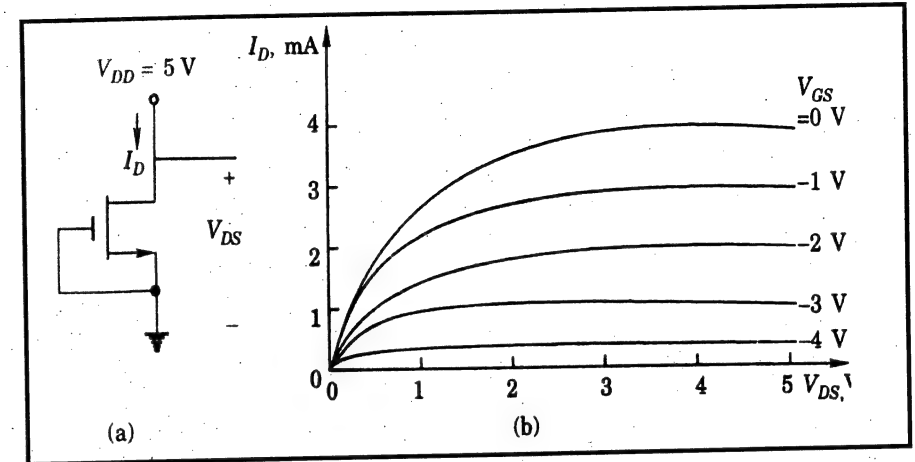
ج- المفتاحان S_1 و S_2 في وضع توصيل.



شكل (36-3) دائرة الترانزيستور للتدريب (7-3)

تدريب (8-3) :

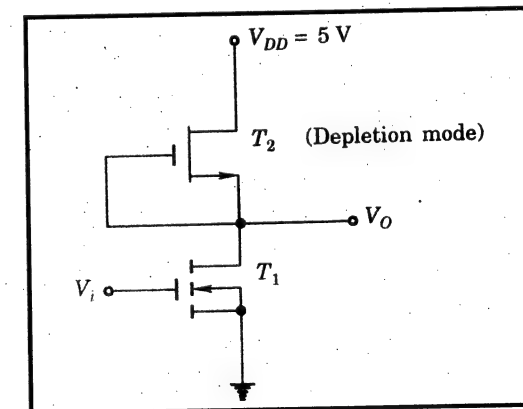
مطلوب رسم الجهد V_{DS} ، و I_D لدائرة الترانزيستور MOSFET الموضحة في شكل (37-3) (a) ، ويبين شكل (37-3) (b) خواص الخرج للترانزيستور .



شكل (37-3) دائرة وخواص الخرج للتدريب (8-3)

تدريب (9-3) :

ناقش تشغيل الدائرة الموضحة في شكل (38-3) باستخدام منحنيات خواص الخرج المرسومة في شكل (26-3) للترانزيستور T_1 ، ومنحنيات خواص الخرج المرسومة في شكل (37-3) (b) للترانزيستور T_2 .



شكل (38-3) دائرة التدريب (9-3)

الفصل الرابع

عائلات المنطق الرقمية

1-4 مقدمة

2-4 خواص الدوائر التكاملية الرقمية

3-4 منطق Resistor-Transistor Logic (RTL)

4-4 منطق Direct-Coupled Trans. Logic (DCTL)

5-4 منطق Integrated-Injection Logic (I^2L)

6-4 منطق Diode- Trans. Logic (DTL)

7-4 منطق High-Threshold Logic (HTL)

8-4 منطق Transistor-Transistor Logic (TTL)

9-4 منطق Schottky TTL

10-4 سلسلة 5400/7400 TTL

11-4 منطق Emitter-coupled Logic (ECL)

12-4 منطق MOS

13-4 منطق CMOS

14-4 المقاومة بين المنطق CMOS والمنطق TTL

15-4 منطق TRI-STATE

4-1 مقدمة :

في الفصل السابق تم دراسة خصائص التغيير الفجائية Switching characteristics ، ووجدنا أن هناك نوعين أساسيين من أجهزة أشباه الموصلات: أشباه الموصلات الأحادية القطبية، وأشباه الموصلات الثنائية القطبية، والتي على أساسها يبنى تصنيع الدوائر المتكاملة الرقمية والمتاحة تجارياً.

وقد تم تصنيع العديد من مختلف الدوال الوظيفية بأشكال مختلفة باستخدام التكنولوجيا الأحادية القطبية والثنائية القطبية، كما تم تصنيع مجموعة من الدوائر المتكاملة المناسبة والتي لها نفس المستويات المنطقية وتعطى جهوداً لتأدية وظائف منطقية مختلفة وتستخدم تشكيلات لدوائر معينة، وتعرف بما يسمى بـ "العائلات المنطقية" Logic families.

4-1-1 العائلات المنطقية الثنائية القطبية :

تمثل المقاومات والوصلات الثنائية (والتي يمكن اعتبارها كمكثفات) والترانزستورات العناصر الرئيسية للدائرة التكاملية الثنائية القطبية، وأساساً يوجد نوعان من التشغيل في الدوائر المتكاملة الثنائية القطبية.

1- التشغيل المشبع Saturated :

وفيه يعمل الترانزستور في الدائرة المنطقية في منطقة التشبع، وتشتمل عائلات المنطق الثنائي القطبية المشبعة على مايلي:

أ- منطق المقاومة والترانزستور (RTL) Resistor- Transistor Logic.

ب- منطق الإقتران المباشر للترانزستور (DCTL) Direct-Coupled Transistor Logic.

ج- منطق الحقن المتكامل (I^2L) Integrated-Injection Logic.

د- منطق الدايمود والترانزستور (DTL) Diode- Transistor Logic.

هـ- منطق الجهد الحدى العالى (HTL) High-Threshold Logic.

و- منطق الترانزستور والترانزستور (TTL) Transistor-Transistor Logic.

2- التشغيل الغير المشبع Non-Saturated :

وفيه لا يتم عمل الترانزستور في الدائرة المنطقية في المنطقة المشبعة، وتشمل عائلات المنطق الثنائي القطبية الغير المشبعة على مايلي:

أ- منطق ترانزستور وترانزستور شوتكي Schottky TTL.

ب- منطق اقتران الباعث (ECL) Emitter-coupled Logic.

4-1-2 العائلات المنطقية الأحادية القطبية :

كما درسنا في أجهزة أشباه الموصلات والأكسيد والمعدن MOS، أنها أجهزة أحادية القطبية وفي الدوائر المنطقية MOS تُستخدم دوائر MOSFETs فقط، والتي تشمل عائلات على مايلي:

أ- PMOS.

ب- NMOS.

ج- CMOS.

ففي عائلة PMOS تستخدم دوائر النوع p-channel فقط، بينما تستخدم دوائر النوع n-channel فقط في عائلة NMOS، كما يمكن الحصول على ما يعرف بأجهزة شبه موصلات والأكسيد والمعدن المتتامة (CMOS Complementary MOS بتوصيل قناتين MOSFETs إحداها قناة p-channel والأخرى قناة n-channel على التوالي وتصنيعها على شريحة سيليكون واحدة.

وسوف نتناول دراسة كل هذه العائلات التي تم إستعراضها.

4-2 خصائص الدوائر التكاملية الرقمية :

مع إنتشار الدوائر المتكاملة في الأنظمة الرقمية، ومع تطور تكنولوجيا تصنيعها، أصبح من الضروري الإلمام بالخصائص المختلفة لعائلات منطق الدوائر المتكاملة العديدة ومميزاتها وعيوبها النسبية، وتقسم هذه الدوائر المتكاملة الرقمية إما طبقا لعدد البوابات الأساسية المكونة للدائرة التكاملية والتي تحقق نفس الوظائف

المنطقية، وإما طبقا لعدد العناصر التي يتم تصنيعها على الشريحة والتي تحقق نفس الوظائف المنطقية.

وبيين جدول (4-1) تقسيم الدوائر المتكاملة الرقمية.

جدول (4-1)

عدد العناصر Components	عدد البوابات الأساسية المكافئ	تقسيم الدوائر المتكاملة
حتى 99	أقل من 12	تكامل النطاق الصغير Small-Scale Integration (SSI)
من 100 إلى 999	من 12 إلى 99	تكامل النطاق المتوسط Medium-Scale Integration (MSI)
من 1000 إلى 9,999	من 100 إلى 999	تكامل النطاق الواسع Large-Scale Integration (LSI)
من 10,000 إلى 99,999	من 1,000 إلى 9,999	تكامل النطاق الواسع جداً Very Large-Scale Integration (VLSI)
من 100,000 فما فوق	من 9,999 فما فوق	تكامل النطاق فوق الواسع Ultra Large-Scale Integration (ULSI)

وسوف نتناول العديد من خواص الدوائر المتكاملة الرقمية التي تساعد على المقارنة بين أداء بعضها البعض وهي:

1- سرعة التشغيل Speed of operation.

2- القدرة المستنفذة Power dissipation.

3- رقم الجدارة Figure of merit.

4- التفريع الخارجى Fan-out.

5- بارامترات التيار والجهد Current and voltage parameters.

6- حصانة الضوضاء Noise immunity.

7- مدى حرارة التشغيل Operating temperature range.

8- متطلبات قدرة التغذية Power supply requirements.

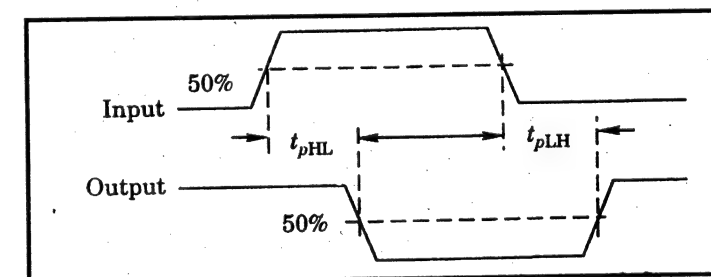
9- قدرات المرونة المتاحة Flexibilities available.

1-2-4 سرعة التشغيل Speed of operation :

تحدد سرعة تشغيل الدائرة الرقمية بدلالة مايعرف بـ "زمن تأخير الإنتشار"

Propagation delay time.

ويمثل شكل (1-4) شكل الموجة لدخل وخرج بوابة منطقية، حيث يحسب زمن التأخير بالزمن المقاس عند قيمة 50% بين مستويي الجهد للدخل والخرج فى شكلى الموجة، وكما هو واضح بالشكل نرى أن هناك زمنى تأخير هما: t_{pHL} و t_{pLH} حيث يكون الزمن t_{pHL} عندما يتغير الخرج من المستوى العالى HIGH إلى المستوى المنخفض LOW، بينما يكون الزمن t_{pLH} عندما يتغير الخرج من المستوى المنخفض LOW إلى المستوى العالى HIGH، ويكون زمن التأخير للبوابة المنطقية هو المتوسط لهذين الزمنين.



شكل (1-4) تعريف أزمنة تأخير الإنتشار من خلال

أشكال الموجة لدخل وخرج بوابة منطقية

2-2-4 القدرة المستنفذة Power dissipated :

وهى القدرة المستنفذة فى الدائرة المتكاملة، وتقدر بالتيار I_{CC} المسحوب من منبع تغذية جهده V_{CC} ، وتساوى حاصل ضرب $I_{CC} \times V_{CC}$ ، حيث I_{CC} القيمة المتوسطة للتيارين $I_{CC}(0)$ و $I_{CC}(1)$ ، حيث :

$I_{CC}(0)$: تيار المنبع عندما يكون خرج البوابة عند منطق (0).

$I_{CC}(1)$: تيار المنبع عندما يكون خرج البوابة عند منطق (1).

ويعبر عن هذه القدرة بوحدات المللى وات.

3-2-4 رقم الجداره Figure of merit :

يعرف رقم الجداره للدائرة التكاملية بـ:

سرعة التشغيل (والمحددة بزمن تأخير الإنتشار ووحداتها النانو ثانية ns) مضروبة فى القدرة المستهلكة (ووحداتها المللى وات mW).

ومن هنا يحدد رقم الجداره بوحدات "البىكو جول" PJ أى أن:

$$[PJ] = [n s] \times [m W]$$

وكلما كانت قيمة هذه الخاصية صغيرة كلما كانت مرغوبة، وعند ثبات هذه القيمة فإنه إذا أريد زيادة سرعة التشغيل (أى تصغير زمن تأخير الإنتشار) فإن ذلك يناظر قدرة مستنفذة أعلى، والعكس إذا أريد تقليل سرعة التشغيل.

4-2-4 التفريع الخارجى Fan-out :

وهو يمثل عدد البوابات المتشابهة التى يمكن قيادتها ببوابة واحدة، ومن المفيد أن يكون هذا البارامتر كبيراً حيث يقلل من عدد البوابات الإضافية المطلوبة لقيادة عدد أكثر من البوابات.

5-2-4 بارامترات التيار والجهد :

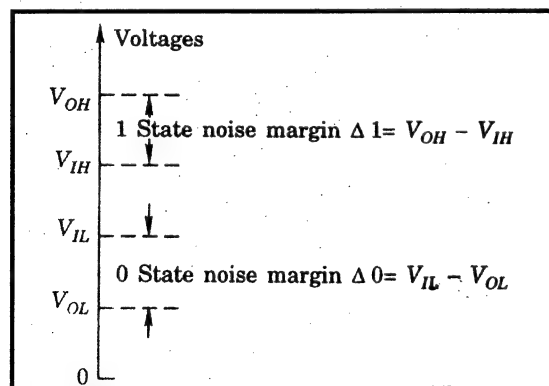
من المفيد جدا فى تصميم الأنظمة الرقمية التعريف بالتيارات والجهود التالية:

6-2-4 حصانة الضوضاء Noise immunity :

من المعروف أنه في الدوائر الكهربائية ربما تتولد جهود غير مرغوبة والمعروفة بـ "الضوضاء" Noise وذلك بسبب المجالات الكهربائية والمغناطيسية الشاردة Stray electric & magnetic fields، مما قد يتسبب في خفض الجهد عند دخل دائرة منطقية ليكون تحت الجهد V_{IH} (وهو أقل جهد دخل يمكن أن تتعرف البوابة عليه كمنطق 1) أو رفع هذا الجهد ليكون فوق الجهد V_{IL} (وهو أقصى جهد دخل يمكن أن تتعرف البوابة عليه كمنطق 0)، وبالتالي يسبب ذلك في التشغيل الغير مرغوب للدائرة.

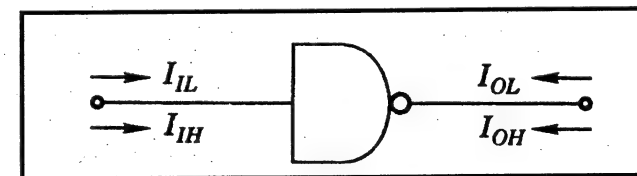
ومن هنا تعزى قدرة الدائرة لتحمل إشارات الضوضاء إلى ما يعرف بـ "حصانة الضوضاء" Noise immunity، وهو من المقاييس الكمية والذي يعرف بـ "هامش الضوضاء" Noise margin، ويوضح شكل (3-4) هامش الضوضاء.

وهوامش الضوضاء المحددة عالية تعزى إلى هوامش ضوضاء تيار مستمر d.c. noise margins، إلا أن الكلام الدقيق في هذا المجال يرجع إلى أن الضوضاء هي نتاج لإشارة تيار متردد ذات سعة Amplitude وعرض نبضة Pulse width، وباختصار شديد فإن الدائرة المنطقية يمكنها تحمل ضوضاء ذات سعة عالية إذا كان زمن الضوضاء قصير جداً.



شكل (3-4) مستويات الجهد وهوامش الضوضاء للدوائر التكاملية

- 1- مستوى جهد الدخل العالى V_{IH} High-level input voltage: ويكون أقل جهد دخل يمكن أن تتعرف البوابة عليه كمنطق (1).
 - 2- مستوى جهد الدخل المنخفض V_{IL} Low-level input voltage: ويكون أقصى جهد دخل يمكن أن تتعرف البوابة عليه كمنطق (0).
 - 3- مستوى جهد الخرج العالى V_{OH} High-level output voltage: ويكون أقل جهد متاح عند الخرج يناظر منطق (1).
 - 4- مستوى جهد الخرج المنخفض V_{OL} Low-level output voltage: ويمثل أقصى جهد متاح عند الخرج يناظر منطق (0).
 - 5- مستوى تيار الدخل العالى I_{IH} High-level input current: ويكون أقل تيار والذي يتم الحصول عليه من المنبع وينظر لمستوى جهد (1).
 - 6- مستوى تيار الدخل المنخفض I_{IL} Low-level input current: ويكون أقل تيار والذي يتم الحصول عليه من المنبع وينظر لمستوى جهد (0).
 - 7- مستوى تيار الخرج العالى I_{OH} High-level output current: ويكون أقصى تيار للخرج وينظر مستوى (1).
 - 8- مستوى تيار الخرج المنخفض I_{OL} Low-level output current: ويكون أقصى تيار للخرج وينظر مستوى (0).
 - 9- مستوى تيار المنبع العالى $I_{CC(1)}$ High-level supply current: وهو تيار المنبع عندما يكون خرج البوابة عند منطق (1).
 - 10- مستوى تيار المنبع المنخفض $I_{CC(0)}$ Low-level supply current: وهو تيار المنبع عندما يكون خرج البوابة عند منطق (0).
- ويبين شكل (2-4) اتجاهات التيارات لبوابة.



شكل (2-4) اتجاهات التيارات لبوابة منطقية

4-2-7 درجة حرارة التشغيل Operating temperature:

لابد من معرفة مدى درجة حرارة التشغيل الملائمة للوظائف المختلفة للدوائر المتكاملة، وعامة ينحصر هذا المدى من 0°C إلى 70°C + لدوائر الأغراض الصناعية، بينما ينحصر من -55°C إلى 125°C + لدوائر الأغراض العسكرية .

4-2-8 متطلبات قدرة التغذية power supply requirements:

لتحديد مصدر قدرة التغذية المناسب لدائرة تكاملية ما، يلزم معرفة جهود التغذية وكمية القدرة المطلوبة لعمل هذه الدائرة.

4-2-9 قدرات المرونة المتاحة Flexibilities available:

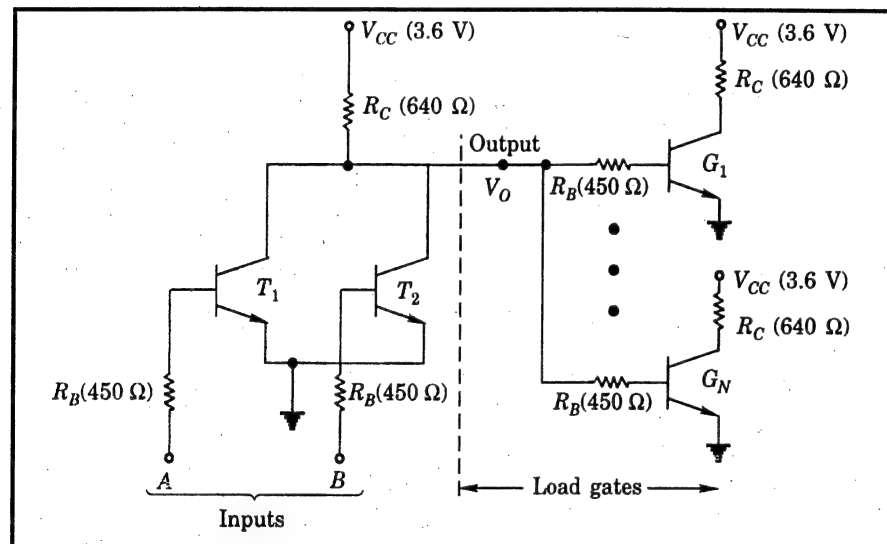
تتاح الكثير من قدرات المرونة في مختلف عائلات المنطق الرقمية وهي تختلف باختلاف هذه العائلات، ولابد من أخذ هذه القدرات في الاعتبار عند اختيار عائلة منطق رقمية لتنفيذ عمل محدد، ومن أمثلة هذه القدرات مايلي:

- 1- إتساع المتسلسلة Breadth of the series، ويعنى بها أنواع الوظائف المنطقية المختلفة المتاحة تنفيذها في هذه المتسلسلة.
- 2- إمكانية توصيل المخارج ببعضها البعض للوصول إلى وظائف إضافية دون الحاجة إلى إضافة مكونات مادية أخرى.
- 3- إمكانية الحصول على تكامل المخرج دون الحاجة إلى إضافة دوائر عاكسة Inverters.

4-3 منطق (RTL) Resistor-Transistor Logic:

كان منطق (RTL) Resistor-Transistor Logic من الأشكال المنطقية المفضلة والشائع استخدامها قبل تطور الدوائر المتكاملة، وكان هذا الشكل المكون من مقاومات وترانزستورات من أقدم العائلات التي تم تجميعها، وعلى الرغم من إنتهاء عمل هذا المنطق إلا أنه لبساطته نجد أنه من المفضل إعطاء بعض الإهتمام به، والتقديم من خلاله لبعض المفاهيم الهامة والمفيدة لجميع أنواع البوابات.

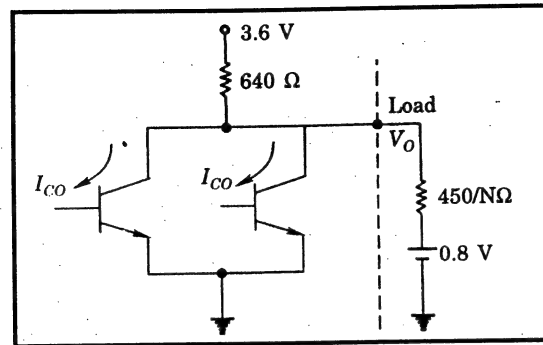
وتمثل البوابة NOR البوابة الأساسية للمنطق RTL، كما هو موضح في شكل (4-4)، ولأغراض التبسيط يتكون المنطق من بوابة NOR بمدخلين تسوق عدد N من البوابات المتماثلة كما هو موضح في الشكل (كما يمكن إمتدادها لتشمل لتشمل عدد أكبر من الدخول)، ويعرف عدد المداخل بالمصطلح Fan-in أى تفريغ الدخل.



شكل (4-4) منطق RTL NOR بمدخلين يسوق عدد N من البوابات المتشابهة تشغيل المنطق:

يتم تطبيق الدخل المتمثل في مستويات منطقية (1 و 0) عند الطرفين A و B، بحيث يكون دخل جهد المستوى المنخفض LOW منخفضاً بالكفاية التي تسوق الترانزستور المطبق عليه إلى القطع Cut-off، وبالمثل يكون دخل جهد المستوى العالي HIGH عالياً بالكفاية التي تسوق الترانزستور المطبق عليه إلى التشبع Saturation.

ففي حالة تطبيق دخل جهد مستوى منخفض LOW على كلا الترانزستورين T_1 و T_2 أى يكونا في القطع، يصبح المخرج مستوى عالي HIGH، أما تطبيق دخل جهد مستوى عالي HIGH على أحد الترانزستورين يقود هذا الترانزستور إلى التشبع ويكون المخرج مستوى منخفض LOW.



شكل (4-5) الدائرة المكافئة عند دخل بوابات الحمل

ومن هنا نرى أن هامش الضوضاء عند حالة الخرج للمنطق (0) لابد أن يكون في الحدود: $(\Delta 0 \approx 0.3V)$.

أما هامش الضوضاء للمنطق (1) فهو يعتمد على عدد البوابات N المقادة، وعند: $N = 5$ يكون:

$$V_0 = \frac{90}{90 + 640} \times (3.6) + \frac{640}{90 + 640} \times (0.8) = 1.14V \quad (4-4)$$

وعند $h_{FE} = 10$ ، يصبح تيار القاعدة الكلي المطلوب لترانزستورات الحمل للوصول التشبع: $\{5 \times (5.31/10)\} \text{ mA}$ ، ومنه يجب أن يكون الجهد المناظر V_0 مساوياً: 1.04 V، ومن هنا نرى أن هامش الضوضاء عند حالة الخرج للمنطق (1) لابد أن يكون في الحدود: $(\Delta 1 = 1.14 - 1.04 = 0.1V)$.

زمن تأخير الإنتشار:

من البديهي أن يتأثر زمن تأخير الإنتشار أيضاً بعدد البوابات التي يتم قيادتها، فعندما يكون خرج البوابة في الحالة المنخفضة LOW تصبح جميع ترانزستورات الحمل قاطعة Cut-off، كما تؤول وصلة القاعدة-الباعث لكل هذه الترانزستورات إلى مكثف 'C' Capacitor، وعند تغير حالة الخرج من المستوى المنخفض LOW إلى المستوى العالي HIGH نتيجة للتغيرات في حالة الدخل، فإن ذلك يحدث بثابت زمني Time constant يحدد بالعلاقة:

ويعتبر مستوى جهد الخرج المنخفض LOW (أي $V_{CE,sat}$) في الحدود 0.2 V، أما مستوى جهد الخرج العالي HIGH فيعتمد على عدد البوابات المتصلة بالخرج مما يتسبب في جعل الخرج متغيراً ويحدد مايعرف بعامل Fan-out للبوابة.

إعتبارات الحمل :

إذا كانت كل الدخول للبوابة منخفضة LOW فيصبح الخرج عالي HIGH، وبفرض أن البوابة لاتقود بوابات أخرى أي لا يوجد أي حمل، فيصبح جهد الخرج أقل قليلاً من الجهد V_{CC} (نظراً لوجود فرق جهد على المقاومة R_C بسبب التيار I_{CO} للترانزستورين).

وعند توصيل عدد N من البوابات، فإن الحمل يكافئ مقاومة قيمتها 450/N أوم * موصلة على التوالي مع منبع تغذية قيمته 0.8 V (باعتبار أن جهد القاعدة-الباعث للترانزستور في التشبع)، ويوضح ذلك شكل (4-5) الذي يبين الجزء المكافئ من الدائرة، ويكون تيار القاعدة I_B لكل ترانزستور في الحمل كالآتي:

$$I_B = \{(3.6 - 0.8)/(640 + 450/N)\}1/N$$

$$= 2.8/(640N + 450) \quad (4-1)$$

ويكون تيار المجمع $I_{C,sat}$ لترانزستور الحمل في التشبع:

$$I_{C,sat} = (3.6 - 0.2)/640 = 5.31 \text{ mA} \quad (4-2)$$

ولابد أن تحقق القيمة N العلاقة التالية:

$$h_{FE} \cdot I_B \geq I_{C,sat} \quad (4-3)$$

فعند $N = 5$ ، يكون $I_B = 0.767 \text{ mA}$

وعلى هذا يجب أن يكون: $h_{FE} > 7$

حدود الضوضاء :

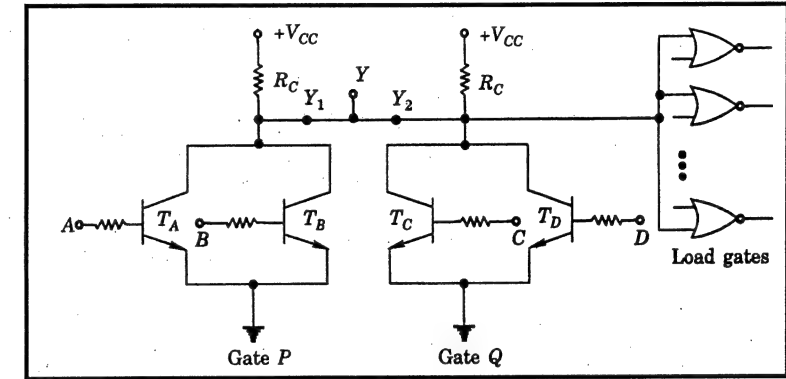
عندما تكون حالة الخرج منطق (0)، يصبح عندها جهد الخرج $V_0 = 0.2V$ ، وعند زيادة هذا الجهد ليصل إلى 0.5 V (وهو جهد القاطع Cut-in للترانزستور) فعندئذ يصبح ترانزستور الحمل موصلاً ومما يتسبب في إصابة الدائرة بخلل Malfunction.

$$\{640 + (450/N)\} NC = (640N + 450) C \quad (4-5)$$

وتسحب المقاومة في دائرة المجمع جهد الخرج من المستوى المنخفض LOW إلى المستوى العالي HIGH، لذا فهي تسمى مقاومة سحب Pull-up resistor.

التوصيل المنطقي :

إذا ماتم توصيل مخارج البوابات معا كما هو موضح في شكل (4-6)، فيكون الخرج Y كالتالي:



شكل (4-6) توصيل AND لبوابات RTL تقود بوابات عديدة متشابهة

$$Y = Y_1 \cdot Y_2$$

$$= (\overline{A+B}) \cdot (\overline{C+D})$$

$$= \overline{A+B+C+D}$$

وهذا يوضح إزدیاد خاصية تفريغ الدخل Fan-in بهذا التوصيل.

وفي النهاية يمكن تلخيص خواص هذا المنطق بأنه:

1- ذو هامش ضوضاء ضعيفة.

2- قدرة تفريغ خارجي ضعيفة.

3- سرعة منخفضة.

4- قدرة مستنفذة عالية.

4-4 منطق (DCTL) Direct-Coupled Tran. Logic :

بالرجوع إلى المنطق RTL المبين في شكل (4-4)، وعند حذف مقاومة القاعدة R_B فإننا نحصل على مايعرف بمنطق DCTL Direct-Coupled Trans. Logic، وفيه تقترن الدخول بالقواعد مباشرة، وهنا تحقق هذه الدائرة منطق NOR موجب، ويكون الجهد $V_{BE,sat}$ والمناظر للمنطق (1) حوالي 0.8 V، بينما يكون الجهد $V_{CE,sat}$ والمناظر للمنطق (0) حوالي 0.2 V، وهنا نجد أن الفاصل بين جهدي المنطقيين وهو ما يسمى بـ "تأرجح المنطق" Swing logic صغير جدا:

$$V_{BE,sat} - V_{CE,sat} = 0.6 V$$

ومن هنا نجد أن هذه الدائرة فقيرة في هامش الضوضاء.

وعلى الرغم من أن هذا المنطق يعد أبسط من منطق RTL، إلا أنه لم يفضل أبداً بسبب المشاكل الناجمة عما يسمى بالتيارات المتقوسة Hogging currents.

ويلزم أن تكون البوابة قادرة على قيادة ترانزستورات الحمل إلى التشبع عند مستوى المنطق (1)، وهذا لا يمثل أى إرتباك في الدائرة متى كانت خصائص الدخل Input characteristics لهذه الترانزستورات متماثلة، إلا أنه لسوء الحظ ولإن هذه الخواص تختلف بسبب سماحيات التصنيع لحزم الدوائر المتكاملة المختلفة التي تعمل في درجات الحرارة المختلفة، وبما يؤدي إلى إختلاف جهد التشبع لترانزستورات الحمل من ترانزستور لآخر، فبفرض أن جهد القاعدة-الباعث المناظر للتشبع لهذه الترانزستورات هي: 0.78V، و 0.79V، و 0.80V فولت، فنجد أن عند دخل الترانزستور (الذي جهد القاعدة-الباعث له 0.78V) للتشبع سوف يستهلك كل التيار المزود من البوابة القائد Driver gate، وهذا مايعرف بتيار التقوس Hogging current

4-5 منطق (I^2L) Integrated-Injection Logic :

كما ذكرنا أن منطق DCTL يعاني من تيارات Hogging currents، والتي تجعله منطق غير مناسب، إلا أنه وتأسيساً على هذا المنطق تم إنتاج منطق جديد يعرف بمنطق (I^2L) Integrated-Injection Logic، والذي يشابه في بساطته منطق DCTL في استخدامه لشريحة صغيرة جداً من السيليكون واستهلاكه لقدرة قليلة جداً، علاوة على سهولة تصنيعه ورخص تكلفته، ونظراً لهذه المزايا فهو مناسب جداً للدوائر المتكاملة من نوعي تكامل النطاق المتوسط MSI والواسع LSI بينما لا يُستخدم في الدوائر المتكاملة من نوع تكامل النطاق الصغير SSI.

وتعتمد تقنية تصنيع المنطق I^2L على مفهوم دمج المكونات Merging components بمعنى أن منطقة واحدة من شبه موصل يمكن أن تمثل جزءاً لجهازين أو أكثر، وبسبب هذا النوع من الدمج (والذي يوفر مساحة في شريحة السيليكون)، سمي هذا المنطق أيضاً بـ: منطقة الترانزستور المدمج Merged-Transistor Logic (MTL).

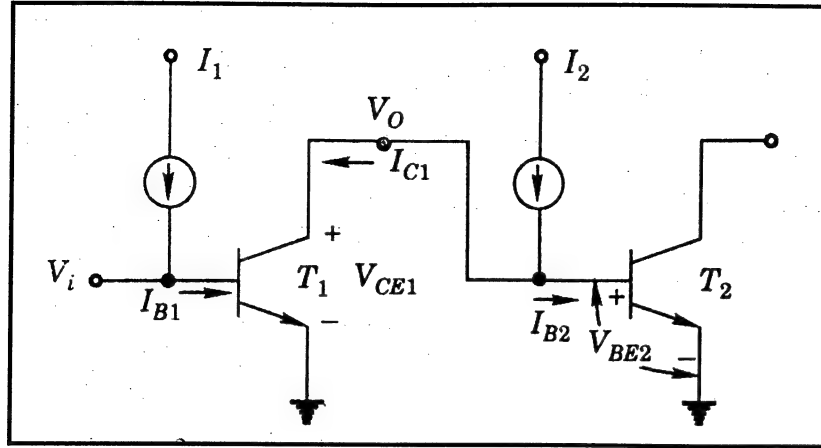
المنطق I^2L كعكاس :

يمكن تقديم شرح لتشغيل منطق I^2L من خلال دائرة العاكس المبينة في شكل (7-4)، فعندما يكون منطق الدخل V_i منخفضاً LOW ($V_i \approx 0$)، يكون الترانزستور T_1 مفتوحاً Off حيث أن: $I_{B1} = 0$ ، كما يعمل مصدر التغذية كغمس للتيار I_1 ، ولهذا يسرى تيار I_2 خلال قاعدة الترانزستور T_2 فيصل به إلى التشبع، ومن هنا عندما يكون T_1 مفتوح، و T_2 مغلق يكون:

$$V_{BE2} = V_{CE1} \approx 0.8 V$$

ومن ناحية أخرى، فعندما يكون منطق الدخل V_i عالياً HIGH ($V_i \approx 0.8$)، يصبح تيار القاعدة للترانزستور T_1 مكوناً من مركبتين: أولهما التيار I_1 ، والآخر راجع للمصدر V_i ، وبالتالي يصبح الترانزستور T_1 موصلًا، ويكون:

$$V_{CE1} = V_{CE,sat} \approx 0.2 V$$



شكل (7-4) منطق I^2L كعكاس مقترن مباشرة للمرحلة التالية

مما يوصل الترانزستور T_2 للقطع Cut-off ويعمل الترانزستور T_1 مصدر التغذية كغمس للتيار I_1 ، وهذا يُظهر أن مستوى المنطق عند V_0 يكون مكملًا لمستوى المنطق عند V_i ، أي أن يعمل الترانزستور T_1 يعمل كعكاس، وهنا يكون جهد التارجح حوالي: $0.6 V$.

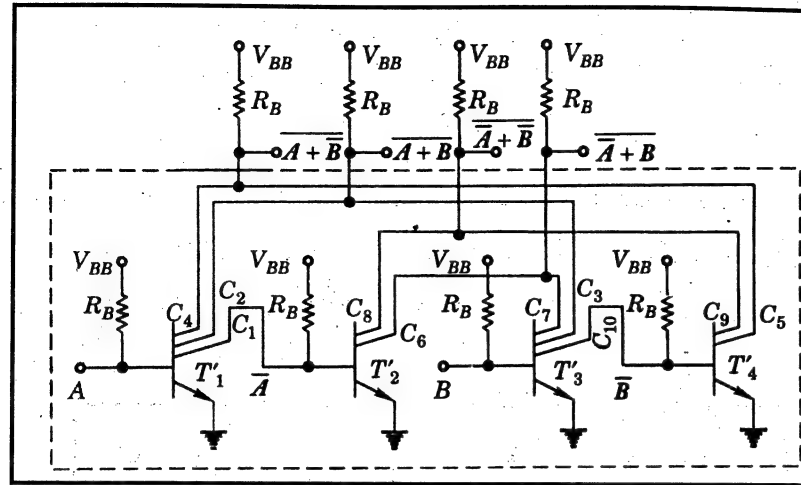
هيئة المنطق I^2L :

من دائرة التركيب البنائي لبوابة DCTL المبينة في شكل (8-4)، وفيها نفرض أن المتغيرين A، و B يمثلان خرج لبوابتين DCTL متماثلتين، والمطلوب الحصول

$$\text{على الدوال: } \overline{A+B}, \overline{A+B}, \overline{A+B}, \overline{A+B}.$$

فمن الشكل نجد أن قواعد الترانزستورات T_1 و T_2 و T_4 موصلة معاً، كما أن بواعتها موصلة معاً بالأرض، ومن ذلك يمكن إستبدال هذه الترانزستورات T_1 و T_2 و T_4 ، بترانزستور واحد له قاعدة واحدة وباعث واحد و 3 مجمعات.

بالمثل يمكن تنفيذ ذلك مع المجموعات الأخرى من الترانزستورات ذات القاعدة المشتركة والموجودة في شكل (8-4)، أي (T_3 و T_7 و T_{10})، و (T_6 و T_8)، و (T_5 و T_9)، ومنه يمكن إعادة رسم الدائرة كالمبين في شكل (9-4).

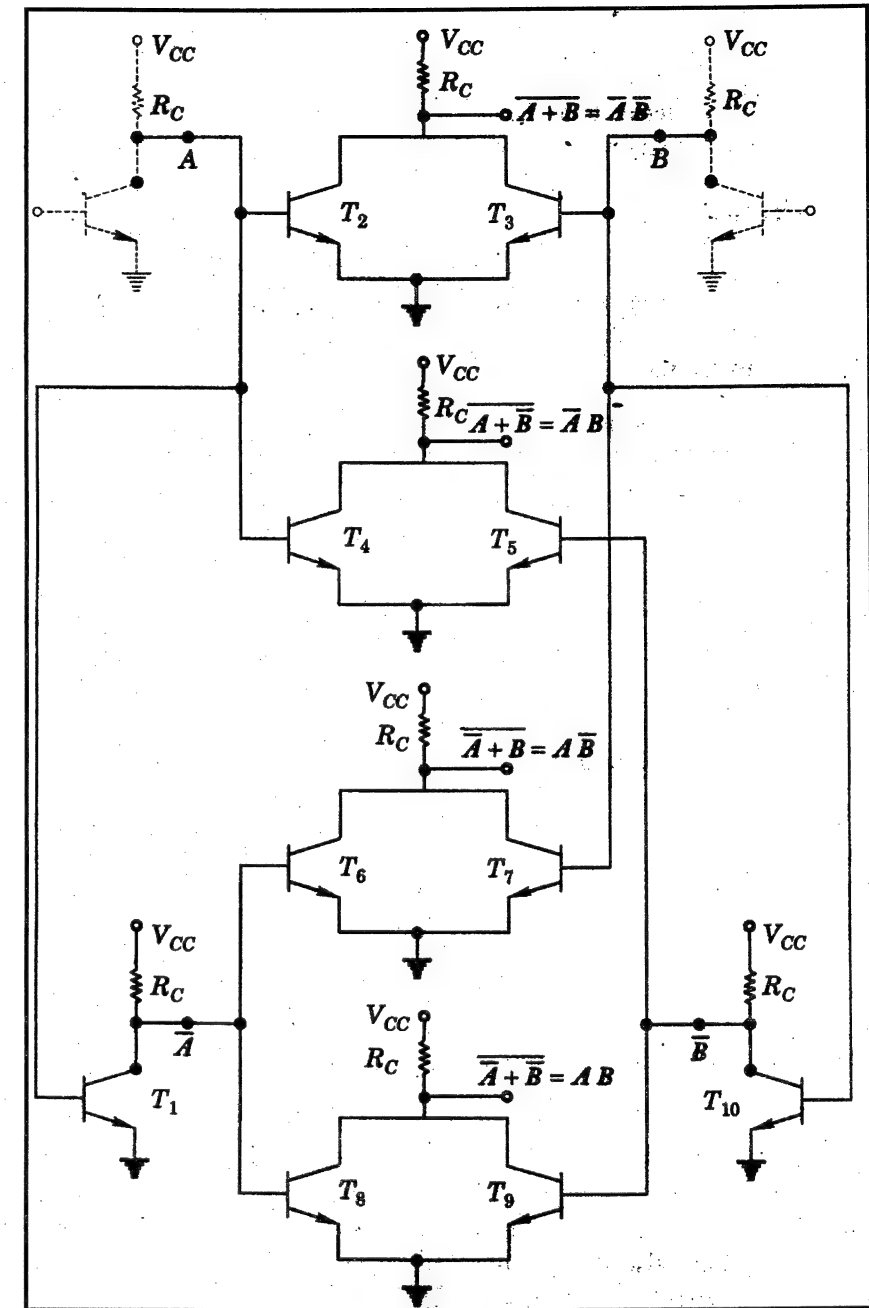


شكل (4-9) إعادة للشكل 4-8 بترانزستورات متعددة المجمعات

ويتطلب الأمر إليه للتزود بتيارات قاعدة، كما هو مبين في شكل (4-7)، ولتحقيق هذا تُعامل مقاومات المجمعات R_C للبوابات القائدة (مرسومة بنقط في شكل 4-8) كمقاومات قاعدة للترانزستورين متعددي المجمع T'_3 و T'_1 ، وبالمثل تُعامل مقاومات المجمعات R_C للترانزستورات T_1 و T_{10} كمقاومات قاعدة للترانزستورين متعددي المجمع T'_2 و T'_4 على الترتيب، وبالتالي تكون جهود التغذية V_{BB} كما هو موضح، ويكون الجزء من الدائرة خارج الصندوق المنقط كجزء من بوابات أخرى تُقاد بواسطة مخارج الدائرة أو يمكن حذفها، وهذا يعني أن دائرة I^2L تكون بمخارج مجمع-مفتوح، ويمكن لهذه المخارج إما تغذية دائرة I^2L أخرى، أو توصل لجهود التغذية من خلال مقاومات، ولابد من استخدام قيم مناسبة لجهود التغذية والمقاومات للحصول على مستويات جهود الخرج المناسبة والتي تناسب قيادة بوابات أخرى مثل النوع TTL.

4-6 منطق (DTL) Diode- Transistor Logic :

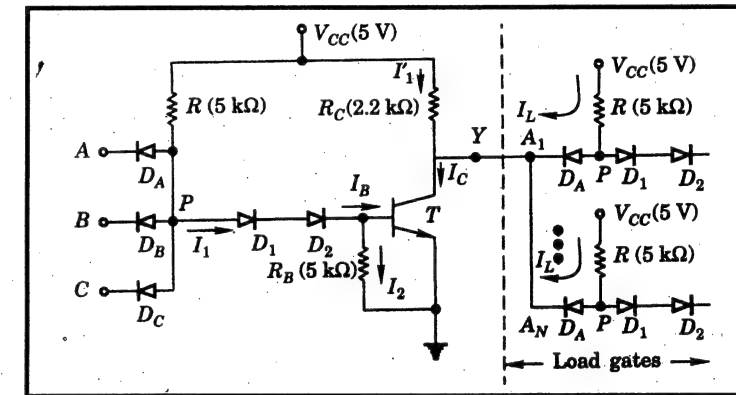
هذا المنطق - إلى حد ما - أكثر تعقيدا من منطق RTL، إلا أنه حل محله نظرا لكبر خاصية تفريع الخرج Fan-out بالإضافة إلى هوامش الضوضاء المُحسَّنة، إلا



شكل (4-8) التركيب البنائي لبوابة DCTL لتنفيذ وظائف لمتغيرين منطقيين

أن عيبه الرئيسي هو أنه أقل سرعة، وبسبب هذا العيب تطور إلى المنطق Transistor-Transistor Logic (TTL) والذي أصبح أكثر عائلات المنطق شيوعاً واستخداماً هذه الأيام.

ويبين شكل (10-4) دائرة DTL بعناصر محددة تستخدم دايودات Diodes وترانزستور كعاكس (NOT)، وقد تم تعديلها لتؤدي كدائرة متكاملة، والتي تسفر عن المنطق DTL الأساسي المتمثل في بوابة NAND ذات 3 مداخل تقود عدد N من البوابات المتماثلة.



شكل (10-4) بوابة NAND بـ 3 مداخل تعمل كمنطق DTL تقود عدد N بوابات متماثلة

وبالرجوع إلى الشكل، إذا كان أحد الدخول A أو B أو C منخفضاً LOW، فيصبح الدايود المتصل بهذا الدخل موصلاً، وبالتالي يصبح الجهد V_P عند النقطة P أعلى من جهد دخل المستوى المنخفض بمقدار فرق الجهد على هذا الموحد، ولا بد أن تكون قيمة الجهد V_P بحيث يظل الترانزستور T قاطعاً Cut-off وبالتالي يكون خرج مساوياً V_{CC} ، ومن ناحية أخرى إذا كانت كل الدخول A و B و C عالية HIGH، فتصبح جميع الموحّدات المتصلة بهذه الدخول في القطع، وبالتالي يصبح التيار المار بسبب الجهد V_{CC} خلال المقاومة R كافياً لجعل الترانزستور T في التشبع، ولهذا يصبح خرج هو $V_{CT,sat}$.

وعند الأخذ في الاعتبار أن الجهدين V_{CC} و $V_{CT,sat}$ في الحالتين السابقتين يمثلان حالتي منطق (1)، و (0)، فيمكن اعتبار أن هذه الدائرة تمثل دائرة منطق NAND.

ويوضح المثال التالي اعتبارات تفريع الخرج Fan-out، وهوامش الضوضاء.

مثال (1-4):

للمنطق DTL NAND المبين في شكل (10-4)، احسب:

أ- تفريع الخرج Fan-out.

ب- هوامش الضوضاء.

ج- القدرة المتوسطة P المستهلكة بالبوابة.

مع العلم بأن بارامترات الموحد، والترانزستور كالتالي:

الجهد خلال الموحد في حالة توصيله $0.7 V =$

جهد القاطع للموحد $V_P = 0.6 V =$

جهد القاطع للترانزستور $V_P = 0.5 V =$

$V_{BE,sat} = 0.8 V =$

$V_{CE,sat} = 0.2 V =$

$h_{FE} = 30$

الحل:

أ- وكما تمت مناقشته سابقاً تكون مستويات المنطق كالتالي:

المستوى المنخفض LOW: $V(0) = V_{CE,sat} = 0.2 V$

المستوى العالي HIGH: $V(1) = V_{CC} = 5.0 V$

(1) إذا كانت كل الدخول A و B و C عالية HIGH، فتصبح جميع الموحّدات المتصلة بهذه الدخول ذات إنحيازاً عكسياً، ويفرض أن الموحدين D_1 و D_2 موصّلان والترانزستور T في التشبع، فيصبح الجهد V_P :

$$V_P = 0.7 + 0.7 + 0.8 = 2.2 V$$

وبتطبيق قانون كيرتشهوف Kirchhoff للتيار عند قاعدة الترانزستور T يكون:

$$N < 12$$

ويمكن إختيار N لتكون 10 ، ويجب أن يكون أقصى تيار للمجمع 12 mA .

(2) إذا كان على الأقل أحد الدخول A أو B أو C منخفضة LOW، فيصبح الموحد المتصل بهذا الدخل مُوصلاً، وحيث أن الجهد خلال الموحد فى حالة توصيله يكون مساويا 0.7 V ، فعلى ذلك يصبح الجهد V_p :

$$V_p = 0.2 + 0.7 = 0.9 \text{ V}$$

وحيث أن أقل جهد مطلوب لى يصبح كل من D_1 و D_2 و T موصلاً:

$$\begin{aligned} &= V_{pD1} + V_{pD2} + V_{pT} \\ &= 0.6 + 0.6 + 0.5 = 1.7 \text{ V} \end{aligned}$$

وهذا الجهد أقل من الجهد V_p ومما يؤكد أن الموحدين D_1 و D_2 غير موصولين، ومن هنا يكون الترانزيستور T فى القطع Cut-off ، وبما يترتب عليه أن يصبح الخرج مساويا للجهد V_{cc} (5 V) فى حالة عدم توصيل بوابات الحمل.

وعند توصيل بوابات الحمل، فإن الموحداث فى مداخل هذا الحمل (D_A 's) تصبح غير مُوصلة مما يعنى أن تيار التشبع العكسى لهذه الموحداث يكون مزودا من خلال مقاومة المجمع R_c حيث يتسبب هذا التيار فى فرق جهد على هذه المقاومة، وبالتالي يصبح جهد الخرج المناظر للحالة HIGH أقل قليلا من الجهد V_{cc} .

ب- (1) إذا كانت كل الدخول عالية HIGH، يصبح الخرج منخفض LOW، وحيث أن الجهد: $V_p = 2.2 \text{ V}$ ، فتصبح الموحداث للمدخل منحازة عكسيا بالجهد: ($5 - 2.2 = 2.8 \text{ V}$)، وحيث أن جهد القطع للموحد هو: 0.6 V، فمن هنا نجد أن جهد ضوضاء سالب عند الدخل قيمته 3.4 V سوف يسبب خلل فى الدائرة، وعلى هذا فإن هامش الضوضاء لمستوى المنطق (0) يكون فى الحدود:

$$\Delta 0 = 3.4 \text{ V}$$

(2) إذا كانت أحد الدخول على الأقل منخفضة LOW، يصبح الخرج على HIGH ، وحيث أن الجهد: $V_p = 0.9 \text{ V}$ ، ويكون أقل جهد مطلوب لى يصبح كل من

$$I_B = I_1 - I_2$$

حيث :

$$I_1 = (V_{cc} - V_p) / R = (5 - 2.2) / 5 = 0.56 \text{ mA}$$

وأیضا :

$$I_2 = V_{BE,sat} / R_B = 0.8 / 5 = 0.16 \text{ mA}$$

ومنه :

$$I_B = 0.56 - 0.16 = 0.4 \text{ mA}$$

وبفرض عدم توصيل أى بوابات فى الحمل، فيكون تيار المجمع I_c كالتالى:

$$I_c = (V_{cc} - V_{CE,sat}) / R_c = (5 - 0.2) / 2.2 = 2.182 \text{ mA}$$

ومن هنا يكون :

$$h_{FE} \cdot I_B = 30 \times 0.4 = 12 \text{ mA}$$

وهى قيمة أعلى من تيار المجمع I_c (2.128 mA)، وبما يؤكد من أن الترانزيستور فى التشبع ، وأن الخرج فى المستوى المنخفض LOW.

والآن فى حالة توصيل عدد N بوابة فى خرج الترانزيستور فإن الموحداث فى مداخل هذا الحمل (D_A 's) تصبح مُوصلة من خلال خرج الترانزيستور T أى يكون هو مصدر التيار لمداخل الموحداث بهذا الترانزيستور، وبفرض أن جميع الدخول الأخرى لكل بوابة حمل فى المستوى العالى HIGH ماعدا البوابة التى يقودها الترانزيستور T، فيصبح تيار الحمل I_L كالتالى:

$$I_L = (V_{cc} - V_p) / R = (5 - 0.9) / 5 = 0.82 \text{ mA}$$

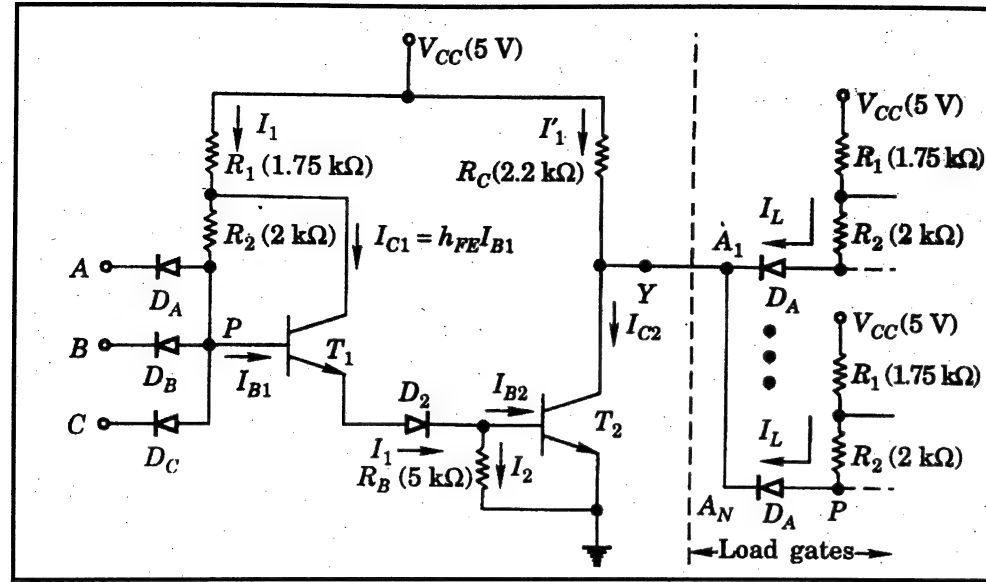
ويعبر عن تفريع الخرج Fan-out من العلاقة:

$$I_c \leq h_{FE} \cdot I_B$$

أو :

$$0.82 N + 2.182 \leq 12 \text{ mA}$$

ومنه :



شكل (11-4) بوابة المنطق DTL NAND المعدلة تقود عدد N بوابة متماثلة

7-4 منطق (HTL) High-Threshold Logic :

في الأماكن والأوساط الصناعية وبسبب وجود الموتورات الكهربائية ودوائر تحكم الفتح-الغلق ومفاتيح الجهد العالي .. إلخ، يصبح مستوى الضوضاء عالياً تماماً، ومن هنا نجد أن عائلات المنطق التي تمت مناقشتها سابقاً لا تستطيع تأدية وظائفها المنوطة بها بالكفاءة المطلوبة، ولهذا الغرض تم تعديل المنطق DTL المبين في شكل (11-4) بمنبع تغذية أكبر (أى 15V بدلاً من 5V)، كما يتم إستبدال الموحد D₂ بموحد زينر Z بجهد إنهيار 6.9V، كما يتم تعديل المقاومات للحصول على نفس التيارات في دائرة المنطق DTL تقريباً، ونحصل في النهاية على بوابة المنطق HTL NAND بـ 3 مداخل تقود عدد N بوابة متماثلة، والمبينة في شكل (12-4)، وهنا يتأثر زمن تأخير الإنتشار بطريقة غير ملائمة بسبب القيم العالية للمقاومات حيث يصل هذا الزمن إلى المئات من النانو ثانية، كما تكون الحساسية لدرجة الحرارة أقل من مثيلاتها في المنطق DTL.

D₁ و D₂ و T (كما ذكرنا من قبل) هو: 1.7V، وعلى هذا فإن هامش الضوضاء لمستوى المنطق (1) يكون في الحدود:

$$\Delta 1 = 0.8V$$

ج- عندما يكون الخرج منخفض LOW فإن القدرة P(0) تعطى من العلاقة:

$$P(0) = V_{CC} (I_1 + I'_1) = 5 (0.56 + 2.182) = 13.71 \text{ mW}$$

عندما يكون الخرج عالى HIGH، فعلى الأقل يكون أحد الموحدات للدخل موصلاً، وعلى هذا يكون : I₁ = 0.82 mA و I'₁ = 0، فإن القدرة P(1) تعطى من العلاقة:

$$P(1) = 5 (0.82) = 4.1 \text{ mW}$$

وتكون القدرة المتوسطة P المستهلكة:

$$P_{av} = \{P(0) + P(1)\} / 2 = (13.71 + 4.1) / 2 = 8.905 \text{ mW}$$

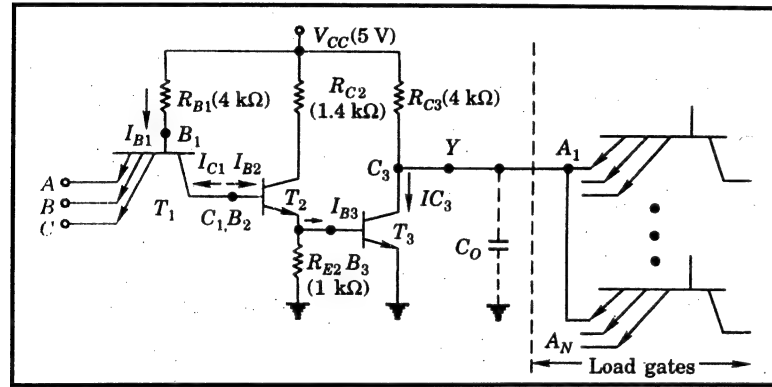
أزمنة تأخير الإنتشار :

ترتبط هذه التأخيرات بتأخير الوصل Turn-on delay، وتأخير الفصل Turn-off delay لترانزستور الخرج، فخلال الوصل يتفرغ أى مكثف Shunting خرج البوابة سريعاً خلال الإعاقاة المنخفضة لترانزستور الخرج فى وجوده فى حالة التشبع، وعلى الجانب الآخر فخلال الفتح يتفرغ المكثف Shunting خلال مقاومة السحب R_C بالإضافة إلى زمن تأخير التخزين، ويكون تأخير الفتح أكبر مرتين أو ثلاث مرات من تأخير القفل، كما يكون زمن تأخير الإنتشار فى البوابات DTL التجارية فى الحدود من 30 ns إلى 80 ns.

بوابة المنطق DTL NAND المعدلة :

من المثال السابق نجد أنه يمكن زيادة تعريفات الخرج بزيادة تيار القاعدة لترانزستور الخرج وذلك عن طريق إستبدال الموحد D₁ بالترانزستور T₁ كما هو مبين فى شكل (14-4)، ويمكن تحليل هذه الدائرة بطريقة مشابهة للمثال (1-4).

- 2- تعمل وصلة المجمع-القاعدة للترانزستور T_1 كالموحد D_1 .
 - 3- إستبدال الموحد D_2 بوصلة باعث-قاعدة لترانزستور T_2 آخر.
- فى النهاية نحصل على الدائرة المعدلة المعروفة ببوابة المنطق TTL NAND ذات 3 مداخل تقود عدد N بوابة متماثلة والمبينة فى شكل (4-13) .



شكل (4-13) بوابة المنطق TTL NAND ذات 3 مداخل تقود عدد N بوابة متماثلة

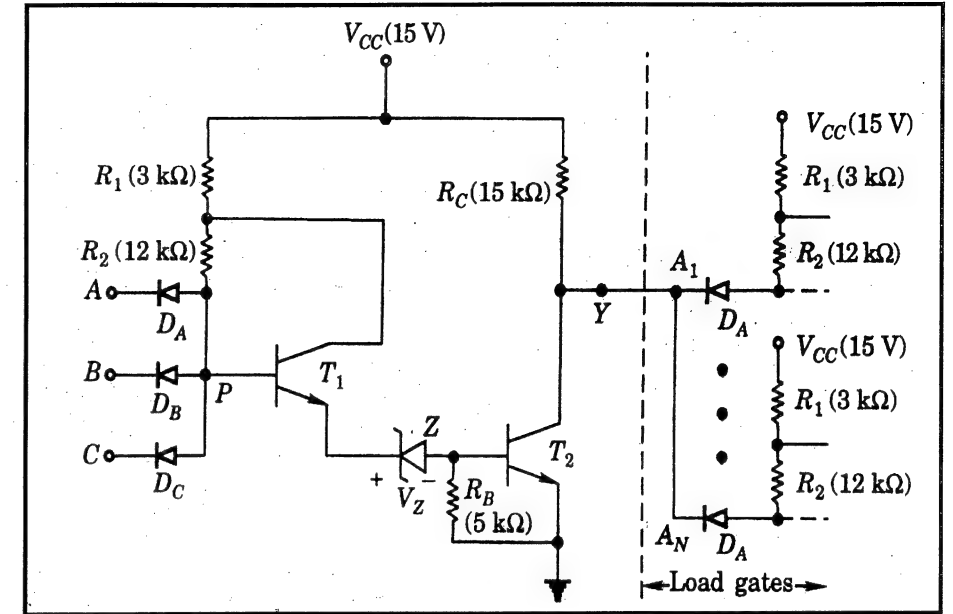
عمل المنطق TTL NAND :

يتشابه عمل المنطق TTL المبين فى شكل (4-13) بعمل المنطق DTL المبين فى شكل (4-10) طالما تم الأخذ فى الاعتبار ظروف الحالة الثابتة والواضحة من الشرطين (أ)، و (ب) التاليين ، أما الشرط (ج) فهو يفرق عمل المنطق TTL عن عمل المنطق DTL ويجعله الأسرع من ضمن عائلات المنطق المشبعة.

ومن طريقة التشغيل التى سيتم مناقشتها، نفرض أن بوابات الحمل غير موجودة، وأن جهد المنطق (0) هو: $V_{CE,sat} \approx 0.2 \text{ V}$ ، بينما جهد المنطق (1) هو: $V_{CC} = 5 \text{ V}$

الشرط (أ) :

على الأقل أحد الدخول للترانزستور T_1 يكون منخفضاً LOW، وتكون وصلة الباعث-القاعدة المتصلة بهذا الدخول فى إنحياز أمامى مما يجعل الجهد عند النقطة B_1 ($V_{B1} = 0.2 + 0.7 = 0.9 \text{ V}$)، وحتى تصبح وصلة القاعدة-المجمع للترانزستور T_1



شكل (4-12) بوابة المنطق HTL NAND بـ 3 مداخل تقود عدد N بوابة متماثلة

8-4 منطق (TTL) Transistor-Transistor Logic :

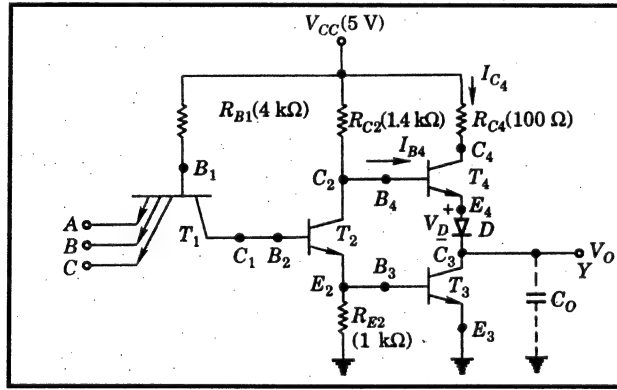
بسبب السرعات المحددة للمنطق DTL فقد أصبح من الطرازات القديمة، وتم إستبداله تماماً بما يسمى بمنطق (TTL) Transistor-Transistor Logic، وينحصر السبب الرئيسى فى السرعات المحددة للمنطق DTL فى بطئ عملية إزالة شحنات القاعدة للترانزستور الخارج ، فمثلاً فى دائرة المنطق فى شكل (4-10) عند تحول الترانزستور من حالة التشبع لحالة القطع يصبح الموحد D_1 و D_2 غير موصلين، مما تضطر شحنة القاعدة من التسرب خلال المقاومة R_B وهى عملية ميكانيكية بطيئة نسبياً، ويمكن التغلب على هذا العيب بإجراء التعديلات التالية فى دائرة DTL فى شكل (4-10):

- 1- يتم إستبدال موحدات الدخل D_A و D_B بوصلات باعث - قاعدة لترانزستور متعدد البواعث T_1 Multiple-emitter transistor، والذى يتم تصنيعه بسهولة على دائرة متكاملة.

ويمكن التحسين من خواص السرعة للدائرة أكثر بتقليل قيمة المقاومة R_{C3} ، والتي تقلل من قيمة الثابت الزمني ($R_{C3} \cdot C_0$) حيث يُشحن مكثف الخرج من مستوى المنطق (0) إلى مستوى المنطق (1)، إلا أن هذا التخفيض سيؤدي إلى زيادة القدرة المستنفذة، كما يؤدي إلى صعوبة أكثر في تشبع الترانزستور T_3 .

الرفع الفعال Active Pull-up :

في البوابات TTL، من الممكن التعجيل بشحن مكثف الخرج بدون زيادة في القدرة المستنفذة وذلك بمساعدة دائرة خرج كالمبينة في شكل (4-14) والتي تعرف بدائرة الرفع الفعال أو ما تعرف بـ "دائرة الصمود الطومى" Totem-pole.



شكل (4-14) بوابة TTL بدائرة خرج القطب الرمزى Totem-pole

ويمكن شرح هذه الدائرة كالتالى :

لكي يكون الخرج Y في الحالة المنخفضة LOW لابد أن يكون كلا من الترانزستور T_4 والدايود في القطع Cut-off، وعند انتقال الخرج من الحالة المنخفضة LOW إلى الحالة العالية HIGH (والذى يناظر التحول الحادث لأى دخل إلى الحالة المنخفضة LOW) فينتقل الترانزستور T_4 إلى التشبع ويكون مصدراً لتيار الشحن لمكثف الخرج ويثبت زمنى صغير، وهذا التيار يقل ويصل في النهاية تحت شرط الحالة الثابتة عند: $Y=V(1)$ ، ويستخدم الموحد D في الدائرة للإحتفاظ بالترانزستور T_4 في القطع عندما يكون الخرج عند المنطق (0) والذى عنده يكون كلا من الترانزستورين T_2 و T_3 في التشبع، وعلى هذا يكون :

في الإنحياز الأمامى، ويصبح كلا من T_2 و T_3 موصلين فلا بد أن يكون الجهد V_{B1} على الأقل مساوياً ($0.6 + 0.5 + 0.5 = 1.6 V$)، ومن هنا نجد أن كلا من T_2 و T_3 مفتوحان OFF، وحيث أن T_3 مفتوح فيكون الجهد عند النقطة Y هو جهد الحالة (1) أى V_{CC} .

الشرط (ب) :

كل دخول الترانزستور T_1 عالية HIGH وبالتالي تصبح كل وصلات الباعث-القاعدة للترانزستور T_1 فى الإنحياز العكسى، وإذا فرضنا أن كلا الترانزستورين T_2 و T_3 مغلقان ON، عندئذ يصبح الجهد V_{B2} : ($V_{B2} = V_{C1} = 0.8 + 0.8 = 1.6 V$)، وحيث أن النقطة B_1 موصلة بالجهد V_{CC} المساوى 5V من خلال المقاومة R_{B1} فتصبح الوصلة المجمع-القاعدة للترانزستور T_1 فى الإنحياز الأمامى، والترانزستور T_1 يعمل فى الوضع الفعال العكسى مما يجعل سريان التيار I_{C1} فى الإتجاه العكسى والذى يسرى إلى قاعدة الترانزستور T_2 موصلاً كل من الترانزستورين T_2 و T_3 للتشبع، فيكون الجهد عند النقطة Y هو جهد الحالة (0) V أى: $\approx 0.2 V$.

ومن الشرطين (أ)، و (ب) نجد أن الترانزستور T_1 يعمل كموحدات ظهر لظهر Back-to-back ونجد أن أهميته تظهر واضحة من الشرط (ج) .

الشرط (ج) :

نفرض أن الدائرة تعمل تحت الشرط (ب) عندما يصل أحد الدخول فجأة إلى $V(0)$ ، وتبدأ وصلة الباعث-القاعدة للمناظرة للترانزستور T_1 فى التوصيل ويهبط الجهد V_{B1} إلى 0.9 V، كما سيفتح الترانزستورين T_2 و T_3 عندما تزال شحنات قواعدهما، وحيث أن: ($V_{C1} = V_{B2} = 1.6 V$) فتصبح وصلة المجمع-القاعدة للترانزستور T_1 فى الإنحياز الخلفى مما يجعل الترانزستور T_1 يعمل فى الوضع الفعال المعتاد، وهذا التيار الكبير لمجمع الترانزستور T_1 يكون فى إتجاه بحيث يساعد على إزالة شحنات قواعد الترانزستورين T_2 و T_3 ومما يحسن من خواص السرعة للدائرة.

حيث: R_{CS4} مقاومة التشبع للترانزيستور T_4 ، R_f : مقاومة الموحد الأمامية.

ومع إزدياد جهد الخرج V_0 ، يقل كلا من تيار القاعدة والمجمع للترانزيستور T_4 ، حتى يصبح بالكاد خارج التوصيل في الحالة الثابتة، ولهذا يكون:

$$\begin{aligned} V(1) &= V_{CC} - V_V(T_4) - V_V(D) \\ &= 5 - 0.5 - 0.6 \\ &= 3.9 \text{ V} \end{aligned}$$

والآن، إذا كان الخرج عند $V(1)$ ، وجميع الدخول عالية HIGH، يتجه الترانزيستور T_2 للقفز ON، وبالتالي يتجه كلا من الترانزيستور T_4 والموحد D إلى الفتح OFF ويصبح الترانزيستور T_3 موصلاً، ويُفرغ المكثف C_0 خلال الترانزيستور T_3 ، وباقتراب جهد الخرج V_0 من $V(0)$ يدخل الترانزيستور T_3 للتشبع.

من المناقشة السابقة يتضح أن أقصى تيار مسحوب من المصدر يكون عندما يعمل الخرج تحولاً من $V(0)$ إلى $V(1)$ ، ويكون مساوياً:

$$I_{C4} + I_{B4} = 39 + 2.4 = 41.4 \text{ mA}$$

وهذا التيار العالي المدبب Spike يولد ضوضاء في نظام توزيع مصدر القدرة، وتزيد القدرة المستنفذة في البوابة، والتي تزداد أكثر عند عملها في الترددات العالية.

4-9 منطق Schottky TTL :

ترجع حدود السرعة في منطق TTL بصفة رئيسية إلى التأخيرات في أزمنة الفتح المتعلقة بالترانزيستورات عند الانتقال من حالة التشبع لحالة القطع، ويمكن التخلص من تلك التأخيرات باستبدال ترانزيستورات المنطق TTL بترانزيستورات شوتكي Schottky، وبهذا يمنع الترانزيستورات من دخول التشبع وبالتالي توفير الزمن المستغرق في الفتح Turn-off.

وفي النهاية نحصل على منطق Schottky TTL بزمن تأخير إنتشار قدره: 2 ns وهو زمن صغير جداً بالمقارنة بزمن تأخير الإنتشار في المنطق TTL القياسي والمقدر بـ: 10 ns، ولهذا فهو يعد منطق تثنائي القطبية غير متشبع Non-saturating bipolar logic.

$$V_{C2} = V_{B4} = V_{BE3,sat} + V_{CE2,sat} = 0.8 + 0.2 = 1.0 \text{ V} \quad (4-6)$$

وحيث أن: $(V_0 = V_{CE3,sat} \approx 0.2 \text{ V})$ ، فيكون الجهد على وصلة القاعدة-الباعث للترانزيستور T_4 والموحد D مساوياً: $(1.0 - 0.2 = 0.8 \text{ V})$ ، مما يعنى أن كلا من الترانزيستور T_4 والموحد D في القطع Cut-off.

وإذا هبط أحد الدخول إلى مستوى المنطق المنخفض LOW، يصبح كلا الترانزيستورين T_2 و T_3 في القطع Cut-off، ولايستطيع أن يتغير الخرج في الحال (لكونه الجهد عبر المكثف C_0) وبسبب توجه الترانزيستور T_2 إلى القطع Cut-off يرتفع جهد قاعدة الترانزيستور T_4 موصلاً إياه إلى التشبع.

وبمجرد أن يكون T_2 في القطع Cut-off، يكون:

$$\begin{aligned} V_{B4} &= V_{BE4,sat} + V_D + V_0 \\ &= 0.8 + 0.7 + 0.2 \\ &= 1.7 \text{ V} \end{aligned} \quad (4-7)$$

ولهذا يكون:

$$\begin{aligned} I_{B4} &= (V_{CC} - V_{B4}) / R_{C2} \\ &= (5 - 1.7) / 1.4 \\ &= 2.36 \text{ mA} \end{aligned} \quad (4-8)$$

وأيضاً:

$$\begin{aligned} I_{C4} &= (V_{CC} - V_{CE4,sat} - V_D - V_0) / R_{C4} \\ &= (5 - 0.2 - 0.7 - 0.2) / 0.4 \\ &= 39 \text{ mA} \end{aligned} \quad (4-9)$$

ومن هنا يكون الترانزيستور T_4 في التشبع إذا زادت h_{FE} عن:

$$(39/2.36 = 16.5).$$

ويرتفع جهد الخرج V_0 أسياً في الإتجاه V_{CC} بالثابت الزمني:

$$(R_{C4} + R_{CS4} + R_f) C_0$$

10-4 سلسلة 5400/7400 TTL :

تعتبر سلسلة 5400/7400 TTL أفضل سلاسل الدوائر المتكاملة وأوسعها إنتشاراً، وتستخدم سلسلة 7400 فى الأجهزة المستخدمة فى التطبيقات التجارية، بينما تستخدم سلسلة 5400 فى الأجهزة المستخدمة فى التطبيقات العسكرية، والإختلاف الوحيد بين هاتين السلسلتين ينحصر فى مدى كل من درجة الحرارة وقدرة التغذية لكل منهما، فتتخصص درجة حرارة التشغيل لسلسلة 7400 ما بين 0°C و 70°C ، بينما تتخصص لسلسلة 5400 ما بين 55°C - و 125°C ، كما أن مدى قدرة التغذية لسلسلة 7400 تكون $5 \pm 0.25 \text{ V}$ ، بينما لسلسلة 5400 تكون $5 \pm 0.5 \text{ V}$.

ويبين جدول (2-4) 7 سلاسل مختلفة من عائلات المنطق TTL 54-/74- .

جدول (2-4)

السلسلة	الرقم المسبوق فى السلسلة	أمثلة
TTL القياسى	74-	7402 , 74193
TTL القدرة العالية	74H-	74H02 , 74H193
TTL القدرة المنخفضة	74L-	74L02 , 74L193
TTL شوتكى	74S-	74S02 , 74S193
TTL شوتكى القدرة المنخفضة	74LS-	74LS02 , 74LS193
TTL شوتكى المتقدم	74AS-	74AS02 , 74AS193
TTL شوتكى القدرة المنخفضة المتقدم	74ALS-	74ALS02 , 74ALS193

كما يلخص جدول (3-4) الخواص المختلفة لعائلات المنطق TTL 54-/74-.

ونلاحظ الآتى من الجدول :

1- خواص جهود الدخل والخرج متطابقة لكل السلاسل تقريباً، مما يُمكن من سهولة مزج الدوائر المتكاملة لهذه السلاسل لتحقيق التصميم الأفضل من وجهة نظر زمن تأخير الإنتشار والقدرة المستنفذة.

جدول (3-4)

الخاصية	5400	54H00	54L00	54S00	54LS00	54AS00	54ALS00	الوحدات
	7400	74H00	74L00	74S00	74LS00	74AS00	54ALS00	
V_{IH}	2	2	2	2	2	2	2	V
V_{IL}	0.8	0.8	0.7	0.8	0.7	0.8	0.8	V
سلسلة 54	0.8	0.8	0.7	0.8	0.7	0.8	0.8	
سلسلة 74	0.8	0.8	0.7	0.8	0.7	0.8	0.8	
V_{OH}	2.4	2.4	2.4	2.4	2.5	3	3	V
سلسلة 54	2.4	2.4	2.4	2.5	2.5	3	3	
سلسلة 74	2.4	2.4	2.4	2.5	2.7	3	3	
V_{OL}	0.4	0.4	0.3	0.5	0.4	0.5	0.4	V
سلسلة 54	0.4	0.4	0.3	0.5	0.4	0.5	0.4	
سلسلة 74	0.4	0.4	0.4	0.5	0.5	0.5	0.5	
I_{IH}	40	50	10	50	20	20	20	μA
I_{IL}	-1.6	-0.2	-0.18	-2.0	-0.36	-0.5	-0.1	mA
I_{OH}	-400	-500	-200	-1000	-400	-2000	-400	μA
I_{OL}	16	20	2	20	4	20	4	mA
سلسلة 54	16	20	2	20	4	20	4	
سلسلة 74	16	20	3.6	20	8	20	8	
$I_{CC(1)}$	8	16.8	0.8	16	1.6	3.2	0.85	mA
$I_{CC(0)}$	22	40	2.04	36	4.4	17.4	3	mA
t_{PHL}	15	10	60	5	15	4	8	ns
t_{PLH}	22	10	60	4.5	15	4.5	11	ns

3- السلاسل ذات القدرة المنخفضة (L و LS و ALS) تحتاج لمتطلبات أدنى قدرة، فهي بالتالي مناسبة للدوائر التي تعمل بالبطاريات، كما أنه من دون هذه السلاسل نجد أن السلسلة ALS تتميز بأدنى زمن تأخير إنتشار، لذا فهي مفضلة عن السلسلتين الأخريين.

4- تتميز السلسلة H بانخفاض زمن تأخير الإنتشار (أي السرعة العالية)، إلا أنها تحتاج لقدرة أعلى.

5- تتميز السلاسل S و AS بانخفاض زمن تأخير الإنتشار، إلا أنه يُفضل السلسلة AS بسبب إنخفاض قيمة القدرة المستنفذة وانخفاض زمن تأخير الانتشار.

أما في جدول (4-4)، فتتلخص تفريعات الخرج Fan-out لكل سلسلة عند قيادتها دوائر متكاملة من نفس السلسلة، أو من سلاسل أخرى.

جدول (4-4)

أجهزة TTL كمصدر	أجهزة TTL كحمل					
	54ALS/74ALS	54AS/74AS	54LS/74LS	54S/74S	54L/74L	54H/74H
54/74	20	20	20	8	40	10
54H/74H	25	25	25	10	50	12
54L/74L	10	7	10	1	20	2
54S/74S	50	40	50	10	100	12
54LS/74LS	26	16	20	4	40	5
54AS/74AS	100	40	55	10	110	12
54ALS/74ALS	20	16	20	4	40	5

4-11 منطق (ECL) Emitter-coupled Logic :

هذا المنطق هو الأسرع في عائلات المنطق قاطبة، لذا فهو يستخدم في التطبيقات التي يكون أساس عملها هو السرعة العالية جدا.

وترجع السرعة العالية في هذا المنطق في أن الترانزيستورات المستخدمة مُنظمة في هيئة مكبر فرق Difference amplifier configuration، فمن خلال هذا التشكيل لا تُقاد هذه الترانزيستورات للتشبع أبداً، وبالتالي يتم التخلص من زمن التخزين، فهنا نجد أن تغيرات الترانزيستورات من حالة الفتح لحالة القفل أو العكس تحدث بين المنطقتين القاطعة Cut-Off والفعالة Active، ويصل زمن تأخير الإنتشار إلى أقل من 1 ns في هذا المنطق.

وأساساً يتحقق منطق ECL باستخدام مكبر فرق، حيث يتصل باعثن ترانزيستورين، ومن هنا يعزى مسمى هذا المنطق "منطق اقتران الباعث" Emitter-coupled logic .

ويبين شكل (4-15) منطق بوابة ECL بـ 3 مداخل والذي يتكون من 3 أجزاء:

1- مكبر فرق Difference amplifier: وهو الجزء الأوسط والذي يؤدي العملية المنطقية.

2- توابع الباعث Emitter followers: والمستخدم في إزاحة مستويات خرج التيار المستمر، بحيث يكون كلا من $V(0)$ و $V(1)$ نفسه ولايتغيران للدخول والخروج يجب ملاحظة أنه يوجد خرجين: Y_1 و Y_2 وهما متتامين، حيث يناظر الخرج Y_1 منطق OR، بينما يناظر الخرج Y_2 منطق NOR، ومن هنا جاءت تسميته بالبوابة OR/NOR.

3- بوابة دخول Gate inputs: وهي ترانزيستورات إضافية موصلة على التوازي مع الترانزيستور T_1 للحصول على تفريعات دخل Fan-in.

ويوجد فرق أساسي بين كل عائلات المنطق الأخرى بما فيها منطق MOS، وبين المنطق ECL، عند الأخذ في الاعتبار جهد التغذية، ففي المنطق ECL يتم توصيل الطرف الموجب لمنبع التغذية بالأرض، بينما في عائلات المنطق الأخرى يتم توصيل الطرف السالب لمنبع التغذية بالأرض، ويتم عمل هذا لتقليل جهود الضوضاء المُحثّة في منبع التغذية، كما يحمي الدائرة من قصور الدائرة الفجائي الناشئ بين خرج البوابة والأرض.

د- إحسب القدرة المتوسطة المستفزة بالبوابة.

بفرض أن جهد القاعدة-الباعث للترانزستور الموصل في المنطقة الفعالة مساوياً 0.7 V.

الحل :

أ- (1) بفرض أن كل الدخول منخفضة LOW:

نفرض أن كل ترانزستورات الدخل T_1 ، و T'_1 ، و T''_1 قاطعة Cut-off بينما الترانزستور T_2 موصل في المنطقة الفعالة، فيكون الجهد عند الباعث المشترك V_E :

$$V_E = V_{i2} - V_{BE2} = -1.15 - 0.7 = -1.85 \text{ V}$$

ويكون التيار I_E :

$$I_E = \{V_E - (-V_{EE})\}/R_E = (-1.85 + 5.2)/1.18 = 2.84 \text{ mA}$$

وحيث أن : $(I_{B2} \ll I_{C2})$ ، فعلى هذا يكون : $(I_{C2} \approx I_E)$ ، كما يكون :

$$V_{O2} = -0.3 I_{C2} = 0.3(2.84) = -0.852 \text{ V}$$

ومنه يكون الترانزستور موصلًا ويكون الخرج عند Y_1 :

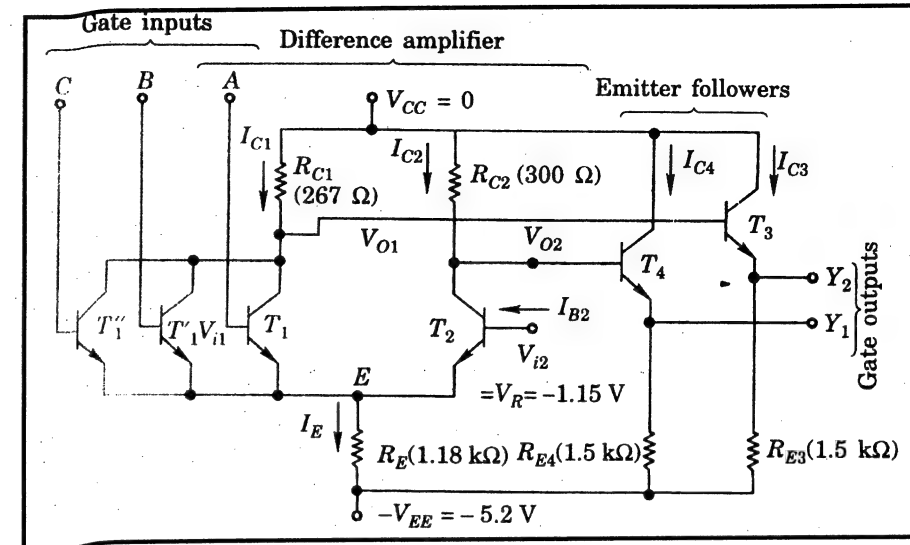
$$Y_1 = V_{O2} - V_{BE4} = -0.852 - 0.7 = -1.55 \text{ V}$$

والذى نفرضه أن يكون جهد الحالة $V(0)$.

وعلى هذا فإذا كانت كل الدخول عند الحالة $V(0)$ والتي تكون مساوية -1.55V ، فعندئذ يكون جهد القاعدة-الباعث للترانزستور الدخول :

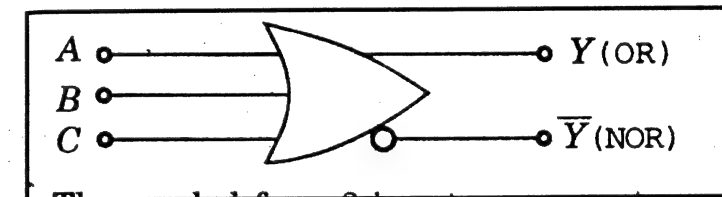
$$V_{BE} = V_{i1} - V_E = -1.55 + 1.85 = 0.3 \text{ V}$$

وهو أقل من جهد القطع (0.5 V) للترانزستور، ومن هنا نرى أن ترانزستورات الدخل غير موصلة كما أفترض من قبل، كما تكون القاعدة والمجمع للترانزستور T_3 عند نفس الجهد ومن هنا يعمل كموحد، وتصل قيمة التيار المار خلال هذا الموحد في حدود 3 mA وبما يناظر جهد عبر الموحد قيمته 0.75 V، ومن



شكل (15-4) بوابة ECL OR/NOR ذات 3 مدخل

ويكون كلا الجهدان المناظران للحالتين $V(1)$ و $V(0)$ سالباً نتيجة لتوصيل الطرف الموجب لمنبع التغذية بالأرض، ويبين شكل (16-4) رمز البوابة ECL OR/NOR ذات 3 مدخل.



شكل (16-4) بوابة ECL OR/NOR ذات 3 مدخل

مثال (2-4) :

أ- تحقق من أن الدائرة المبينة في شكل (15-4) تؤدي عمل OR/NOR.

ب- بين أن الترانزستورات في هذه الدائرة تعمل في المنطقة الفعالة وليس في منطقة التشبع.

ج- إحسب هوامش الضوضاء.

هنا يكون جهد النقطة Y_2 مساوياً -0.75 V والذي يفترض أن يمثل جهد الحالة $V(1)$ ، ومما يبين أن كلا من Y_1 و Y_2 متتامين أي أن $\bar{Y}_1 = Y_2$.

(2) بفرض أن أحد الدخول عالي HIGH، فبناءً على ذلك يُفرض أن يكون الترانزستور T_1 موصلًا والترانزستور T_2 قاطع، عندئذ يكون:

$$V_E = V_{I1} - V_{BE1} = -0.75 - 0.7 = -1.45\text{ V}$$

ومن هنا يكون :

$$V_{BE2} = V_{I2} - V_E = -1.15 + 1.45 = 0.3\text{ V}$$

وهذا يحقق الفرض بأن الترانزستور T_2 قاطع.

ويكون الجهد V_{O1} :

$$V_{O1} = -R_{C1} \cdot I_{C1}$$

حيث:

$$I_{C1} = \{V_E - (-V_{EE})\}/R_E = (-1.45 + 5.2)/1.18 = 3.18\text{ mA}$$

وحيث أن تيار المجمع للترانزستور T_1 أكبر من تيار المجمع للترانزستور T_2 عندما يكون موصلًا، فمن هنا يكون: $R_{C1} < R_{C2}$ للحصول على نفس مستويات الجهد.

وهذا يعطى جهد عند Y_2 قيمته: -1.55 V ، وهو ما يمثل جهد الحالة $V(0)$ ، كما تكون قيمة الجهد عند Y_1 : -0.75 V ، وهو ما يمثل جهد الحالة $V(1)$.

من (1)، و (2) نجد أنه عند النقطة Y_1 تتحقق وظيفة المنطق OR، بينما تتحقق وظيفة المنطق NOR عند النقطة Y_2 ، أي أننا أمام بوابة OR/NOR وتكون الجهود -1.55 و -0.75 هي المناظرة للمنطقين (0)، و (1). كما يكون منطق جهد التارجح مساوياً: 0.8 V .

ب- من الجزئية أ-(1) يكون الجهد بين المجمع والقاعدة للترانزستور T_2 :

$$V_{CB2} = V_{O2} - V_{I2} = -0.85 + 1.15 = 0.3\text{ V}$$

مما يبين أن وصلة المجمع-القاعدة في إنحياز عكسي، ومن هنا يعمل الترانزستور T_2 في المنطقة الفعالة.

ومن الجزئية أ-(2) يكون الجهد بين المجمع والقاعدة للترانزستور T_1 :

$$V_{CB1} = V_{O1} - V_{I1} = -0.85 + 0.75 = -0.1\text{ V}$$

مما يبين أن وصلة المجمع-القاعدة في إنحياز أمامي، إلا أن قيمته أقل كثيراً من جهد القطع، ومن هنا يعمل الترانزستور T_1 في المنطقة الفعالة.

ج- من الجزئية أ-(1) يكون جهد القاعدة-الباعث لترانزستورات الدخل: 0.3 V ، وهي قيمة أقل بـ: 0.2 V من جهد القطع، ومن ذلك يكون هامش الضوضاء للحالة (0):

$$\Delta 0 = 0.2\text{ V}$$

من الجزئية أ-(ب) يكون جهد القاعدة-الباعث للترانزستور T_2 : 0.3 V ، وهي قيمة تعطي هامش الضوضاء للحالة (1):

$$\Delta 1 = 0.2\text{ V}$$

ومن هنا نجد أن هوامش الضوضاء متساوية، كما أنها تكون صغيرة تماماً.

د- من الجزئية أ-(1) يكون:

$$I_{C2} = 2.84\text{ mA}$$

$$I_{C3} = (5.2 - 0.75)/1.5 = 2.97\text{ mA}$$

وأيضاً:

$$I_{C4} = (5.2 - 1.55)/1.5 = 2.43\text{ mA}$$

ومن الجزئية أ-(2) يكون:

$$I_{C1} = 3.18\text{ mA}$$

$$I_{C3} = 2.43\text{ mA}$$

$$I_{C4} = 2.97\text{ mA}$$

ومن هنا يصبح:

من الطبيعي ومن الضروري اللجوء إلى الربط بين دوائر مختلف عائلات المنطق، فبفرض أن يكون مطلوباً المواءمة بين بوابات ECL، وبوابات TTL، فمن الطبيعي أن تكون هناك الكثير من الفروق في مستويات المنطق بينهما، ومن هنا يتطلب ذلك إدخال ما يعرف بـ "دوائر إزاحة المستوى" Level shifting circuits بينهما.

12-4 منطق MOS :

لقد أصبحت أجهزة MOSFETs مفضلة كدوائر منطقية نظراً لكثافة التصنيع على الشريحة الواحدة وقلة القدرة المستنفذة، وعند استخدام أجهزة MOS في دوائر المنطق فإنه يتم استخدام أحد النوعين إما نوع n-channel، أو نوع p-channel، وتعرف أنواع هذه الدوائر بمنطق NMOS، أو منطق PMOS على الترتيب، كما يمكن تصنيع نوع التعزيز Enhancement MOSFET لكلا النوعين على نفس الشريحة، والتي يطلق عليها شبه الموصلات والأكسيد والمعدن المتنامة Complementary MOS أو باختصار (CMOS)، وفي هذه النوعية تكون مفضلة حيث تكون القدرة المستنفذة صغيرة جداً.

وبوابة المنطق MOS الأساسية هي عبارة عن عاكس Inverter كما هو موضح في شكل (4-18) حيث يكون الترانزستور T_1 من نوع التعزيز Enhancement MOSFET والذي يعمل كقائد، ويمكن أن يكون الترانزستور T_2 والذي يعمل كحمل من نوع التعزيز Enhancement MOSFET كما في شكل (4-22a)، أو من النوع التفريغ Depletion MOSFET كما في شكل (4-22b) حيث يعمل هذا الترانزستور كحمل بدلاً من زرع مقاومة على الشريحة لتعمل كحمل (حيث تحتل المقاومة مساحة تقدر بحوالي 20 مرة قدر المساحة التي يحتلها المنطق نفسه على الشريحة)، ومما يزيد من الكثافة العالية للتصنيع ووقوع هذا المنطق في تقسيم الدوائر المتكاملة ضمن تكامل النطاق الواسع Large-Scale Integration (LSI).

وتكون المستويات المنطقية لدوائر MOS كالتالي:

$$V(0) \approx 0$$

$$I_E = (2.84 + 3.18)/2 = 3.01 \text{ mA}$$

ويكون التيار المسحوب الكلي:

$$I_{EE} = 3.01 + 2.97 + 2.43 = 8.41 \text{ mA}$$

وعلى ذلك تكون القدرة المستنفذة:

$$= V_{EE} \cdot I_{EE} = 5.2 \times 8.41 = 43.7 \text{ mW}$$

عائلات المنطق ECL :

توجد عائلتان مفضلتان من عائلات المنطق ECL: سلسلة 10xxx أو (10K)، وسلسلة 100xxx أو (100K).

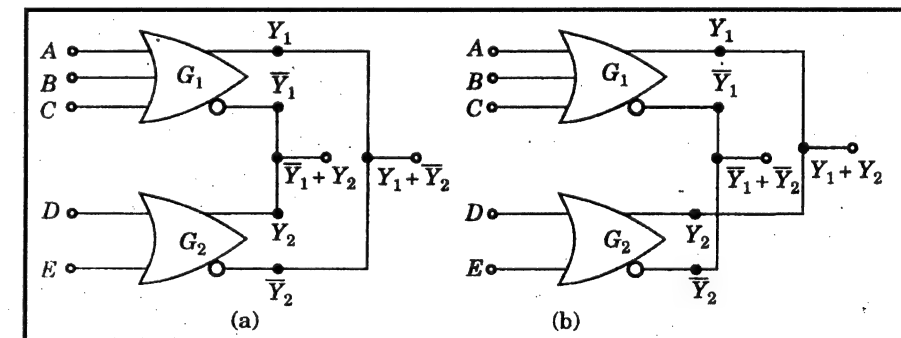
وتعتبر سلسلة 100K هي الأسرع ضمن كل عائلات المنطق، فلها زمن تأخير إنتشار أقل من 1 ns، وبين جدول (4-5) خواص الفلتية لسلاسل المنطق ECL.

جدول (4-5)

السلاسل	جهد التغذية V_{EE}	V_{OH}	V_{OL}	V_{IH}	V_{IL}
10K	5.2	- 0.9	- 1.7	- 1.2	- 1.4
100K	4.5	- 0.9	- 1.7	- 1.2	- 1.4

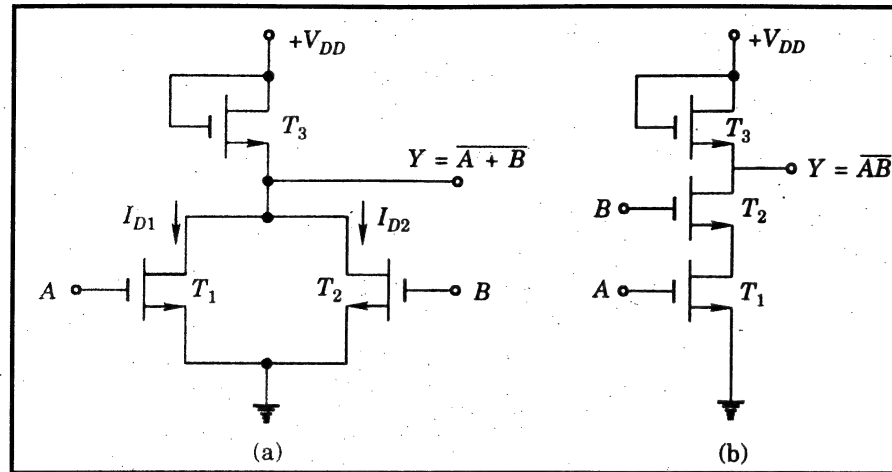
توصيلات المنطق ECL :

يمكننا الحصول على منطق إضافي وذلك بتوصيل خرج بوابتين أو أكثر من بوابات ECL وبدون استخدام مكونات مادية أخرى وكما هو موضح في شكل (4-17).



شكل (4-17) توصيلات البوابات ECL

المواءمة بين بوابات ECL، و TTL :



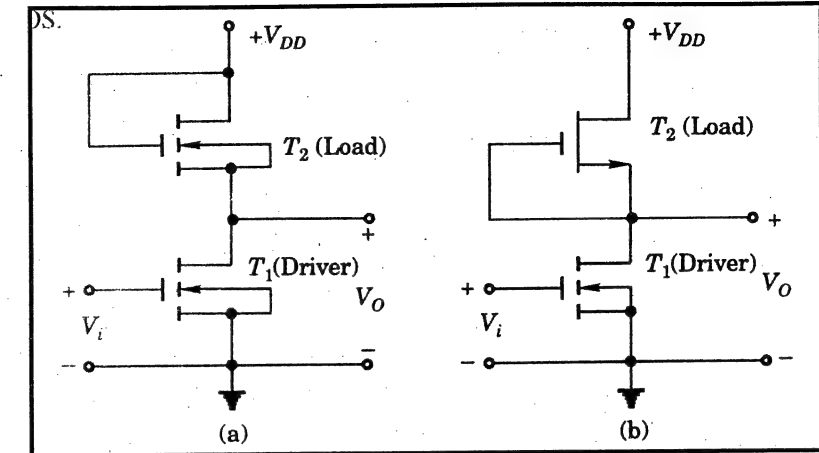
شكل (4-19) بوابات NMOS بـ 2 مدخل

ففى بوابة الشكل (4-19a)، إذا كان كلا الدخلىين 0 فيكون كلا الترانزستورين T_1 و T_2 مفتوحين OFF ($I_{D1} = I_{D2} = 0$)، ومن هنا يكون الخرج V_{DD} ، أما إذا كان أحد الدخلىين أو كلاهما مساويا: $V(1) = V_{DD}$ ، فتكون الترانزستورات المناظرة مغلقة ON، ويصبح الخرج مساويا: 0 V، ويبين جدول (4-6) جدول الحقيقة للبوابة، ويلاحظ أنه يعادل عمل بوابة NOR.

جدول (4-6)

الدخول		الخرج
A	B	Y
0	0	V_{DD}
0	V_{DD}	0
V_{DD}	0	0
V_{DD}	V_{DD}	0

وفى بوابة الشكل (4-19b)، إذا كان أحد الدخلىين أو كلاهما: $V(0) = 0$ ، فيكون الترانزستور المناظر مفتوح OFF، ويكون الجهد خلال ترانزستور الحمل مساويا: 0، ومن هنا يكون الخرج: V_{DD} ، أما إذا كان كلا الدخلىين مساويا: $V(1) = V_{DD}$ فيكون



شكل (4-18) منطق MOS كعكس

$$V(1) \approx V_{DD}$$

وعلى الرغم من أن دوائر المنطق MOS تتماثل كما فى هيتها مع دوائر المنطق ثنائى القطبية DCTL، إلا أن المشكلة المعروفة بتيارات التقوس Hogging currents غير موجودة، وقد تمت مناقشة دوائر المنطق MOSFET فى القسم (3-7).

ويستخدم المنطق MOS بصفة رئيسية فى:

تكامل النطاق الواسع (Large-Scale Integration (LSI)، وتكامل النطاق الواسع جدا (Very Large-Scale Integration (VLSI) ولايستخدم فى تكامل النطاق الصغير (Small-Scale Integration (SSI)، وتكامل النطاق المتوسط (Medium-Scale Integration (MSI) وكما أن معظم المعالجات الدقيقة والذاكرات والأجهزة الطرفية تتحقق بالمنطق NMOS.

بوابات MOSFET NAND & NOR :

يمكن الحصول على بوابات NOR عن طريق قائدات متعددة على التوازي، بينما يمكن الحصول على بوابات NAND عن طريق قائدات متعددة على التوالي، ويبين شكل (4-19a) بوابة NOR بـ 2 مدخل، بينما يبين شكل (4-19b) بوابة NAND بـ 2 مدخل.

كلا الترانزستوران T_1 و T_2 مغلقين ON، ويصبح الخرج مساوياً: 0 V ، ويبين جدول (7-4) جدول الحقيقة للبوابه، ويلاحظ أنه يعادل عمل بوابة NAND

جدول (7-4)

الدخول		الخرج
A	B	Y
0	0	V_{DD}
0	V_{DD}	V_{DD}
V_{DD}	0	V_{DD}
V_{DD}	V_{DD}	0

تفريعات الخرج Fan-out :

حيث أن للأجهزة MOS إعاقة دخل عالية جداً، فيكون تفريعات الخرج Fan-out كبير، إلا أن قيادة عدد كبير من بوابات MOS يزيد من السعة Capacitance عند خرج البوابة الفأدة مما يقلل من سرعة بوابات MOS بدرجة ملحوظة.

والآتى بعد هى بارامترات الجهد والتيار للمعالجات طرازات 8085 و 8086 وأجهزة NMOS أخرى:

$$V_{CC} = 5\text{ V}$$

$$V_{IL} = 0.8\text{ V}$$

$$V_{IH} = 2\text{ V}$$

$$V_{OL} = 0.45\text{ V}, I_{OL} = 2\text{ mA}$$

$$V_{OH} = 2.4\text{ V}, I_{OH} = -400\text{ }\mu\text{A}$$

أزمنة تأخير الإنتشار والقدرة المستنفذة فى أجهزة MOS :

فى أجهزة MOS نجد أن أزمنة تأخير الإنتشار كبيرة بسبب تواجد سعويات كبيرة فى دخل وخرج هذه الأجهزة، علاوة على علو قيم المقاومات التى من خلالها

يتم شحن تفريغ هذه المكثفات، وحيث أن ظاهرة تخزين الشحنات الأقلية غير موجودة فى هذه الأجهزة، فإن سرعة التشغيل ترتبط بصفة رئيسية بسرعة شحن وتفريغ هذه المكثفات.

ونتيجة لتطور تكنولوجيا تصنيع أجهزة MOS، فقد أصبح من الممكن الحصول على سرعات يمكن مقارنتها بسرعات منطق TTL.

كما أن القدرة المستنفذة فى دوائر MOS تكون صغيرة، مما يجعل ذلك مفيداً فى تكامل النطاق الواسع.

4-13 منطق CMOS :

يمكن الحصول على هذا المنطق والذى يطلق عليه شبه الموصلات والأكسيد والمعدن التتامية Complementary MOS (CMOS) بتوصيل قناة MOSFET من نوع n-channel على التوالى بأخرى من نوع p-channel وتوصيل مصبيهما بنقطة واحدة، وأخذ الخرج من المصبب المشترك، كما يتم تطبيق الدخل عند نقطة البوابة المشتركة كما يتبين ذلك من شكل (31-3) .

العاكس CMOS :

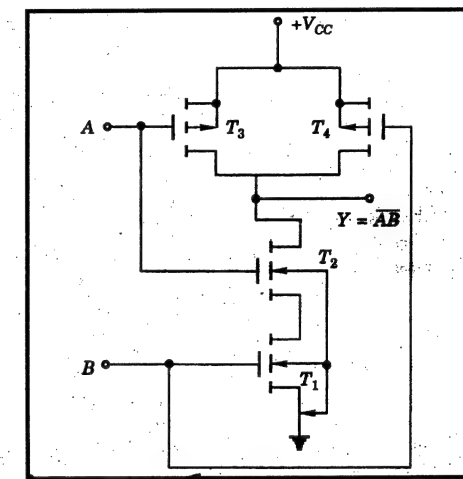
يمثل العاكس المبين فى شكل (31-3) الدائرة الأساسية لمنطق CMOS، وفى هذه الدائرة يكون الجهد: 0 V هو مستوى المنطق (0)، كما يمثل الجهد V_{CC} مستوى المنطق (1)، وعندما يكون: $V_i = V_{CC}$ يصبح الترانزستور T_1 مغلقاً ON، بينما يصبح الترانزستور T_2 مفتوحاً OFF، ولهذا يكون: $V_o \approx 0\text{ V}$ ، وحيث أن الترانزستورات موصلة على التوالى فيكون التيار I_D صغير جداً، ومن الناحية الأخرى عندما يكون $V_i = 0$ ، يصبح T_1 فى وضع فتح OFF كما يكون T_2 فى وضع غلق ON، ولهذا يصبح جهد الخرج: $V_o \approx V_{CC}$ ويكون تيار المصبب I_D صغيراً للمرة الثانية.

وفى الحالتين حيث يكون أياً من الترانزستورين T_1 أو T_2 فى وضع فتح OFF تكون القدرة المستنفذة صغيرة جداً حيث أنها تكون حاصل ضرب التيار التسرب فى وضع الفتح Leakage current \times الجهد V_{CC} .

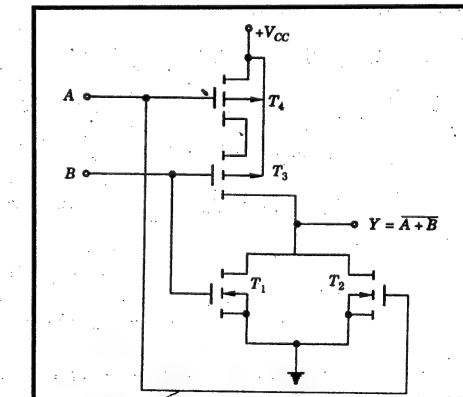
ويمكن تحقيق المزيد من الوظائف المعقدة باستخدام ترتيبات من هذه العواكس.

بوابات CMOS NAND & NOR :

يبين شكل (4-20) بوابة CMOS NAND ذات 2 مدخل ، كما يبين شكل (4-21) بوابة CMOS NOR ذات 2 مدخل، ففي البوابة CMOS NAND يتم توصيل الترانزستورات القائدة NMOS على التوالي بينما توصل ترانزستورات الحمل PMOS على التوازي، أما البوابة CMOS NOR فيتم الحصول عليها بتوصيل الترانزستورات القائدة NMOS على التوازي، بينما توصل ترانزستورات الحمل PMOS على التوالي .



شكل (4-20) بوابة CMOS NAND ذات 2 مدخل



شكل (4-21) بوابة CMOS NOR ذات 2 مدخل

ومن جدول (4-8) يمكن فهم عمل البوابة CMOS NAND .

جدول (4-8)

الخرج	حالات أجهزة MOS				الدخول	
Y	T ₄	T ₃	T ₂	T ₁	B	A
V _{cc}	ON	ON	OFF	OFF	0	0
V _{cc}	OFF	ON	OFF	ON	V _{cc}	0
V _{cc}	ON	OFF	ON	OFF	0	V _{cc}
0	OFF	OFF	ON	ON	V _{cc}	V _{cc}

كما يمكن فهم عمل البوابة CMOS NOR بطريقة مشابهة .

هامش الضوضاء :

يعتبر هامش الضوضاء للدوائر المتكاملة للمنطق CMOS أعلى من مثيله للدوائر المتكاملة للمنطق TTL بدرجة ملحوظة ، فأجهزة CMOS لها جهود تغذية ذات مدى واسع، كما يزيد هامش الضوضاء بزيادة جهد التغذية V_{cc}، ونجد أنه يعادل: 0.45 من الجهد V_{cc} .

سلاسل CMOS 54C00/74C00 :

توجد سلسلتان شائعتا الاستخدام للدوائر المتكاملة لمنطق CMOS، وهما: سلسلة 4000، وسلسلة 54C/74C، وتتكافأ سلسلة المنطق CMOS: 54C/74C مع عائلة المنطق TTL: 54/74 رجل برجل، ووظيفة بوظيفة لذا فإنها تعد من السلاسل المفضلة.

وتتراوح درجة الحرارة التشغيل للسلسلة 54C ما بين 55°C -، و 125°C +، بينما تتراوح للسلسلة 74C ما بين 40°C -، و 85°C +، كما ان السلسلة 54C/74C تتمتع كما ذكرنا بمدى جهد تغذية واسع يتراوح بين 3V و 15V.

ولقد حدثت تطويرات هامة ومؤثرة للسلسلة 54C/74C، فظهرت السلسلة 74HC/74HCT والتي تتمتع بسرعات عالية وقدرات تيارات أفضل، وتعرف السلسلة 74HC بـ "سلسلة CMOS السرعة العالية"، بينما تعرف السلسلة 74HCT بـ "سلسلة

CMOS السرعة العالية المطابقة للمنطق TTL، كما ظهرت السلسلة 74AC/74ACT والتي تتمتع بالسرعات العالية جدا وتعرف السلسلة 74AC بـ "سلسلة CMOS المتقدمة"، بينما تعرف السلسلة 74ACT بـ "سلسلة CMOS المتقدمة المطابقة للمنطق TTL"، وتصل قيمة تفرعات الخرج Fan-out للسلسلة 74HC/74HCT إلى 20، بينما تصل في السلسلة 74AC/74ACT إلى 50 عد قيادتها لسلاسل من CMOS، ويمكن تحديد قيمة تفرعات الخرج Fan-out عند قيادتها لمختلف بوابات سلاسل TTL بالرجوع إلى جدول (3-4) الذى يبين الخواص المختلفة لعائلات المنطق TTL، و جدول (4-9) الذى يبين الخواص المختلفة لعائلات CMOS، كما تعمل هذه السلاسل المتطورة عند جهود تغذية تتراوح بين 2 V و 6 V.

ويبين جدول (4-9) خواص الجهد والتيار لمختلف سلاسل المنطق CMOS 74 وتعمل عند جهد تغذية 5 V، ونلاحظ من الجدول أن تيارات وجهود الخرج للسلاسل 74HC/74HCT/74AC/74ACT تختلف باختلاف قيادتها لبوابات دوائر من نوع CMOS أو من نوع TTL.

وتتطابق سلسلتى 74HCT و 74ACT مع سلسلة TTL فى الدخول والخروج، لذا فهى تستخدم سويا للوصول لتصميم النظام الأفضل من وجهة نظر السرعة، والقدرة المستنفذة، وهوامش الضوضاء، والتكلفة .. إلخ.

جدول (4-9)

الخاصية	الحمل	74C	75HC	74HCT	74AC	74ACT	الوحدات
V_{IH}		3.5	3.85	2.0	3.85	2.0	V
V_{IL}		1.5	1.35	0.8	1.35	0.8	V
V_{OH}	CMOS TTL	4.5	4.4	4.4	4.4	4.4	V
V_{OL}	CMOS TTL	0.5	0.33	0.33	0.37	0.1	V
I_{IH}			1	1	1	1	μA
I_{IL}			-1	-1	-1	-1	μA
I_{OH}	CMOS TTL	-0.1	-0.02	-0.02	-0.05	-0.05	mA
I_{OL}	CMOS TTL	0.36	0.02	0.02	0.05	0.05	mA
			4.0	4.0	24.0	24.0	mA

4-14 الموازنة بين المنطق CMOS والمنطق TTL :

لتحقيق الأداء الأفضل فى النظام المنطقى وحيث تستخدم أجهزة من أكثر من عائلة واحدة، وللاستفادة من الخواص المميزة من كل عائلة والتي تناسب كل جزء من النظام، فعلى سبيل المثال تستخدم الدوائر المتكاملة لمنطق CMOS فى تلك الأجزاء من النظام التى تتطلب قدرة مستنفذة منخفضة، بينما تستخدم الدوائر المتكاملة لمنطق TTL فى الأجزاء من النظام التى تتطلب سرعة تشغيل عالية، كما أن بعض الوظائف المتاحة تأديتها بواسطة المنطق TTL وغيرها يمكن أن تكون متاحة باستخدام المنطق CMOS، ومن هنا كان من الضرورى تجربة الموازنة بين المنطقين CMOS و TTL، فمثلا نجد أن السلسلة 74C من الدوائر المتكاملة للمنطق CMOS يمكنها العمل مع أى مصدر تغذية يتراوح مداه من 3 V إلى 15 V بينما تعمل السلاسل 74HC/74HCT/74AC/74ACT مع مصادر تغذية تتراوح مداها من 2 V إلى 6 V، وحيث أن منبع التغذية 5 V يستخدم فى كل السلاسل 74 للدوائر المتكاملة للمنطق TTL، فعلى هذا يصبح من الضرورى تشغيل أجهزة المنطق CMOS بمنابع تغذية قيمتها 5 V حتى تتحقق الموازنة المناسبة بينها وبين أجهزة المنطق TTL.

المنطق CMOS كقائد للمنطق TTL :

يبين شكل (4-22) بوابة CMOS كقائدة لعدد N من بوابات TTL، ولضمان أفضل عمل لهذا التشكيل، فإنه يتطلب تحقيق الشروط التالية:

$$V_{OH} (CMOS) \geq V_{IH} (TTL) \quad (4-10)$$

$$V_{OL} (CMOS) \leq V_{IL} (TTL) \quad (4-11)$$

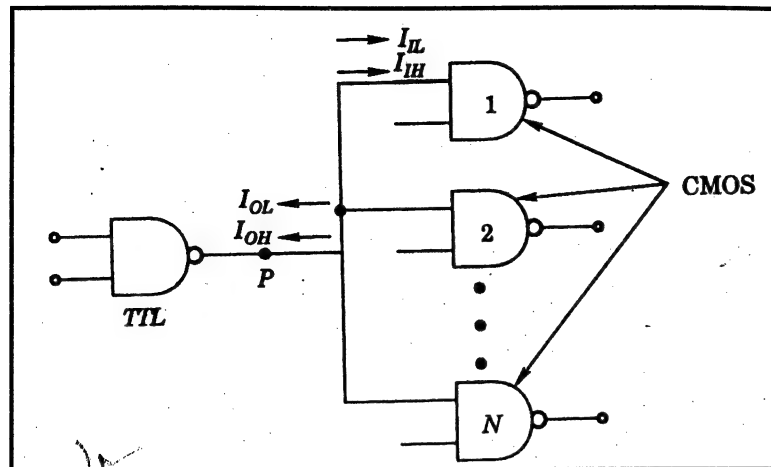
$$-I_{OH} (CMOS) \geq N I_{IH} (TTL) \quad (4-12)$$

$$I_{OL} (CMOS) \geq -N I_{IL} (TTL) \quad (4-13)$$

ومن الخواص الموجودة فى الجدولين (3-4)، و(4-9) نلاحظ مايلى:

1- شروط المعادلتين (4-10)، (4-11) متحققة دائما، وتكون هوامش الضوضاء عند قيادة السلسلة 74ACT لبوابات من السلسلة 74ALS كالتالى :

$$\Delta 1 = 3.36 - 2.00 = 1.76 V$$



شكل (4-23) بوابة TTL كقائدة لعدد N من بوابات CMOS

$$V_{OH} (TTL) \geq V_{IH} (CMOS) \quad (4-14)$$

$$V_{OL} (TTL) \leq V_{IL} (CMOS) \quad (4-15)$$

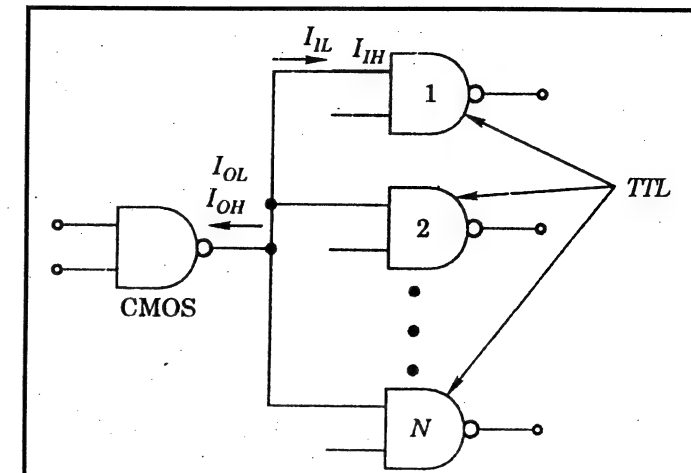
$$-I_{OH} (TTL) \geq N I_{IH} (CMOS) \quad (4-16)$$

$$I_{OL} (TTL) \geq -N I_{IL} (CMOS) \quad (4-17)$$

وتتحقق كل الشروط السابقة دائما في السلاسل 74HC/74HCT/74AC/74ACT عند قيم N العالية، بينما لا يتحقق شرط المعادلة (4-14) في السلسلة 74C، وتستخدم دائرة معدلة لرفع قيمة الجهد $V_{OH} (TTL)$ أعلى من القيمة 3.5 V، وذلك بتوصيل مقاومة قيمتها حوالي 2 kΩ بين النقطتين P و V_{CC} ، فتعمل كرفع إيجابي Passive pull-up والذي يرفع الجهد عند النقطة P لقيمة أعلى عندما يصبح الترانزستور T_4 غير موصل.

4-15 منطق الحالات الثلاثة TRI-STATE :

في دوائر المنطق المعتادة والتي نعرفها جيدا، نجد أن هناك حالتين للخروج هما: الحالة المنخفضة LOW، والحالة العالية HIGH، وحيثما لا يكون الخروج في الحالة المنخفضة LOW، فهو بالتالي في الحالة الأخرى، أي في الحالة العالية HIGH،



شكل (4-22) بوابة CMOS كقائدة لعدد N من بوابات TTL

$$\Delta 0 = 0.80 - 0.37 = 0.43 V$$

2- شروط المعادلتين (4-12)، (4-13) متحققة دائما للسلاسل 74HC/74HCT/74AC/74ACT، كما تختلف عدد البوابات N التي يتم قيادتها باختلاف السلاسل، فنجد مثلا أن السلسلة 74 ACT يمكنها قيادة عدد 240 بوابة من السلسلة 74ALS.

* في حالة السلسلة 74C نجد إن شرط المعادلة (4-12) يتحقق لقيم N صغيرة، أما شرط المعادلة (4-13) فهو غير مُحقق حتى ولو عند: $N = 1$ عدا في حالة سلاسل 74L، و 74ALS للمنطق TTL، ويمكن التغلب على هذه الصعوبة باستخدام بوابات عزل Buffer من نوع المنطق CMOS يتاح منها تيار خرج مناسب.

* يتحقق شرط المعادلة (4-13) عندما تقود بوابة من السلسلة 74C لعدد 2 من بوابات السلسلة 74L، أو لعدد 3 من بوابات السلسلة 74ALS.

المنطق TTL كقائد للمنطق CMOS :

يبين شكل (4-23) بوابة TTL كقائدة لعدد N من بوابات CMOS، ولضمان أفضل عمل لهذا التشكيل، فإنه يتطلب تحقيق الشروط التالية:

وبالمثل حيثما لا يكون في الحالة العالية HIGH، فهو بالتالي في الحالة الأخرى، أى في الحالة المنخفضة LOW.

وفي الأنظمة الرقمية المعقدة كالحاسبات الدقيقة والمعالجات الدقيقة يكون المطلوب توصيل عدد من مخارج لبوابات على خط مشترك يُعرف بـ "ناقل البيانات" Data Bus، ومما يتطلب بالتالي قيادة عدد من مداخل لبوابات، وعند توصيل عدد من مخارج لبوابات على ناقل البيانات فإننا نتعرض لبعض المشاكل ومنها:

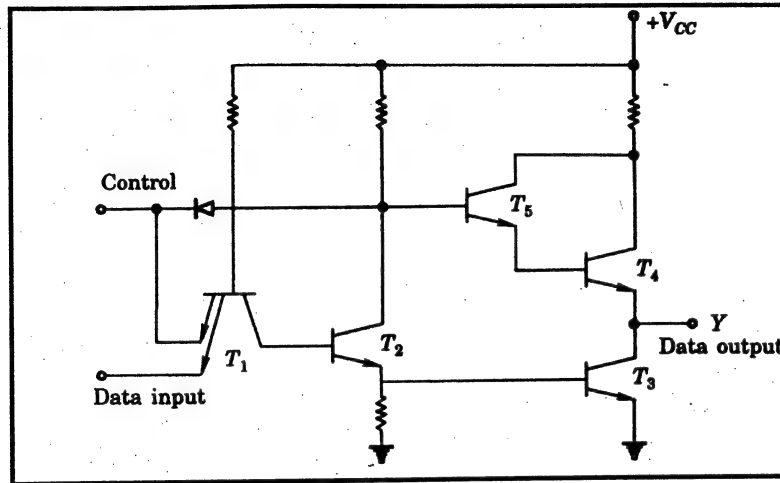
- 1- المخارج المعروفة بمخارج العمود الطومى Totem-pole outputs لا يمكن توصيلها معا بسبب التيار الكبير جدا المسحوب من منبع التغذية ومما يتسبب فى تسخين الدوائر المتكاملة وبالتالي قد يتسبب ذلك فى إنهاؤها.
- 2- مخارج المجمع المفتوح Open-collector outputs يمكن توصيلها معا بمقاومة مجمع مشتركة موصلة خارجيا، مما قد يتسبب فى مشاكل فى الأحمال وسرعات التشغيل.

وللتغلب على هذه المشاكل طورت بعض الدوائر الخاصة والتي تتواجد فيها حالة خرج ثلاثة تضاف للحالتين المنخفضة LOW والعالية HIGH، تعزى إلى الحالة الثالثة Third state، أو حالة الممانعة العالية High-impedance state، وتعرف هذه الدوائر بمنطق "الحالات الثلاث" Tri-state logic، أو Three-state logic وتختصر بـ : TSL.

فمثلا يوجد فرق وظيفى أساسى بين تمديدات بوابة OR ومنطق TSL، ففي تمديدات البوابة OR يكون الخرج Y: ($Y = Y_1 + Y_2$)، أما فى منطق TSL فالنتيجة لا تكون متماشية مع جبر بول، ولكن المقدرة على تجميع العديد من الوظائف من الناحية التجارية.

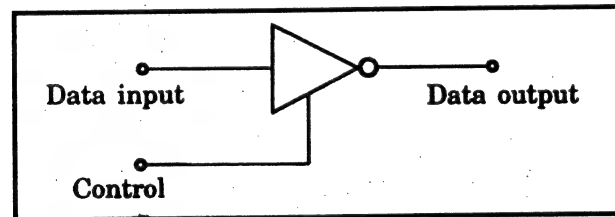
وبين شكل (24-4) دائرة عاكس TSL ذات 3 حالات خرج، فعندما يكون التحكم منخفضا LOW، فعندئذ تزال القيادة من الترانزستورات T_3 و T_4 ومن هنا

يصبحان فى القطع Cut-off ويكون الخرج فى الحالة الثالثة، أما عندما يكون التحكم عاليا HIGH، يصبح الخرج Y: (1 أو 0) ومعتمدا على بيانات الدخل Data-input.



شكل (24-4) منطق TSL يعمل كعاكس

كما يبين شكل (24-4) رمز للمنطق TSL يعمل كعاكس.



شكل (25-4) رمز للمنطق TSL يعمل كعاكس

ويوضح جدول (10-4) جدول الحقيقة لهذا المنطق .

جدول (10-4)

بيانات الدخل	التحكم	بيانات الخرج
0	0	HIGH - Z
1	0	HIGH - Z
0	1	1
1	1	0

كما يوضح جدول (4-11) خصائص تيارات الدخل والخرج للمنطق TSL الذى يعمل كعاكس.

جدول (4-11)

البارامتر	دخول التحكم	
	منخفض LOW	عالي HIGH
I_{IH}	40 μA	40 μA
I_{IL}	-1.6 mA	-1.6 mA
I_{OH}	40 μA	-5.2 mA
I_{OL}	-40 μA	1.6 mA

* وفى نهاية الفصل يمكننا القول:

تمت مناقشة المعالم الأساسية لغالبية عائلات المنطق ، ويمكن الوصول إلى الاستنتاجات الهامة التالية :

1- لم تعد العائلات RTL، و DTL مستخدمة فى أى أنظمة رقمية جديدة، ويرجع ذلك بسبب سرعاتها المنخفضة والقدرة العالية المستنفذة وإنخفاض قيمة تفريعات الخرج.

2- عائلة المنطق TTL هى أفضل عائلات المنطق عامة حيث تتاح فى 7 سلاسل مختلفة مع مدى واسع من سرعات التشغيل والقدرات المستنفذة وقيم تفريعات الخرج، كما يتاح فى هذه العائلة عدد كبير من الوظائف فى تكامل النطاق الصغير SSI والمتوسط MSI، كما تتاح الدوائر المتكاملة لمنطق TTL ذات مخرج العمود الطومى (والذى يقلل حاصل ضرب السرعة x القدرة)، وذات مخرج المجمع المفتوح (والذى يتيح إمكانية عملية توصيلات AND وناقل المعلومات)، ومخارج TSL (وهى نموذجياً تناسب عملية ناقل المعلومات).

3- عائلة المنطق HTL هى أنسب عائلات المنطق إستخداماً فى الأوساط الصناعية، حيث يرتفع مستوى الضوضاء الكهربائية فى هذه الأوساط .

4- عائلة المنطق ECL هى أسرع عائلات المنطق، إلا أن إنخفاض هوامش الضوضاء وكبر القدرة المستنفذة تعتبر من عيوبها الرئيسية، وعند مواعمتها مع عائلات المنطق الأخرى يتطلب ذلك إدخال دوائر إزاحة المستوى Level shifting circuits.

5- عائلة المنطق I^2L هى عائلة المنطق المشبعة الثنائية القطبية الوحيدة والمناسبة لتكامل النطاق الواسع LSI حيث الإحتياج إلى منطقة صغيرة من شريحة سيليكون وقدرة مستهلكة منخفضة، كما نجد أن جهد التغذية المطلوب يكون منخفضاً، فبالنظر إلى تناسب هذه العائلة بدرجة كبيرة للأنظمة التى تعمل بالبطاريات، كما يمكن لهذه العائلة من قيادة دوائر TTL إذا تم توصيل حمل مقاومة فى مرحلة خرج للمنطق I^2L مع جهد تغذية أعلى قيمته 5 V.

6- تحتل أجهزة MOS جزءاً صغيراً جداً فى منطقة من شريحة سيليكون مقارنة بالأجهزة الثنائية القطبية، كما تحتاج لقدرة صغيرة جداً، ولهذا فهى أفضل عائلات المنطق لتكامل النطاق الواسع LSI، أما العيب الرئيسى لهذه الأجهزة فهو سرعتها المنخفضة، والتى تم تطويرها مع تطوير تكنولوجيا تصنيع هذه الأجهزة.

7- تتميز عائلة المنطق CMOS بأن خاصية قيمة حاصل ضرب السرعة x القدرة هى أصغر القيم ضمن عائلات المنطق جميعاً، كما أنها تحتاج لقدرة صغيرة جداً، كما أنها تصبح المفضلة أكثر فى تكامل النطاقين المتوسط MSI، والواسع LSI.

* وفى النهاية يبين جدول (4-12) مقارنة بين مختلف عائلات المنطق .

جدول (4-12)

المنطق	البارامتر	البوابة الأساسية	تفريع الخرج	القدرة المستنفذة لكل بوابة (mW)	حصانة الضوضاء	زمن تأخير الانتشار لكل بوابة (ns)	P.J
:RTL		NOR	5	12	عادي	12	144
:I ² L		NOR	(1)	(2)	ضعيف	25-250	<1
:DTL		NAND	8	8-12	جيد	30	300
:HTL		NAND	10	55	ممتاز	90	4950
: TTL							
القياسي		NAND	10	10	جيد جدا	10	100
قدرة عالية وسرعة عالية H		NAND	10	22	جيد جدا	6	132
قدرة منخفضة وسرعة منخفضة L		NAND	20	1	جيد جدا	33	33
شوتكي سرعة منخفضة LS		NAND	20	2	جيد جدا	9.5	19
شوتكي S		NAND	10	19	جيد جدا	3	57
شوتكي متقدم AS		NAND	40	10	جيد جدا	1.5	15
شوتكي متقدم قدرة منخفضة ALS		NAND	20	1	جيد جدا	4	4
:ECL							
10K		OR-NOR	25	40-55	ضعيف	2	100
100K		OR-NOR		40-55	ضعيف	0.75	40
:MOS		NAND	20	10	جيد	300	60
: CMOS							
74C		NOR أو NAND	50	0.01	جيد جدا	70	0.7

74HC	NOR أو NAND	20	0.0025	جيد جدا	18	0.045
74HCT	NOR أو NAND	20	0.0025	جيد جدا	18	0.045
74AC	NOR أو NAND	50	0.005	جيد جدا	5.25	0.026
74ACT	NOR أو NAND	50	0.005	جيد جدا	4.75	0.024

ملاحظة:

(1) تعتمد على تيار الحقن.

(2) من 6nw إلى 70μw

تدريبات

تدريب (1-4) :

في شكل (4-4) الذى يمثل منطق RTL NOR بـ 2 مدخل يسوق عدد N من البوابات المتشابهة ، احسب القدرة المتوسطة المزودة من V_{CC} للبوابات القائدة عندما تقود 5 بوابات ، وبفرض أن :

$$V_{BE,sat} \approx 0.8 \text{ V} , V_{CE,sat} \approx 0.2 \text{ V} , h_{FE} = 10 .$$

مع إهمال تيارات التسريب .

تدريب (2-4) :

في دائرة الشكل (4-4)، احسب: جهد الخرج V_o ، وهامش الضوضاء $\Delta 1$ عند: $N = 5, 6, 7, 8, 9, 10$ مع فرض أن: $h_{FE} = 10$.

تدريب (3-4) :

في دائرة DTL المبينة في شكل (10-4)، ماذا يحدث إذا:

أ- حذف أحد الموحيدين D_1 أو D_2 .

ب- إضافة موحد ثالث D_3 على التوالى مع الموحيدين D_1 و D_2 .

تدريب (4-4) :

احسب قيمة h_{FE} المطلوبة لكي يصبح قيمة تفريعات الخرج مساوية 10 في دائرة DTL المبينة في شكل (10-4).

تدريب (5-4) :

في دائرة DTL NAND المعدلة والمبينة في شكل (11-4)، بين أنه عندما يكون الترانزستور T_1 موصلاً فإنه يصبح في المنطقة الفعالة وليس في منطقة التشبع.

تدريب (6-4) :

إشرح عمل دائرة DTL NAND المعدلة والمبينة في شكل (11-4)، واحسب:

أ- تفريعات الخرج.

ب- هامش الضوضاء.

ج- القدرة المتوسطة المستنفذة.

بفرض أن : $h_{FE} = 30$.

تدريب (7-4) :

في دائرة HTL المبينة في شكل (12-4)، احسب:

أ- تفريعات الخرج.

ب- هامش الضوضاء.

ج- القدرة المتوسطة المستنفذة.

بفرض أن : $h_{FE} = 40$.

الفصل الخامس

تصميم الدوائر المنطقية التوافقية

1-5 مقدمة

2-5 التمثيل القياسي للدوائر المنطقية

3-5 تمثيل الدوائر المنطقية باستخدام K-map

4-5 تبسيط K-maps باستخدام بوابة EX-OR، EX-NOR

5-5 K-maps 5، 6 متغيرات

6-5 تطبيقات لتصميم بعض الدوائر

7-5 تصميم المنطق التوافقي باستخدام الدوائر التكميلية

النطاق المتوسط MSI

8-5 المرحلات واستخداماتها في تصميم المنطق التوافقي

9-5 الموزعات واستخداماتها في تصميم المنطق التوافقي

10-5 الجايف واستخدامه كطارد

11-5 العمليات الحسابية بشفرة BCD

12-5 وحدة الحساب والمنطق

13-5 المقارنات الرقمية

14-5 مولدات النبضة / الفاصلة

15-5 مقلبات الشفرة

16-5 كواشف أجهزة العرض

5-1 مقدمة :

في الفصل الأول تمت دراسة العمليات المنطقية وجبر بول، وعرفنا أن نظريات بول الجبرية تستخدم في التعامل مع التعبيرات المنطقية، كما وضحنا أنه يمكن تنفيذ التعبيرات المنطقية باستخدام البوابات المنطقية Logic gates، ومع إمكانية تبسيط التعبير المنطقي فإنه بالتالي يمكن تقليل عدد البوابات المستخدمة وأيضا تقليل عدد أطراف المداخل Input terminals لهذه البوابات لتحقيق هذا التعبير المنطقي، ولهذا فإن عملية تبسيط التعبير المنطقي هامة جداً، حيث يمكن توفير الكثير من المكونات المادية المطلوبة عند تصميم نظام معين.

كما يمكن تحقيق عدد كبير من الدوال أو الوظائف بدائرة تكاملية واحدة، ولهذا لا بد من أن نكون قادرين على الاستخدام الأمثل للدوائر التكاملية عند تصميم الأنظمة الرقمية، ولقد تطرقنا إلى بعض أنواع البوابات المختلفة على شكل دوائر متكاملة في القسم (1-7)، كما سيتم في هذا الفصل مناقشة بعض الدوائر الأخرى على شكل الدوائر المتكاملة.

وأساساً يتم تقسيم الدوائر الرقمية إلى فئتين رئيسيتين:

1- الدوائر التوافقية Combinational circuits.

2- الدوائر التتابعية Sequential circuits.

ففي الدوائر التوافقية يكون الخرج في أي لحظة من الوقت معتمداً على الدخل المتواجد عند نفس الوقت، وبما يعني عدم وجود أي نوع من الذاكرة في هذه الدوائر، أما في الدوائر التتابعية فيعتمد الخرج فيها في أي لحظة من الوقت على الدخل المتواجد عند نفس اللحظة من الوقت، بالإضافة إلى الدخول أو الخروج السابقة، وهذا يعني وجود عناصر Elements مستخدمة في تخزين معلومات سابقة، والتي تعرف بعناصر الذاكرة Memory.

كما يمكن أن تحتوى الأنظمة المنطقية التتابعية عند تصميمها على أنظمة فرعية توافقية، وسيتم هنا دراسة تصميم الأنظمة التوافقية، أما الأنظمة التتابعية فسوف يتم التطرق إليها لاحقاً.

ويمكن تحديد متطلبات تصميم الدوائر التوافقية في واحدة من الطرق الآتية:

1- مجموعة من الجمل Statements.

2- تعبير من تعبيرات بول.

3- جدول الحقيقة.

والهدف الآن هو تصميم دائرة باستخدام البوابات التي تمت دراستها من قبل ، أو التصميم باستخدام بعض الدوائر الأخرى التي هي في الحقيقة مشتقة من البوابات الأساسية، وبما يحقق المطلوب - ماهو معروف في فلسفة التصميمات الهندسية - بأقل عدد من المكونات Components لتحقيق التكلفة المنخفضة والتوفير في الحجم، وكذلك التوفير في متطلبات القدرة المستهلكة.

وتوجد طريقتان لتصميم الدوائر التوافقية، إحداها الطريقة التقليدية والتي سوف يتم مناقشتها في هذا الفصل وفيها يتم تبسيط تعبير بول أو جدول الحقيقة بواسطة الطرق القياسية Standard methods، ثم تحقيق هذا التعبير المبسط باستخدام البوابات، أما الطريقة الثانية فعادة لا تحتاج إلى أي يتم تبسيط للتعبير المنطقي أو جدول الحقيقة حيث يستخدم بدلا منها الدوال المنطقية المركبة والتي تكون متاحة في الدوائر المتكاملة المتوسطة النطاق Medium Scale ICs (MSI)، والدوائر المتكاملة الواسعة النطاق Large Scale ICs (LSI).

وفي تبسيط دوال بول ، يتم استخدام الطرق التالية:

1- الطريقة الجبرية Algebraic method.

2- تقنية خريطة كارنوف K-map technique (K-map) - KARNAUGH.

3- تقنية خريطة المتغير المنضم Variable Entered Mapping (VEM) technique.

4- طريقة كوين-ماكلوسكي QUINE-McCLUSKEY method.

وسيتم هنا بالإكتفاء بالطريقتين الأولى والثانية، حيث تعد تقنية خريطة كارنوف K-map أبسط الطرق وأكثرها شيوعاً، حيث يمكن إستخدامها إلى حتى 6 متغيرات كما سيتم توضيحه.

5-2 التمثيل القياسي للدوال المنطقية :

يتم التعبير عن الدالة المنطقية بدلالة مايعرف بالمتغيرات المنطقية Logic variables، ويستخدم الشكل الثنائي Binary form في تمثيل الدوال والمتغيرات المنطقية، كما يمكن التعبير عن أي دالة إختيارية بأحد الأشكال الآتية:

1- شكل مجموع حواصل الضرب Sum-Of-Products form (SOP).

2- شكل مضروب المجموعات Product-Of-Sums form (POS).

وهذا لايعنى عدم إمكانية كتابة الدالة المنطقية على أشكال أخرى، بل يمكن كتابتها بأشكال عديدة، إلا ان الشكلين المذكورين هما أنسب الأشكال وأقربها إلى الطرق التقليدية لتصميم الدوائر، والتي ستكون واضحة من المناقشات التالية.

مثال (5-1) :

من المعادلة المنطقية التالية:

$$Y = (A + BC)(B + \bar{C}A) \quad (5-1)$$

أ- مطلوب استخدام البوابات في تصميم دائرة تحقق هذه المعادلة.

ب- بين إذا كان من الممكن تصميم الدائرة باستخدام نوع واحد من البوابات (NAND أو OR)، وإذا تحقق ذلك فمطلوب تصميم هذه الدائرة.

ج- بين إذا كان من الممكن تبسيط هذه المعادلة، وفي حالة تحقيق ذلك فمطلوب تبسيطها ثم تصميمها.

د- قارن بين الدوائر التي تم الحصول عليها في البنود السابقة من حيث عدد البوابات وعدد المداخل وأنواع البوابات وزمن تأخير الانتشار.

الحل :

من المعادلة المعطاه، نجد أننا أمام 3 مدخل متغير منطقي A و B و C كما نجد أن الخرج ممثل بالمتغير Y، ويظهر المتغير C على شكل C و \bar{C} ، ويسمى المتغير

الموجود على الشكل المكمل Complemented أو الموجود على الشكل غير المكمل Uncomplemented بالمتغير الواقعى Literal.

أ- يمكن ببساطة تمثيل الدوائر التى تستخدم البوابات وذلك بالنظر إلى المعادلة ثم البحث عن البوابات الأساسية التى يمكن استخدامها لتنفيذ أجزاء المعادلة المختلفة، ثم توصيل هذه الأجزاء ببعضها للوصول فى النهاية إلى الدائرة المطلوبة فنفرض أولاً أن كل إشارات Signals المتغيرات الموضوعية متاحة سواء أكانت على الشكل غير المكمل مثل: C، أو على الشكل المكمل مثل: \bar{C} .

(1) بالنظر إلى المقطع $(A + BC)$ ، فهو مكون من جزئيتين، الجزئية الأولى تمثلها متغير واقعى واحد هو: A، أما الجزئية الثانية BC فيمثلها المتغيرين الواقعين B و C، والتى يمكن تحقيقها باستخدام بوابة AND ذات مدخلين، ثم تجميع الجزئيتين A و B و C باستخدام بوابة OR ذات مدخلين، ونحصل فى النهاية على التحقيق الكامل للمقطع $(A + BC)$ عند نهاية الخرج Y_1 ، وكما هو موضح فى شكل (a-1-5)، أى أن:

$$Y_1 = (A + BC)$$

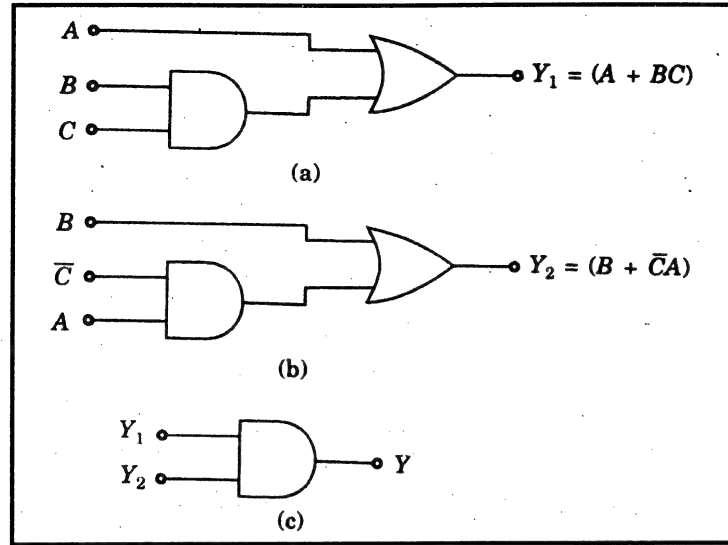
(2) بالمثل وبالنظر إلى المقطع $B + \bar{C}A$ ، فهو مكون من جزئية يمثلها متغير واقعى واحد هو: B، بالإضافة إلى الجزئية $\bar{C}A$ ويمثلها المتغيرين الواقعين \bar{C} و A، ويتم تحقيق هذا المقطع بنفس الخطوات السابقة عند تنفيذ المقطع $(A + BC)$ وكما هو موضح فى شكل (b-1-5) حيث يكون:

$$Y_2 = (B + \bar{C}A)$$

(3) والآن يتم التحقيق الكامل للمعادلة باستخدام بوابة AND ذات مدخلين هما: Y_1 ، Y_2 ، ونحصل على الخرج Y، كما هو موضح فى شكل (c-1-5) حيث يكون:

$$Y = Y_1 \cdot Y_2$$

* وفى النهاية نجد أن المعادلة قد تحققت بعدد 2 بوابة من نوع OR كل منهما بمدخلين، وعدد 3 بوابة من نوع AND كل منها بمدخلين أيضاً.



شكل (1-5) الدوائر المنطقية التى تحقق المعادلة (1-5)

ب- يمكن تبسيط المعادلة بطريقتين:

- شكل مجموع حواصل الضرب Sum-Of-Products form (SOP)

- شكل مضروب المجموعات Product-Of-Sums form (POS)

(1) شكل مجموع حواصل الضرب (SOP):

يمكن كتابة المعادلة (1-5) باستخدام النظرية (9-1)، فتكون على الصورة:

$$Y = A(B + \bar{C}A) + (BC)(B + \bar{C}A)$$

$$= AB + A\bar{C}A + BCB + BC\bar{C}A \quad (5-2)$$

باستخدام النظرية (6-1) يكون:

$$A\bar{C} = (A.A).\bar{C} = A\bar{C}$$

وأيضاً يكون:

$$BCB = (B.B).C = BC$$

وباستخدام النظرية (8-1)، يكون:

$$BC\bar{C}A = B(C.\bar{C}).A = B.0.A$$

ومن النظرية (4-1)، يكون:

$$BC\bar{C}A = B.0.A = 0$$

وبالرجوع إلى المعادلة (2-5)، يكون:

$$Y = AB + A\bar{C} + BC \quad (5-3)$$

ويسمى الشكل المُمثل بالمعادلة (3-5) بشكل مجموع حواصل الضرب (SOP)، ويمكن تحقيق المعادلة باستخدام تشكيل AND-OR كما في شكل (a-2-5) ويعرف هذا التحقيق بـ "التحقيق بمستويين" Two-level realization، حيث يتكون المستوى الأول من عدد 3 بوابات AND كل منها بمدخلين، بينما يتكون المستوى الثاني من بوابة واحدة OR بثلاثة مدخل.

وباستخدام نظرية (22-1) يمكن كتابة المعادلة (3-5) لتكون على الصورة:

$$\begin{aligned} \bar{Y} &= \overline{AB + A\bar{C} + BC} \\ &= \overline{AB} \cdot \overline{A\bar{C}} \cdot \overline{BC} \end{aligned} \quad (5-4)$$

أو يمكن أن نقول:

$$\bar{Y} = \bar{Y}_1 \cdot \bar{Y}_2 \cdot \bar{Y}_3$$

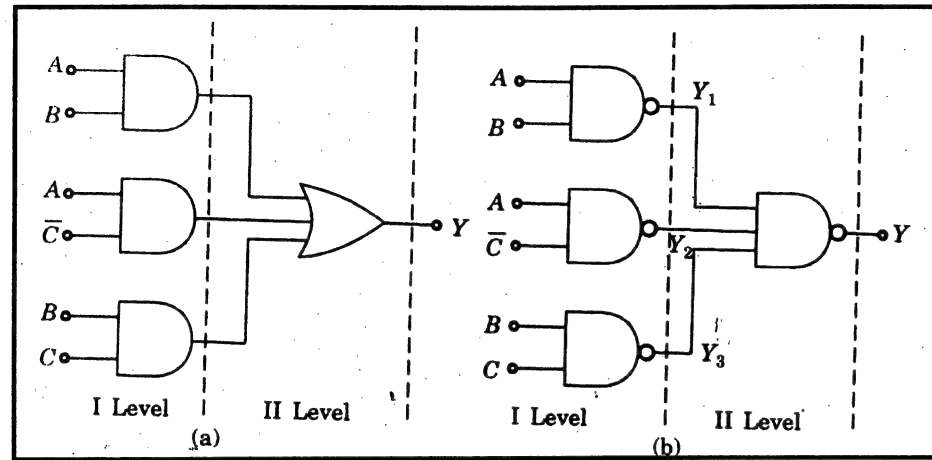
$$Y_1 = \overline{AB}$$

$$Y_2 = \overline{A\bar{C}}$$

$$Y_3 = \overline{BC}$$

ويتم تمثيل المعادلة (4-5) باستخدام بوابات NAND فقط، كما في شكل (b-2-5) وهو أيضا تحقيق بمستويين، وعلى هذا نجد أنه عند تمثيل المعادلة على الشكل

SOP، فيمكن تصميم الدائرة باستخدام نوع واحد من البوابات (NAND) عددها 4، ثلاثة منها بمدخلين بينما الرابعة بثلاثة مدخل.



شكل (2-5) تحقيق المعادلة (3-5) باستخدام بوابات AND-OR، وبوابات NAND-NAND

(2)- شكل مضروب المجموعات (POS) Product-Of-Sums :

يمكن كتابة المعادلة (1-5) باستخدام النظرية (10-1) لتكون على الصورة:

$$Y = (A + B)(A + C)(B + \bar{C})(B + A)$$

ومن النظرية (6-1) يكون:

$$(A + B)(B + A) = (A + B)$$

ومنه يكون:

$$Y = (A + B).(A + C).(B + \bar{C}) \quad (5-5)$$

ويسمى شكل التمثيل للمعادلة (3-5) بشكل مضروب المجموعات (POS)، ويمكن تحقيق المعادلة باستخدام تشكيل OR-AND كما في شكل (a-3-5)، وهو أيضا تحقيق بمستويين، حيث يتكون المستوى الأول من عدد 3 بوابات OR كل منها بمدخلين، بينما يتكون المستوى الثاني من بوابة واحدة AND بثلاثة مدخل. وباستخدام نظرية (21-1) يمكن كتابة المعادلة (5-5) لتكون على الصورة :

ج- (1) تبسيط المعادلة (3-5) :
بالرجوع للمعادلة (3-5) ، يكون :

$$Y = AB + A\bar{C} + BC$$

ومن نظرية (19-1) يكون :

$$Y = BC + A\bar{C} \quad (5-7)$$

(2) تبسيط المعادلة (5-5) :

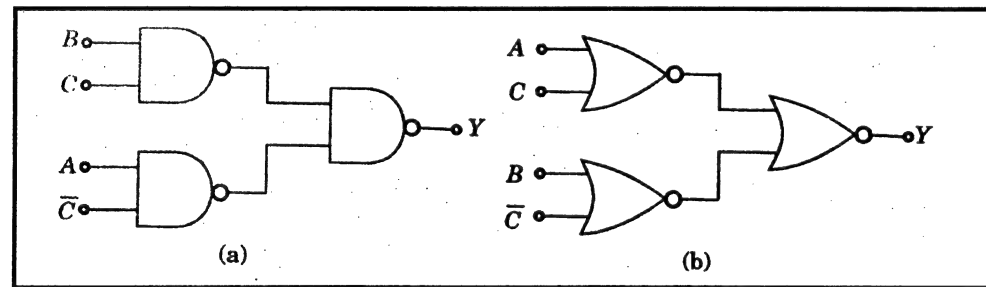
بالرجوع للمعادلة (5-5) ، يكون :

$$Y = (A + B).(A + C).(B + \bar{C})$$

ومن نظرية (20-1) يكون :

$$Y = (A + C).(B + \bar{C}) \quad (5-8)$$

ويكون تمثيل المعادلتين (7-5) و (8-5) ، كما هو موضح في الشكلين (5-4-4-5) ، (a) ، (b-4-5)



شكل (4-5) تحقيق المعادلتين (7-5) ، (8-5)

ومن هنا نرى أن متطلبات البنود (أ)، و (ب)، و (ج) تختلف، ويبين جدول (5-5) تلخيص لهذه المتطلبات.

حيث يمكن مقارنة النتائج كالاتى :

أو:

$$\bar{Y} = (A + B)(A + C) + (B + \bar{C})$$

$$= (\overline{A + B}) + (\overline{A + C}) + (\overline{B + \bar{C}})$$

$$Y = \bar{Y}_A + \bar{Y}_B + \bar{Y}_C \quad (5-6)$$

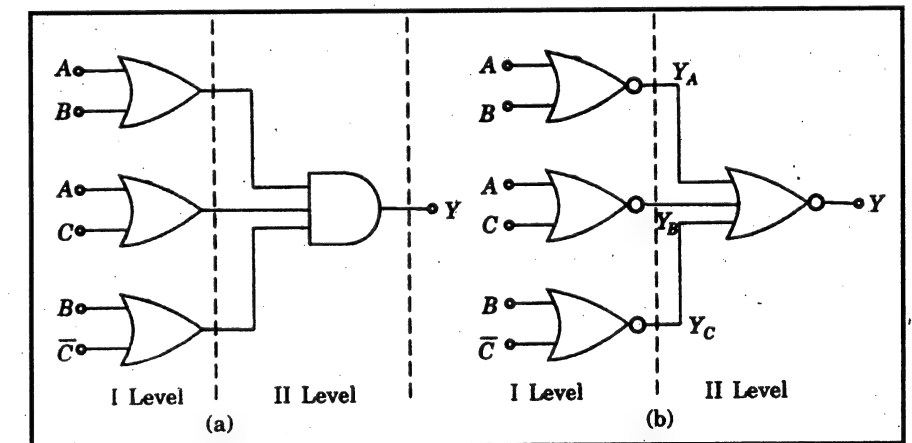
حيث:

$$Y_A = \overline{A + B}$$

$$Y_B = \overline{A + C}$$

$$Y_C = \overline{B + \bar{C}}$$

ويتم تمثيل المعادلة (5-6) باستخدام بوابات NOR فقط ، كما في شكل (5-3-5) وهو أيضا تحقيق بمستويين، وعلى هذا نجد أنه عند تمثيل المعادلة على الشكل POS، فيمكن تصميم الدائرة باستخدام نوع واحد من البوابات (NOR) عددها 4، ثلاثة منها بمدخلين بينما الرابعة بثلاثة مدخل .



شكل (3-5) تحقيق المعادلة (5-5) باستخدام بوابات OR-AND ، وبوابات NOR-NOR

* تحقيق البند (أ) يحتاج بوابات مختلفة وكثيرة، علاوة على تحقيق ذلك من خلال 3 مستويات Three-level realization، وبما يسبب زيادة في زمن تأخير الانتشار ومنه إلى تقليل سرعة التشغيل، إلا أن التحقيق من خلال البندين (ب)، و(ج) يكون أكثر فائدة حيث يستخدم نوع واحد من البوابات (NAND، أو NOR) والذي يكون مناسباً أكثر ومن السهل تحقيقه حيث يتوافر العديد من النوع الواحد من البوابات في حزمة Package واحدة من دائرة تكاملية، ألا أن التنفيذ بالبند (ج) يتطلب عدد أقل من البوابات، والذي يظهر منه أن تبسيط التعبيرات الرقمية مفيد.

* ونجد أن المعادلتين (3-5) و (5-5) واللّتين تمثلان الشكلين (SOP) و (POS) على الترتيب، لا يحتوي كل مقطع من المعادلة بالمتغيرات الواقعية الثلاثة مجتمعة، وفي حالة إحتواء كل المتغيرات الواقعية في كل المقاطع في الشكلين (SOP) و (POS)، فيسميان بالشكلين القياسيين Standard، أو القانونيين Canonical، كما يسمى كل مقطع من الشكل (SOP) القياسي مثل المقطع (AB) من المعادلة (3-5) بمدلول أدنى Minterm، بينما يسمى كل مقطع من الشكل (POS) القياسي مثل المقطع (A+B) من المعادلة (5-5) بمدلول أقصى Maxterm

جدول (1-5)

الجزء (أ)	الجزء (ب)	الجزء (ج)
3 بوابة AND كل منهما بمدخلين . و : 2 بوابة OR كل منهما بمدخلين . و : 3 بوابة NAND كل منها بمدخلين . و : 1 بوابة NAND بـ 3 مداخل .	3 بوابة AND كل منهما بمدخلين . و : 1 بوابة OR بـ 3 مداخل . أو : 3 بوابة NOR كل منها بمدخلين . و : 1 بوابة NOR بـ 3 مداخل .	3 بوابة NAND كل منها بمدخلين . و : 2 بوابة OR كل منهما بمدخلين . و : 3 بوابة AND بـ 3 مداخل . أو : 1 بوابة AND بـ 3 مداخل .

ويمكن تحويل كل شكل من الشكلين (SOP)، و (POS) الغير قياسي إلى الشكل القياسي كالآتي:

* تحويل الشكل (SOP) الغير قياسي إلى الشكل القياسي :

يتم تحويل الشكل (SOP) الغير قياسي إلى الشكل القياسي، وذلك بعمل ANDing لكل مقطع من المعادلة بالمتغير الغير موجود في المقطع بأن يتم تمثيل هذا المتغير الغير موجود بـ Oring له مع مكمله، فمثلاً إذا كان لدينا تعبير يشمل 3 متغيرات A و B و C وكان المتغيران B، و C غير موجودين، أى أن المقطع ممثل بالمتغير A فقط، فيتم تكوين مقطعين بعمل Oring لكل منهما، أى:

(B + \bar{B})، و (C + \bar{C})، ثم ANDing لهما مع المتغير A، أى نحصل فى النهاية على المقطع كالتالى:

$$A = A.(B + \bar{B}).(C + \bar{C})$$

ويصبح بذلك الشكل (SOP) القياسي على الصورة:

$$A = ABC + A\bar{B}C + ABC\bar{C} + A\bar{B}\bar{C}$$

مثال (2-5) :

مطلوب تحويل المعادلة (3-5) إلى الشكل SOP القياسي.

الحل :

من المعروف أن المعادلة (3-5) على الصورة:

$$Y = AB + A\bar{C} + BC$$

حيث نجد أن المتغير C غير موجود فى المقطع الأول فيتم ANDing (C + \bar{C})

إليه، وبالمثل نجد أن المتغير B غير موجود فى المقطع الثانى فيتم ANDing (B + \bar{B})

إليه، كما نجد أن المتغير A غير موجود فى المقطع الثالث فيتم ANDing (A + \bar{A})

إليه، وعلى ذلك تؤول المعادلة إلى:

$$Y = AB(C + \bar{C}) + A\bar{C}(B + \bar{B}) + BC(A + \bar{A})$$

$$= ABC + ABC\bar{C} + AB\bar{C} + A\bar{B}\bar{C} + ABC + \bar{A}BC$$

وبتطبيق نظرية (6-1) نؤول المعادلة السابقة إلى :

$$Y = ABC + ABC\bar{C} + A\bar{B}\bar{C} + \bar{A}BC \quad (5-9)$$

* تحويل الشكل (POS) الغير قياسى إلى الشكل القياسى :

بالمثل يمكن تحويل الشكل (POS) الغير قياسى إلى الشكل القياسى وذلك بعمل ORing فى المقاطع المختلفة من المعادلة بالمتغيرات التى كانت غير موجودة فى المقطع بتمثيل ذلك المتغير بـ ANDing له مع مكمله، فمثلا إذا كان لدينا تعبير يشمل 3 متغيرات A و B و C وكان المتغيران B و C غير متواجدين، فنقوم بتكوين مقطعين بعمل ANDing لكل منهما، أى (B \bar{B}) و (C \bar{C})، ثم Oring لهما مع المتغير A، أى نحصل فى النهاية على المقطع: (A + B \bar{B} + C \bar{C}) وبتطبيق نظرية (10-1) يكون الناتج مساويا:

$$A = (A + B\bar{B} + C\bar{C})(A + B\bar{B} + \bar{C}) \\ = (A + B + C)(A + \bar{B} + C)(A + B + \bar{C})(A + \bar{B} + \bar{C}) \quad (5-10)$$

مثال (3-5) :

مطلوب تحويل المعادلة (5-5) إلى الشكل POS القياسى .

الحل :

من المعروف أن المعادلة (5-5) على الصورة :

$$Y = (A + B)(A + C)(B + \bar{C})$$

حيث نجد أن المتغير C غير موجود فى المقطع الأول فيتم ORing (C \bar{C}) إليه،

وبالمثل نجد أن المتغير B غير موجود فى المقطع الثانى فيتم ORing (B \bar{B}) إليه،

كما نجد أن المتغير A غير موجود فى المقطع الثالث فيتم ORing (A \bar{A}) إليه، وعلى ذلك نؤول المعادلة إلى:

$$Y = (A + B + C\bar{C})(A + B\bar{B} + C)(A\bar{A} + B + \bar{C})$$

وبتطبيق نظرية (10-1) يكون :

$$Y = (A + B + C)(A + B + \bar{C})(A + B + C)(A + \bar{B} + C)(A + B + \bar{C})(\bar{A} + B + \bar{C})$$

وبتطبيق نظرية (6-1) نؤول المعادلة إلى :

$$Y = (A + B + C)(A + B + \bar{C})(A + \bar{B} + C)(\bar{A} + B + \bar{C}) \quad (5-11)$$

ومفهوم المدلول الأدنى والمدلول أقصى الذى تم شرحه، يسمح لنا بتقديم مختصر مناسب جدا للتعبير عن الدوال الرقمية، ويوضح الجدول (5-2) المدلولات الأدنى والمدلولات الأقصى لدالة منطقية مكونة من 4 متغيرات والتى يبلغ مجموع المدلولات الأدنى والأقصى لكل منها: $2^4 = 16$ ، وعامة إذا كان عدد متغيرات الدالة المنطقية هي: n، فإن مجموع عدد المدلولات الأدنى والأقصى لكل منهما: 2^n ، ومن الجدول نجد أن كل مدلول أدنى ممثل بالرمز m_i ، حيث i يمثل المكافئ العشرى للعدد الرقعى الطبيعى المناظر للمدلول الأدنى مع تمثيل المتغيرات الطبيعية بـ $1, s$ ، وتمثيل المتغيرات المكملية بـ $0, s$ ، بالمثل نجد أن كل مدلول أقصى ممثل بالرمز M_j ، حيث j يمثل المكافئ العشرى للعدد الرقعى الطبيعى المناظر للمدلول الأقصى، مع تمثيل المتغيرات الطبيعية بـ $0, s$ ، وتمثيل المتغيرات المكملية بـ $1, s$ ، وعلى هذا وباستخدام هذه الرموز يمكن كتابة المعادلة (5-9) لتكون على الصورة:

$$Y = m_7 + m_6 + m_4 + m_3$$

أو بالترتيب التصاعدي:

$$Y = m_3 + m_4 + m_6 + m_7$$

أى أن:

$$Y = \sum m(3, 4, 6, 7) \quad (5-12)$$

حيث:

$$m_3 = \bar{A} BC$$

$$m_4 = A \bar{B} \bar{C}$$

$$m_6 = AB \bar{C}$$

$$m_7 = ABC$$

بالمثل يمكن كتابة المعادلة (5-11) لتكون على الصورة :

$$Y = M_0 + M_1 + M_2 + M_5$$

$$Y = \prod M(0, 1, 2, 5)$$

(5-13)

حيث :

$$M_0 = A+B+C$$

$$M_1 = A + B + \bar{C}$$

$$M_2 = A + \bar{B} + C$$

$$M_5 = \bar{A} + B + \bar{C}$$

وتمثل المعادلتان (5-12) و(5-13) شكلين مختزلين للشكلين SOP و POS النموذجين على الترتيب، وحيث أن كلا منهما يمثل المعادلة المنطقية الرئيسية (5-1)، فنجد أن هناك نوع من العلاقة التكاملية بين الدالتين الممثلتين بدالتى المدلولات الأدنى والمدلولات الأقصى، فهنا تعاملنا فى هاتين المعادلتين مع دالة منطقية مكونة من 3 متغيرات ، وحيث يكون عدد المدلولات الأدنى والأقصى مساويا 8، ويكون العدد العشري المناظر محصور بين 0 و7، وكانت الأعداد العشرية المناظرة للمقاطع الأدنى هى: 3 و4 و6 و7، كما كانت الأعداد العشرية المناظرة للمقاطع الأقصى فكانت: 0 و1 و2 و5 (أى الأعداد الغير موجودة فى المقاطع الأدنى) ومن هنا نجد أن أى دالة منطقية يتم التعبير عنها بالمدلولات الأدنى فيمكن استنتاج التمثيل المناظر للتعبير عنها بالمدلولات الأقصى باستخدام خاصية التكامل، كما نجد أن أى دالة منطقية يتم التعبير عنها بالمدلولات الأقصى فيمكن استنتاج التمثيل

جدول (5-2)

المتغيرات				المدلول الأدنى m_i	المدلول الأقصى M_i
A	B	C	D		
0	0	0	0	$\bar{A} \bar{B} \bar{C} \bar{D} = m_0$	$A + B + C + D = M_0$
0	0	0	1	$\bar{A} \bar{B} \bar{C} D = m_1$	$A + B + C + \bar{D} = M_1$
0	0	1	0	$\bar{A} \bar{B} C \bar{D} = m_2$	$A + B + \bar{C} + D = M_2$
0	0	1	1	$\bar{A} \bar{B} C D = m_3$	$A + B + \bar{C} + \bar{D} = M_3$
0	1	0	0	$\bar{A} B \bar{C} \bar{D} = m_4$	$A + \bar{B} + C + D = M_4$
0	1	0	1	$\bar{A} B \bar{C} D = m_5$	$A + \bar{B} + C + \bar{D} = M_5$
0	1	1	0	$\bar{A} B C \bar{D} = m_6$	$A + \bar{B} + \bar{C} + D = M_6$
0	1	1	1	$\bar{A} B C D = m_7$	$A + \bar{B} + \bar{C} + \bar{D} = M_7$
1	0	0	0	$A \bar{B} \bar{C} \bar{D} = m_8$	$\bar{A} + B + C + D = M_8$
1	0	0	1	$A \bar{B} \bar{C} D = m_9$	$\bar{A} + B + C + \bar{D} = M_9$
1	0	1	0	$A \bar{B} C \bar{D} = m_{10}$	$\bar{A} + B + \bar{C} + D = M_{10}$
1	0	1	1	$A \bar{B} C D = m_{11}$	$\bar{A} + B + \bar{C} + \bar{D} = M_{11}$
1	1	0	0	$A B \bar{C} \bar{D} = m_{12}$	$\bar{A} + \bar{B} + C + D = M_{12}$
1	1	0	1	$A B \bar{C} D = m_{13}$	$\bar{A} + \bar{B} + C + \bar{D} = M_{13}$
1	1	1	0	$A B C \bar{D} = m_{14}$	$\bar{A} + \bar{B} + \bar{C} + D = M_{14}$
1	1	1	1	$A B C D = m_{15}$	$\bar{A} + \bar{B} + \bar{C} + \bar{D} = M_{15}$

$$Y = \sum m(0, 3, 6, 7, 10, 12, 15)$$

فيكون التعبير بالمقاصع الأقصى على الصورة:

$$Y = \prod M(1, 2, 4, 5, 8, 9, 11, 13, 14)$$

3-5 تمثيل الدوال المنطقية باستخدام K-map :

في القسم السابق تم التطرق إلى مناقشة الدوال المنطقية على الشكلين النموذجيين SOP و POS وتحققهما باستخدام البوابات، كما تم التطرق إلى الحاجة إلى تبسيط تعبيرات بول وتقديم طريقة التبسيط الجبري باستخدام نظريات بول الجبرية، وفي الحقيقة لا يمكن التأكد في بعض الأحيان عما أنه إذا كان من الممكن تبسيط التعبير المنطقي من عدمه.

وهناك تقنية أخرى لتبسيط التعبير المنطقي، وهي طريقة يستخدم فيها الرسم تعرف باسم تقنية "خريطة كارنوف" Karnaugh map، أو باختصار K-map، والتي تعطى طريقة منظمة لتبسيط والتعامل مع تعبيرات بول.

وفي هذا التقنية يتم تمثيل المعلومات الموجودة في جدول الحقيقة أو في تشكيلي SOP، و POS على K-map، ولربما تكون هذه التقنية من أحسن الطرق لتبسيط الدوال المنطقية، والتي تتعامل مع عدد من المتغيرات يصل إلى 6 متغيرات، أما فوق ذلك فتصبح الطريقة صعبة ومعقدة جدا.

ويبين شكل (5-5) K-maps لمتغيرين و 3 متغيرات و 4 متغيرات، ويتم التعبير عن عدد الخلايا (المربعات) في كل خريطة بالعلاقة: 2^n ، حيث n تمثل عدد المتغيرات، (فمثلا إذا كان عدد المتغيرات 2 تكون عدد الخلايا 4، وإذا كان عدد المتغيرات 3 تكون عدد الخلايا 8، أما إذا كان عدد المتغيرات 4 تكون عدد الخلايا 16،... وهكذا)، كما تحتوي كل خلية على مجموعة معينة من المتغيرات، وعلى هذا فإن كل صف من جدول الحقيقة، أو كل مدلول أدنى يمثلها خلية محدددة من K-map، كما يتم التعبير عن المتغيرات بالحروف A و B و C و D، وتؤخذ الأعداد الثنائية من مجموعات تتمثل بالمقاطع AB، أو ABC، أو ABCD من K-maps لمتغيرين و 3 متغيرات و 4 متغيرات على الترتيب، ويشير أول بت في هذه المقاطع للمتغير الأول كما يشير ثاني بت للمتغير الثاني، وهكذا، كما يستخدم كود جرای في التعريف بالخلية (وسبب استخدام كود جرای سيتم توضيحه مستقبلا عند مناقشة تطبيقات استخدام K-map)، ويمكن التثبت من العدد العشري المناظر لكل خلية من

الرقم المكتوب في الركن الأيسر العلوى من الخلية، كما هو موضح في شكل (5-5).

* إذا كان هناك عدد 2

يسمى الأتي -

* يأخذ صف

* يأخذ عمود

* ترتيب المصفوفات هو

(أ) ترتيب صف

(ب) ترتيب عمود

ترتيب الصف CD

0 ---

1 ---

2 ---

ترتيب العمود AB

0 1 3 2

1 ---

2 ---

		A		0	1
B	0			0	2
	1			1	3

(a)

		AB		00	01	11	10
C	0			0	2	6	4
	1			1	3	7	5

(b)

		AB		00	01	11	10
CD	00			0	4	12	8
	01			1	5	13	9
	11			3	7	15	11
	10			2	6	14	10

(c)

شكل (5-5) K-maps لأعداد من المتغيرات المختلفة

a-متغيرين b- 3 متغيرات c- 4 متغيرات

كما يبين شكل (5-6) المدلولات الأدنى والأقصى المناظرة لكل خلية حيث يكتب المقطع داخل كل خلية بغرض توضيح الفهم .

5-3-1 تمثيل جدول الحقيقة على K-map :

بفرض جدول الحقيقة (3-5) والمكون من 3 متغيرات ، وفيه يكون الخرج المنطقي Y بالمنطق 1 للصفوف المحددة بأرقام: 1، و 2، و 4، و 7، ولذا فإنه يمكن كتابة المعادلة المناظرة لذلك بدلالة الشكل SOP القياسي ، على النحو التالي:

$$Y = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC \quad (5-14)$$

وتمثل هذه المعادلة جدول الحقيقة المتكامل بدلالة الشكل SOP القياسي.

بالمثل يكون الخرج المنطقي Y بالقيمة 0 للصفوف أرقام 0 و 3 و 5 و 6، ولذا فإنه يمكن كتابة المعادلة المناظرة لذلك بدلالة الشكل POS القياسي، على النحو التالي:

$$Y = (A + B + C)(A + \bar{B} + \bar{C})(\bar{A} + B + \bar{C})(\bar{A} + \bar{B} + C) \quad (5-15)$$

وتمثل هذه المعادلة جدول الحقيقة المتكامل بدلالة الشكل POS القياسي .

جدول (3-5)

رقم الصف	الدخول			الخرج Y
	A	B	C	
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	0
4	1	0	0	1
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

	A	0	1
B	0	$\bar{A}\bar{B}$	$A\bar{B}$
	1	$\bar{A}B$	AB

(a)

	A	0	1
B	0	$A + B$	$\bar{A} + B$
	1	$A + \bar{B}$	$\bar{A} + \bar{B}$

(b)

	AB	00	01	11	10
C	0	$\bar{A}\bar{B}\bar{C}$	$\bar{A}B\bar{C}$	$AB\bar{C}$	$A\bar{B}\bar{C}$
	1	$\bar{A}\bar{B}C$	$\bar{A}BC$	ABC	$A\bar{B}C$

(c)

	AB	00	01	11	10
CD	0	$A + B + C$	$A + \bar{B} + C$	$\bar{A} + \bar{B} + C$	$\bar{A} + B + C$
	1	$A + B + \bar{C}$	$A + \bar{B} + \bar{C}$	$\bar{A} + \bar{B} + \bar{C}$	$\bar{A} + B + \bar{C}$

(d)

	AB	00	01	11	10
CD	00	$\bar{A}\bar{B}\bar{C}\bar{D}$	$\bar{A}B\bar{C}\bar{D}$	$AB\bar{C}\bar{D}$	$A\bar{B}\bar{C}\bar{D}$
	01	$\bar{A}\bar{B}C\bar{D}$	$\bar{A}BC\bar{D}$	$ABC\bar{D}$	$A\bar{B}C\bar{D}$
	11	$\bar{A}\bar{B}CD$	$\bar{A}BCD$	$ABCD$	$A\bar{B}CD$
	10	$\bar{A}B\bar{C}D$	$\bar{A}BCD$	$ABC\bar{D}$	$A\bar{B}C\bar{D}$

(e)

	AB	00	01	11	10
CD	00	$A + B + C + D$	$A + \bar{B} + C + D$	$\bar{A} + \bar{B} + C + D$	$\bar{A} + B + C + D$
	01	$A + B + C + \bar{D}$	$A + \bar{B} + C + \bar{D}$	$\bar{A} + \bar{B} + C + \bar{D}$	$\bar{A} + B + C + \bar{D}$
	11	$A + B + \bar{C} + \bar{D}$	$A + \bar{B} + \bar{C} + \bar{D}$	$\bar{A} + \bar{B} + \bar{C} + \bar{D}$	$\bar{A} + B + \bar{C} + \bar{D}$
	10	$A + B + \bar{C} + D$	$A + \bar{B} + \bar{C} + D$	$\bar{A} + \bar{B} + \bar{C} + D$	$\bar{A} + B + \bar{C} + D$

(f)

شكل (5-6) المدلولات الأدنى والأقصى المناظرة لكل خلية من خلايا K-map

كما تكون المعادلتان (14-5) و (15-5) متكافئتين ، وسوف نستغل K-map ذات الثلاثة متغيرات الموضح في شكل (5-5b) وإدخال قيم الخرج Y سواء أكانت 1 أو 0 في كل خلية ومناظرة للعدد العشري ونصل في النهاية إلى K-map المتكامل في شكل (5-7) والذي يمثل جدول الحقيقة (5-3).

C \ AB	00	01	11	10
0	0 0	2 1	6 0	4 1
1	1 1	3 0	7 1	5 0

شكل (5-7) خريطة K-map التي تمثل جدول الحقيقة (5-3)

والعملية التي تمت سابقا تكون عامة، وتستخدم في تمثيل جدول الحقيقة على K-map، ومن ناحية أخرى في حالة وجود تمثيل على K-map فإنه يمكن تمثيل جدول الحقيقة المناظر باتباع خطوات عكسية، حيث يكون الخرج Y بقيمة المنطق 1 مناظرا للأعداد العشرية أو المدلولات الأدنى المتمثلة في الخلايا بالإدخالات 1، أما الخلايا الأخرى فيكون الخرج Y بقيمة المنطق 0.

مثال (5-4) :

مطلوب إنشاء جدول الحقيقة لخريطة K-map الممثلة في شكل (5-8).

CD \ AB	00	01	11	10
00	0 1	4 1	12 1	8 1
01	1 1	5 1	13 1	9 1
11	3 1	7 1	15 1	11 1
10	2 1	6 1	14 1	10 1

شكل (5-8) K-map للمثال (5-4)

ملحوظة : دائما يتم إدخال إما 1,s أو 0,s، فإذا تم إدخال 1,s فتمثل الأماكن الخالية 0,s ، وإذا تم إدخال 0,s فتمثل الأماكن الخالية 1,s، وفي مثالنا تم إدخال 1,s ومنه تمثل 0,s الأماكن الخالية.

الحل :

يتم الحصول على جدول الحقيقة كما في جدول (5-4)

جدول (5-4)

رقم الصف	الدخول				الخرج Y
	A	B	C	D	
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	0
9	1	0	0	1	1
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	1
13	1	1	0	1	0
14	1	1	1	0	1
15	1	1	1	1	1

5-3-2 تمثيل شكل SOP القياسي على K-map :

أي معادلة منطقية على الشكل SOP القياسي يمكن تمثيلها على خريطة K-map وذلك بإدخال 1,s في خلايا K-map لكل مدلول أدنى ممثل في المعادلة.

مثال (5-5):

مطلوب تمثيل المعادلة (14-5) على K-map.

الحل :

المعادلة (14-5) على الصورة:

$$Y = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$$

ومقابلا لكل مدلول أدنى من المعادلة، يتم إدخال 1 على كل خلية من خلايا K-map، وتكون خريطة K-map المطلوبة ممثلة في شكل (7-5).

بالمثل يمكن استنتاج المعادلة المنطقية المناظرة وذلك على الشكل SOP القياسي، وذلك بـ Oring المدلولات الأدنى المناظرة للمنطق 1 في K-map، كما في المثال التالي:

مثال (6-5):

اكتب المعادلة المنطقية على الشكل SOP القياسي لخريطة K-map الموجودة في شكل (8-5).

الحل :

يكون الخرج Y كالآتي:

$$Y = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}B\bar{C}\bar{D} + \bar{A}BC\bar{D} + A\bar{B}\bar{C}\bar{D} + AB\bar{C}\bar{D} + ABC\bar{D} + ABCD \\ = \sum m(0,5,7,9,12,14,15) \quad (5-16)$$

ويجب مراعاة أنه إذا كانت المعادلة على الشكل SOP الغير قياسي فإنه يلزم تحويلها أولا إلى الشكل SOP القياسي بالطريقة كما تمت دراستها، ثم تمثيلها على K-map، إلا أنه توجد طريقة أخرى لتمثيل الشكل SOP الغير قياسي على K-map بدون اللجوء إلى التحويل إلى الشكل SOP القياسي، وسوف يتم مناقشة ذلك في القسمين (4-5) و(6-5).

5-3-3 تمثيل الشكل POS القياسي على K-map :

أى معادلة منطقية على الشكل POS القياسي يمكن تمثيلها على K-map وذلك بإدخال 0,s في خلايا K-map لكل مدلول أقصى ممثل في المعادلة.

مثال (7-5):

مطلوب تمثيل المعادلة (15-5) على K-map.

الحل :

المعادلة (15-5) على الصورة:

$$Y = (A + B + C)(A + \bar{B} + \bar{C})(\bar{A} + B + \bar{C})(\bar{A} + \bar{B} + C)$$

ومقابلا لكل مدلول أقصى من المعادلة يتم إدخال 0 على كل خلية من خلايا K-map، وتكون K-map المطلوبة ممثلة في شكل (7-5).

بالمثل يمكن استنتاج المعادلة المنطقية على الشكل POS القياسي وذلك بـ ANDing المدلولات الأقصى المناظرة للمنطق 0 في K-map، كما في المثال التالي.

مثال (8-5):

اكتب المعادلة المنطقية على الشكل POS القياسي لخريطة K-map الموجودة في شكل (8-5).

الحل :

يكون الخرج Y كالآتي:

$$Y = (A + B + C + \bar{D})(A + B + \bar{C} + D)(A + B + \bar{C} + \bar{D})$$

$$(A + \bar{B} + C + D)(A + \bar{B} + \bar{C} + D)(\bar{A} + B + C + D)$$

$$(\bar{A} + B + \bar{C} + D)(\bar{A} + B + \bar{C} + \bar{D})(\bar{A} + \bar{B} + C + \bar{D})$$

$$(5-17) \quad = \Pi M (1, 2, 3, 4, 6, 8, 10, 11, 13)$$

وأيضاً يجب مراعاة أنه إذا كانت المعادلة على الشكل POS فإنه يلزم تحويلها أولاً إلى الشكل POS القياسي بالطريقة كما تمت دراستها، ثم تمثيلها على K-map، إلا أنه توجد طريقة أخرى لتمثيل الشكل POS على K-map بدون اللجوء إلى التحويل إلى الشكل SOP القياسي وسوف يتم مناقشة ذلك في القسمين (4-5) و (6-5).

وفي النهاية نجد أن المعادلتين (16-5) و (17-5) واللذان يمثلان خريطة K-map على الشكلين القياسيين SOP و POS على التوالي متكافئتان.

5-3-4 تبسيط المعادلات المنطقية باستخدام K-map :

يبنى تبسيط المعادلات المنطقية باستخدام K-map على قاعدة تجميع Combining المقاطع في الخلايا المتجاورة Adjacent cells، ويقال أن الخليتين تكونان متجاورتين إذا كانتا مختلفتين فقط في أحد المتغيرات (أحدهما على الشكل غير المكمل، والآخر على الشكل المكمل).

فعلى سبيل المثال في شكل (a-6-5) و (b-6-5) لخريطة K-map لمتغيرين، ومن واقع تعريف الخلايا المتجاورة نجد أن الخليتين العلويتين متجاورتان، فهما مختلفتان في المتغير A (أحدهما على الشكل غير المكمل A، والآخر على الشكل المكمل \bar{A})، كما نجد أن الخليتين السفليتين متجاورتان، فهما مختلفتان أيضاً في المتغير A، كما أن الخليتين اللتين على اليمين متجاورتان فهما مختلفتان في المتغير B، وكذلك الخليتان اللتان على اليسار متجاورتان فهما مختلفتان أيضاً في المتغير B، ونجد أن أحد المتغيرين هو نفسه في الخليتين المتجاورتين، بينما يظهر المتغير الآخر على هيئته في إحدى الخلايا وعلى هيئته المكمله في الخلية الأخرى، بالمثل نلاحظ الخلايا المتجاورة لـ K-map لـ 3 متغيرات و 4 متغيرات.

ويعطى جدول (5-5) كل الخلايا المتجاورة لكل خلية على حدة في خرائط K-maps لمتغيرين و 3 متغيرات و 4 متغيرات، فمثلاً في K-map لمتغيرين في شكل (5-a-5)، نجد أن الخلية 0 تجاور الخلية 2 التي تقع على يمينها (فنجد أن أحد

المتغيرين B هو نفسه في الخليتين، بينما يظهر المتغير الآخر A على هيئته في الخلية 2، وعلى هيئة مكمله \bar{A} في الخلية 0، كما أن الخلية 0 تجاور أيضاً الخلية 1 التي تقع أسفلها (فنجد أن أحد المتغيرين \bar{A} هو نفسه في الخليتين، بينما يظهر المتغير الآخر B على هيئته في الخلية 1، وعلى هيئة مكمله \bar{B} في الخلية 0)، كما نجد أن الخلايا التي تجاور الخلية 2 هما: الخلية 0 التي تقع على يسارها، والخلية 3 التي تقع أسفلها، وأيضاً في K-map لـ 3 متغيرات في شكل (5-b-5) أن هناك 3 خلايا تجاور الخلية 0 هي: الخلية 2 التي تقع على يمينها، والخلية 1 التي تقع أسفلها، والخلية 4 التي تقع في أقصى اليسار (فنجد أن المتغير \bar{C} هو نفسه في الخليتين وأيضاً المتغير \square هو نفسه في الخليتين، بينما يظهر المتغير الثالث A على هيئته في الخلية 4، وعلى هيئة مكمله \bar{A} في الخلية 0)، كما نجد أن الخلايا التي تجاور الخلية 6 هي: الخلية 2 التي تقع على يسارها، والخلية 4 التي تقع على يمينها، والخلية 7 التي تقع أسفلها، كما نجد أيضاً في K-map لـ 4 متغيرات في شكل (5-c-5)، نجد أن هناك 4 خلايا تجاور الخلية 13 هي: الخلية 5 التي تقع على يسارها، والخلية 9 التي تقع يمينها، والخلية 12 التي تقع أعلاها، والخلية 15 التي تقع أسفلها.

ومنه يتضح أن استخدام كود جرائ لتحديد الخلايا في K-map يجعلها متجاورة (ويقصد هنا تجاور الخلايا أفقياً أو رأسياً وليست قطرياً)، أيضاً نجد أن الخلية الموجودة في أقصى يمين الجدول يمكن أن تكون متجاورة مع الخلية المقابلة في أقصى يسار الجدول، كما يمكن أن تكون الخلية العلوية متجاورة مع الخلية المقابلة في قاع الجدول.

ويتحقق تبسيط الدالة المنطقية من خلال تجميع خلايا المنطق ذات القيم 1, s أو 0, s في مجموعات على الشكل 2ⁱ حيث : $i = 1, 2, \dots, n$ ، و n يمثل عدد المتغيرات، كما سيوضح حالاً.

جدول (5-5)

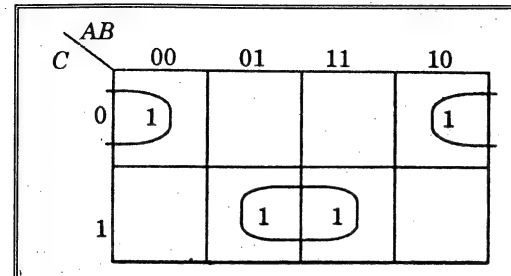
رقم الخلية	الخلايا المجاورة لكل خلية على حدة		
	متغيرين	3-متغيرات	4-متغيرات
0	1, 2	1, 2, 4	1, 2, 4, 8
1	0, 3	0, 3, 5	0, 3, 5, 9
2	0, 3	0, 3, 6	0, 3, 6, 10
3	1, 2	1, 2, 7	1, 2, 7, 11
4		0, 5, 6	0, 5, 6, 12
5		1, 4, 7	1, 4, 7, 13
6		2, 4, 7	2, 4, 7, 14
7		3, 5, 6	3, 5, 6, 15
8			0, 9, 10, 12
9			1, 8, 11, 13
10			2, 8, 11, 14
11			3, 9, 10, 15
12			4, 8, 13, 14
13			5, 9, 12, 15
14			6, 10, 12, 15
15			7, 11, 12, 14

تجميع مجموعتين من الأحاد 1,s المتجاورة :

في حالة تواجد خليتين متجاورتين من 1,s على خريطة K-map، فإنه يمكن تجميعهما معا، وينتج من ذلك مقطع واحد ويكون عدد متغيراته الواقعية أقل بواحد من المتغيرات الواقعية في المقطعين الأساسيين، ويمكن التأكد من ذلك من كل تجميع لخليتين في جدول (5-5)، وكما يتضح في المثال التالي.

مثال (5-9) :

مطلوب تبسيط K-map للشكل (5-9) .



شكل (5-9) K-map للمثال (5-9)

الحل :

من الشكل ، يمكن كتابة المعادلة المنطقية على الشكل SOP القياسي كالآتي :

$$Y = \bar{A}\bar{B}\bar{C} + \bar{A}BC + ABC + A\bar{B}\bar{C} \quad (5-18)$$

فباستخدام الطريقة الرياضية وبتجميع الأحاد 1,s للخليتين المتجاورتين 0 و4، وأيضاً الخليتين المتجاورتين 3 و7، يمكن كتابة المعادلة (5-18) لتكون على الصورة:

$$Y = (\bar{A} + A)\bar{B}\bar{C} + (\bar{A} + A)BC \quad (5-19)$$

وباستخدام النظريتين (2-1)، و(7-1)، تصبح المعادلة على الصورة:

$$Y = \bar{B}\bar{C} + BC \quad (5-20)$$

يمكن الحصول على المعادلة (5-20) ومن K-map باستخدام الإجراء الآتي:

1- يتم التعرف على 1,s المتجاورة ثم ملاحظة هيئة المتغيرات (أي A و B و C) المرتبطة بهذه الخلايا ، سنجد أن هناك متغير واحد فقط يتم حذفه ، وهو الذي يظهر على هيئته العادية والمكملة ، وستظهر المتغيرات الأخرى في المقطع على شكل ANDed وتكون كل منها على الهيئة العادية (أي A أو B أو C) إذا كانت بقيمة 1 وعلى الهيئة التكمالية (أي \bar{A} ، و \bar{B} ، و \bar{C}) إذا كانت بقيمة 0.

2- يتم تكرار ماسبق بتحديد المقطع المناظر لكل مجموعة، ثم ORing هذه المقاطع للحصول في النهاية على المعادلة مبسطة على الشكل SOP.

* وفي مثالنا نجد أن المقطعين $\bar{A}\bar{B}\bar{C}$ و $A\bar{B}\bar{C}$ (الذان يمثلان الخليتين 0، و4) يظهر فيهما المتغير A على هيتيه العادية والمكملة (A، و \bar{A}) فيتم حذف المتغير، ويتبقى المتغيران الآخران (\bar{C}, \bar{B}) على شكل ANDed أى على الشكل $\bar{B}\bar{C}$ ، وحيث أن كلاهما بقيمة 0 فيظهرا على الهيئة التكاملية $\bar{B}\bar{C}$ ، وبالمثل يمكن تطبيق ذلك على المقطعين $\bar{A}BC$ و ABC (الذان يمثلان الخليتين 3، و7)، ونحصل على الشكل BC.

وفي النهاية تصبح المعادلة على الصورة كما في المعادلة (5-20)

تجميع 4 مجموعات من الأحاد 1s المتجاورة:

يمكن تكوين مجموعة واحدة من 1s لـ 4 خلايا متجاورة، إذا اختلف متغيران من المتغيرات الواقعية المرتبطة بالمدلولات الأدنى أو الأقصى، ويكون المتغيران الواقعيان الآخران متشابهان، ويبين جدول (5-6) كل الاحتمالات الممكنة للمجموعات التي يمكن الحصول عليها لكل خلية من خلايا خريطة K-map ذات 3 متغيرات المبينة في شكل (5-6-c)، فمثلا الخلية 3 يمكن احتمالات تكوين الخلايا التي تكون مجموعة من 4 من 1s هي: (3,1,7,5)، و (3,2,1,0)، و (3,2,6,7)، أما في حالة في حالة خريطة K-map ذات المتغيرين كما في شكل (5-6-a) فهناك احتمال واحد فقط المقابل لإدخال 1 في كل الخلايا الأربعة التي تحتويها الخريطة ويؤول التعبير المبسط إلى العبارة: $Y = 1$ أى أن Y دائما تكون مساوية 1.

ومن منطلق ما سبق فإنه يمكن استنتاج كل الاحتمالات الممكنة للمجموعات التي يمكن الحصول عليها لكل خلية من خلايا K-map ذات الـ 4 متغيرات المبينة في شكل (5-6-e) وسنجد عددها 6، فمثلا الخلية 3 يمكن احتمالات تكوين الخلايا التي تكون مجموعة من 4 من 1s هي: (3,7,15,11)، و (3,2,0,1)، و (3,11,9,1)، و (3,7,5,1)، و (3,2,10,11)، و (3,7,6,2).

جدول (5-6)

رقم الخلية	مجموعات الخلايا المجاورة لكل خلية على حدة		
0	0, 2, 6, 4	0, 1, 2, 3	0, 1, 4, 5
1	1, 0, 2, 3	1, 3, 7, 5	1, 0, 4, 5
2	2, 0, 6, 4	2, 3, 1, 0	2, 3, 6, 7
3	3, 1, 7, 5	3, 2, 1, 0	3, 2, 6, 7
4	4, 6, 2, 0	4, 5, 6, 7	4, 5, 0, 1
5	5, 1, 3, 7	5, 4, 6, 7	5, 4, 0, 1
6	6, 0, 2, 4	6, 7, 4, 5	6, 7, 2, 3
7	7, 1, 3, 5	7, 6, 4, 5	7, 5, 2, 3

مثال (5-10):

مطلوب تبسيط خريطة K-map للشكل (5-10).

الحل:

CD \ AB	AB			
	00	01	11	10
00	0 1	4	12	8 1
01	1 1	5	13	9 1
11	3 1	7 1	15 1	11 1
10	2	6	14	10

شكل (5-10) K-map للمثال (5-10)

من الشكل، يمكن كتابة المعادلة المنطقية على الشكل SOP القياسي كالآتي:

$$Y = m_0 + m_1 + m_3 + m_7 + m_8 + m_9 + m_{11} + m_{15}$$

$$Y = (m_0 + m_1 + m_8 + m_9) + (m_3 + m_7 + m_{15} + m_{11}) \quad (5-21)$$

وفى خريطة K-map فى الشكل نجد أن هناك مجموعتين الخاليا كل منها تكون عدد 4 من 1, s المتجاورة، الأولى: (0,1,9,8)، والثانية: (3,7,15,11)، وعلى هذا ومن المعادلة (5-21)، تم تجميع المدلولات الأدنى لكل مجموعة على حدة وحصلنا على المجموعتين: $m_0 + m_1 + m_8 + m_9$ و $m_3 + m_7 + m_{15} + m_{11}$ ويمكن كتابة المجموعة الأولى كالتالى :

$$\begin{aligned} m_0 + m_1 + m_8 + m_9 &= \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}CD \\ &= \bar{B}\bar{C}(\bar{A}\bar{D} + \bar{A}D + A\bar{D} + AD) \\ &= \bar{B}\bar{C}[\bar{A}(\bar{D} + D) + A(\bar{D} + D)] \\ &= \bar{B}\bar{C}(\bar{A}.1 + A.1) \\ &= \bar{B}\bar{C}(\bar{A} + A) \\ &= \bar{B}\bar{C}.1 \\ &= \bar{B}\bar{C} \end{aligned}$$

ونلاحظ فى هذه المجموعة مايلى:

- 1- ظهور المتغيرين B و C فى المقاطع الأربعة من المجموعة على الهيئة التكاملية \bar{B} و \bar{C} .
- 2- ظهور المتغير A فى مقطعين على هيئته A، وعلى الهيئة التكاملية \bar{A} فى المقطعين الآخرين.
- 3- ظهور المتغير D فى مقطعين على هيئته D، وعلى الهيئة التكاملية \bar{D} فى المقطعين الآخرين.

- 4- تجميع تلك المدلولات الأدنى أدت إلى مقطع واحد بالمتغيرين الواقعيين (B, C) وهما الموجودان فى كل المقاطع الأربعة. بالمثل يمكن كتابة المجموعة الثانية كالتالى:

$$\begin{aligned} m_3 + m_7 + m_{15} + m_{11} &= \bar{A}\bar{B}CD + \bar{A}BCD + ABCD + A\bar{B}CD \\ &= CD(\bar{A}\bar{B} + \bar{A}B + AB + A\bar{B}) \\ &= CD[\bar{A}(\bar{B} + B) + A(B + \bar{B})] \\ &= CD[\bar{A}.1 + A.1] \\ &= CD(\bar{A} + A) \\ &= CD.1 \\ &= CD \end{aligned}$$

ونلاحظ فى هذه المجموعة مايلى:

- 1- ظهور المتغيرين C و D فى المقاطع الأربعة من المجموعة على الهيئة العادية C و D.
- 2- ظهور المتغير A فى مقطعين على هيئته A، وعلى الهيئة التكاملية \bar{A} فى المقطعين الآخرين.
- 3- ظهور المتغير B فى مقطعين على هيئته B، وعلى الهيئة التكاملية \bar{B} فى المقطعين الآخرين.
- 4- تجميع تلك المدلولات الأدنى أدت إلى مقطع واحد بالمتغيرين الواقعيين (CD) وهما الموجودان فى كل المقاطع الأربعة. وفى النهاية يمكن تبسيط K-map لتكون على الصورة:

$$Y = \bar{B}\bar{C} + CD \quad (5-22)$$

تجميع 8 مجموعات من الأحاد 1,s المتجاورة:

يمكن تكوين مجموعة واحدة من 1,s لـ 8 خلايا متجاورة، إذا كان تجميع لكل ثلاثة من المتغيرات الواقعية المرتبطة بالمدلولات الأدنى أو الأقصى مختلف عن السبعة تجميعات الأخرى، ويكون المتغير الواقعي الرابع ثابت في المقاطع السبعة الأخرى، ففي المجموعة المكونة من الصفين الأولين من شكل (e-6-5) نجد أن المتغير الواقعي C يظهر في الخلايا الثمانية على شكل واحد وهو: \bar{C} ، بينما يظهر تجميع الثلاثة المتغيرات الواقعية الأخرى ABD في كل خلية مختلف عن الأخرى فمثلا يظهر التجميع في الخلية 0 على الشكل $\bar{A}\bar{B}\bar{D}$ ، وفي الخلية 4 على الشكل $\bar{A}B\bar{D}$ ، وفي الخلية 12 على الشكل $AB\bar{D}$ ، وفي الخلية 8 على الشكل $\bar{A}\bar{B}D$ ، وهكذا، ويبين جدول (7-5) كل الاحتمالات الممكنة للمجموعات التي يمكن الحصول عليها من خلايا K-map ذات الـ 4 متغيرات، أما في حالة K-map ذات 3 متغيرات، فهناك احتمال واحد فقط المقابل لإدخال 1 في كل الخلايا الثمانية التي تحتويها الخريطة ويؤول التعبير المبسط إلى العبارة:

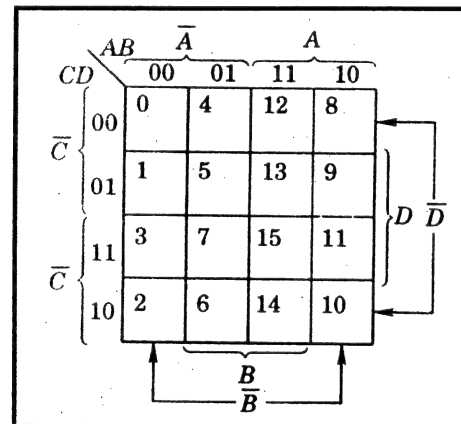
$$Y = 1$$

وعامة عند تجميع عدد 8 مقاطع من 1,s نحصل على مقطع واحد فقط يكون عدد المتغيرات الواقعية فيه أقل بثلاثة عن عدد المتغيرات الواقعية في مقاطع المعادلة الأصلية، وكما وجدنا في تجميع مجموعتين، أو 4 مجموعات من الأحاد 1,s نرى أيضا في تجميع 8 مجموعات من الأحاد 1,s أن المتغيرات الواقعية التي تظهر بنفس الشكل ستظل موجودة، بينما تختفي المتغيرات الواقعية الأخرى المختلفة في المقطع النهائي الناتج.

ففي التمثيل الذي أشرنا إليه في بداية حديثنا بخصوص الصفين الأولين من الشكل (e-6-5) نجد أن المقطع النهائي يؤول إلى المتغير الواقعي \bar{C} ، وبالربط بين جدول (7-5) وشكل (11-5) نحصل في الشكل على التعبير المبسط لكل مجموعة مكونة من 8 من الأحاد 1,s، فنجد مثلا أن المتغير الواقعي \bar{D} يعبر عن المجموعة المكونة من الخلايا: (0,4,12,8,2,6,14,10).

جدول (7-5)

أرقام الخلايا التي تكون مجموعات من 8 خلايا متجاورة في خريطة K-map ذات 4 متغيرات
0, 4, 12, 8, 1, 5, 13, 9
0, 4, 12, 8, 2, 6, 14, 10
0, 1, 3, 2, 4, 5, 7, 6
0, 1, 3, 2, 8, 9, 11, 10
1, 5, 13, 9, 3, 7, 15, 11
4, 5, 7, 6, 12, 13, 15, 14
12, 13, 14, 15, 8, 9, 11, 10
3, 7, 15, 11, 2, 6, 14, 10



شكل (11-5) خريطة K-map ذات 4 متغيرات توضح التجميعات من 8 من 1,s المتجاورة

تجميع 2، و4، و8 خلايا من 0,s :

مما سبق تمت مناقشة تجميع 2، و4، و8 خلايا متجاورة من الأحاد 1,s، ويمكن تجميع 2، و4، و8 خلايا من أصفار 0,s وذلك لعمل مجموعة من 0,s بدلا من عمل مجموعات من 1,s بنفس الأسلوب وذلك كالتالي:

1- تجميع عدد 2 خلايا متجاورة من 0,s يؤدي إلى مقطع واحد بعدد من المتغيرات الواقعية أقل بواحد من عدد المتغيرات الواقعية في خلايا المقطعين الأساسيين، حيث يختفى المتغير الواقعي الذي يظهر مختلفا في المقطعين الأقصى.

2- تجميع عدد 4 خلايا متجاورة من 0,s يؤدي إلى مقطع واحد بعدد من المتغيرات الواقعية أقل بإثنين من عدد المتغيرات الواقعية في خلايا المقاطع الأساسية، حيث يختفى المتغيران الواقعيان الذان يظهران مختلفان في المقاطع الأربعة الأساسية.

3- تجميع عدد 8 خلايا متجاورة من 0,s يؤدي إلى مقطع واحد بعدد من المتغيرات الواقعية أقل بـ 3 متغيرات واقعية من عدد المتغيرات الواقعية في خلايا المقاطع الأساسية، حيث تختفى هذه المتغيرات الواقعية الثلاثة التي تختلف في المقاطع الثمانية الأساسية.

* وفي النهاية يمكن تطبيق تجميع 16، أو 32، أو 64 من الخلايا المتجاورة من 0,s ، و 1,s في K-maps التي تحتوي على متغيرات أكثر من 4 متغيرات.

5-3-5 اختصار الدوال المنطقية معلومية المدخلات الأدنى أو الأقصى أو جدول الحقيقة:

إختصار الدالة على الشكل SOP :

من الواضح أننا لمسنا المميزات الناتجة من تبسيط التعبيرات المنطقية، وعند توقف تبسيط التعبير المنطقي عند مرحلة ما لايمكن بعدها إجراء أى تبسيط آخر، فعندئذ يتم تنفيذ هذا التعبير المنطقي بأقل عدد من البوابات وأقل عدد من المداخل لهذه البوابات، ويسمى التعبير المنطقي في هذه الحالة بـ "التعبير المختصر" Minimized expression .

ولإختصار تعبير على شكل SOP، أو لجدول حقيقة معطى، فلا بد من تجهيز خريطة K-map أولاً ثم البحث عن تجميعات من 1,s على الخريطة حيث يلزم تجميع 1,s بطريقة تجعلنا فى النهاية نحصل على أقل تعبير مبسط بقدر الإمكان، ويمكن تحقيق ذلك باتباع الآتى:

1- التعرف على 1,s التي لايمكن تجميعها مع أى 1,s أخرى ووضعها داخل دائرة.

2- التعرف على 1,s التي يمكن تجميعها مرة واحدة فقط فى مجموعات كل منها مكونة من خليتين مع أى 1,s أخرى ووضعها داخل دائرة.

3- التعرف على 1,s التي يمكن تجميعها مرة واحدة فقط فى مجموعات كل منها مكونة من 4 خلايا مع أى 1,s أخرى ووضعها داخل دائرة.

4- التعرف على 1,s التي يمكن تجميعها مرة واحدة فقط فى مجموعات كل منها مكونة من 8 خلايا مع أى 1,s أخرى ووضعها داخل دائرة.

5- وبعد التعرف وتكوين بعض أو كل من أنواع هذه المجموعات السابقة وهى ماتسمى المجموعات الأساسية Essential groupes، يتبقى بعض 1,s التي لم يتم تحديدها داخل دوائر فيمكن تجميعها مع بعضها البعض أو تجميعها مع أى من المجموعات التي تم تحديدها مسبقا.

ويمكن توضيح ذلك من خلال المثالين التاليين.

مثال (5-11) :

مطلوب تبسيط الدالة ذات 4 متغيرات التالية باستخدام K-map:

$$f(A, B, C, D) = \sum m(0, 1, 2, 3, 5, 7, 8, 9, 11, 14) \quad (5-23)$$

الحل :

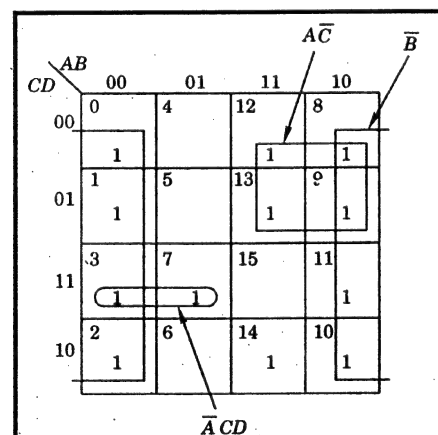
يوضح شكل (5-12) تمثيل للدالة المعطاه، ويمكن تبسيطها بالخطوات التالية:

	AB				
	00	01	11	10	
CD	00	0	4	12	8
	01	1	5	13	9
	11	3	7	15	11
	10	2	6	14	10

شكل (5-12) خريطة كارنوف للمعادلة 5-23

جدول (5-8)

الدخول				الخرج
A	B	C	D	Y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0



شكل (13-5) K-map للمثال (12-5)

1- هناك منطق 1 في الخلية 14 لا يمكن إتحادها مع أى خلايا أخرى، لذا يتم

وضعه بداخل دائرة، ويكون المقطع الممثل لهذا المنطق 1 هو: $ABCD$.

2- يلاحظ أنه يوجد العديد من الإحتمالات التي تؤدي إلى تكوين مجموعات من 2 من الخلايا المتجاورة، يتم تجاهلها وقتها لحين النظر للخطوة التالية.

3- يوجد تكوين مجموعات من 4 خلايا متجاورة عن طريق الخلايا 8 و 11 و 5 أو 7 و 2، وهذه المجموعات: $(8,9,0,1)$ و $(11,9,1,3)$ و $(5,7,3,1)$ و $(2,3,1,0)$ على التوالي، فيتم تحديد هذه المجموعات، وتكون المقاطع المناظرة لهذه المجموعات: $\bar{B}\bar{C}$ و $\bar{B}D$ و $\bar{A}D$ و $\bar{A}\bar{B}$ على التوالي.

* ومن هنا نجد أنه تم تحديد كل 1,s في K-map، وعلى هذا فتصبح الخطوة الثانية السابقة ليست ذات قيمة، وفي النهاية نحصل على الدالة مبسطة كالتالي:

$$f(A,B,C,D) = ABCD + \bar{B}\bar{C} + \bar{B}D + \bar{A}D + \bar{A}\bar{B} \quad (5-24)$$

مثال (5-12):

من جدول الحقيقة (5-8)، مطلوب تعيين عبارة مبسطة على الشكل SOP.

الحل:

يبين شكل (5-13) K-map التي تمثل جدول الحقيقة المعطى، حيث تم تكوين

مجموعة من 8 خلايا متجاورة هي: $(0,1,3,2,8,9,11,10)$ ويمثلها المقطع \bar{B} ومجموعة من 4 خلايا متجاورة هي: $(8,9,12,13)$ ويمثلها المقطع $\bar{A}\bar{C}$ ، ومجموعة من خليتين متجاورتين هي: $(3,7)$ ويمثلها المقطع $\bar{A}CD$ ، ومن هنا نجد أنه تم تحديد كل الأحاد 1,s في خريطة K-map المعطاة، وفي النهاية نحصل على العبارة المبسطة كالتالي:

$$Y = \bar{B} + \bar{A}\bar{C} + \bar{A}CD \quad (5-25)$$

إختصار الدالة على الشكل POS :

لإختصار تعبير على الشكل POS، أو لجدول حقيقة معطى، يتم كتابة الأحاد 0,s في الخلايا المناظرة للمدلولات الأقصى في خريطة K-map، ثم إتباع نفس الخطوات المتبعة المستخدمة التي تستخدم عند إختصار تعبير على الشكل SOP، حيث يتم تكوين مجموعات من 0,s بدلا من مجموعات 1,s، ويمكن توضيح ذلك من خلال حل نفس المثالين السابقين باستخدام الشكل POS.

مثال (5-13) :

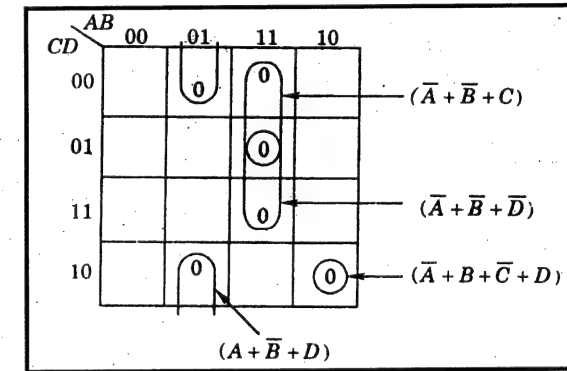
مطلوب إختصار الدالة المنطقية للمعادلة (5-23) باستخدام الشكل POS.

الحل :

يمكن كتابة المعادلة (5-23) لتكون على الشكل POS القياسى كالتالى:

$$f = (A, B, C, D) = \prod M(4, 6, 10, 12, 13, 15) \quad (5-26)$$

ومنه يتم الحصول على K-map المبينة فى شكل (5-14)، ويمكن ملاحظة أنه يمكن الحصول على الخريطة من المعادلة (5-23).



شكل (5-14) K-map للمعادلة (5-26)

وباستخدام خطوات مشابهة لتلك المستخدمة عند استخدام الشكل SOP ونحصل على الدالة المبسطة كالتالى:

$$f = (\bar{A} + B + \bar{D} + D) \cdot (\bar{A} + \bar{B} + C) \cdot (\bar{A} + \bar{B} + \bar{D}) \cdot (A + \bar{B} + D) \quad (5-27)$$

وبمقارنة المعادلتين (5-24)، و(5-27)، نجد أن عدد المقاطع فى كل منهما مختلف عن الآخر، ولذلك عند تنفيذ كلاهما فإنهما تحتاجان إلى أعداد مختلفة من المكونات المادية، لذا يلزم الحصول على تبسيط الدالة بالشكلين السابقين ثم اختيار التى تحتاج أعداد أقل من المكونات المادية، إلا أنه فى حالات بسيطة فإن الإختيار يكون صعباً على المصمم بسبب عدم توافر دوائر تكاملية معينة.

مثال (5-14) :

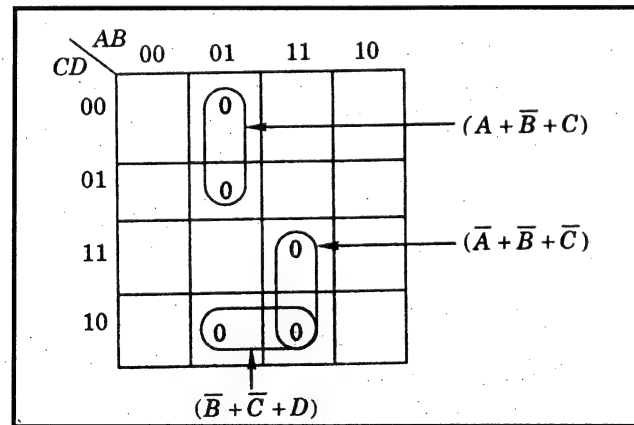
من جدول الحقيقة (5-8) ، مطلوب تعيين عبارة مبسطة على الشكل POS.

الحل :

يبين شكل (5-15) K-map التى تمثل جدول الحقيقة المعطى، نحصل على الدالة المبسطة كالتالى:

$$Y = (A + \bar{B} + C) \cdot (\bar{A} + \bar{B} + \bar{C}) \cdot (\bar{B} + \bar{C} + D) \quad (5-28)$$

وأيضاً نجد أن مقارنة المعادلتين (5-25) و(5-28) يؤكد النتيجة التى تم التوصل إليها فى نهاية المثال السابق فيما يخص إختلاف متطلبات المكونات المادية للطريقتين.



شكل (5-15) k-map للجدول (5-8)

5-3-6 اختصار الدوال المنطقية الغير محددة بالمدلولات الأدنى والأقصى :

كما علمنا سابقا أنه إذا كانت الدالة على أحد الشكلين القياسيين (SOP) أو (POS) فيتم تجهيز خريطة K-map التي تمثلها ثم إجراء الاختصارات اللازمة، ولكن من الممكن ألا تكون الدالة على هذين الشكلين القياسيين، ففي هذه الحال يتم تحويلها إلى الشكل القياسي باستخدام التقنيات التي تمت دراستها في القسم (5-2) والحصول على K-map ومنها يتم اختصار الدالة، كما يمكن الحصول على K-map مباشرة باتباع الآتي:

1- إدخال 1,s للمدلولات الأدنى، و 0,s للمدلولات الأقصى.

2- إدخال زوج من 1,s أو زوج من 0,s لكل مقطع يحتوى على عدد من المتغيرات أقل بواحد من العدد الكلى للمتغيرات، بمعنى أن يكون المقطع ممثل بعدد 3 متغيرات، في حين أن عدد متغيرات الدالة 4.

3- إدخال عدد 4 من 1,s أو عدد 4 من 0,s لخلايا متجاورة لكل مقطع يحتوى على عدد من المتغيرات أقل بإثنين من العدد الكلى للمتغيرات، بمعنى أن يكون المقطع ممثل بمتغيرين، في حين أن عدد متغيرات الدالة 4.

4- إدخال عدد 8 من 1,s أو عدد 8 من 0,s لخلايا متجاورة لكل مقطع يحتوى على عدد من المتغيرات أقل بثلاثة من العدد الكلى للمتغيرات، بمعنى أن يكون المقطع ممثل بمتغير واحد، في حين أن عدد متغيرات الدالة 4.

* وبمجرد الحصول على K-map، يتم إجراء خطوات الاختصار كما سبق تناولها من قبل، وسوف تساعد الأمثلة التالية في الفهم الأكثر للخطوات السابقة.

مثال (5-15) :

مطلوب اختصار دالة المتغيرات الأربعة التالية:

$$f(A,B,C,D) = ABCD + \bar{A}BCD + \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}\bar{D} + A\bar{C} + A\bar{B}C + \bar{B} \quad (5-29)$$

الحل :

يتم الحصول على خريطة K-map أولا كالتالى :

1- إدخال 1 فى الخلية التى بها: $A=1$ و $B=1$ و $C=0$ و $D=1$ ، وهى الخلية التى تناظر المقطع الأدنى $AB\bar{C}D$ (الخلية 13).

2- إدخال 1 فى الخلية التى بها: $A=0$ و $B=1$ و $C=1$ و $D=1$ ، وهى الخلية التى تناظر المقطع الأدنى $\bar{A}BCD$ (الخلية 7).

3- إدخال 1,s فى الخليتين التى بها: $A=0$ و $B=0$ و $C=0$ ، وهما تناظران المدلول الأدنى $\bar{A}\bar{B}\bar{C}$ (الخليتان 0، و 1).

4- إدخال 1,s فى الخليتين التى بها: $A=0$ و $B=0$ و $D=0$ ، وهما تناظران المدلول الأدنى $\bar{A}\bar{B}\bar{D}$ (الخليتان 0، و 2)، ونجد أنه قد تم إدخال 1 فى الخلية 0 فى الخطوة السابقة.

5- إدخال 1,s فى الخليتين التى بها: $A=1$ و $B=0$ و $C=1$ ، وهما تناظران المدلول الأدنى $A\bar{B}C$ (الخليتان 11، و 10).

6- إدخال 1,s فى الخلايا الأربعة التى بها: $A=1$ و $C=0$ ، وهى تناظر المدلول الأدنى $A\bar{C}$ (الخلايا 9، و 8، و 12، و 13)، وقد تم إدخال 1 فى الخلية 13 من قبل.

7- إدخال 1,s فى الخلايا الثمانية التى بها: $B=0$ ، وهى تناظر المقطع الأدنى \bar{B} (الخلايا 0، و 1، و 3، و 2، و 8، و 9، و 11، و 10)، وقد تم من قبل إدخال 1 فيها عدا الخلية 3.

وفى النهاية نحصل على K-map كما هو موضح فى شكل (5-16)، ونجد أنه يماثل شكل (5-13)، والذى بناء عليه تصبح الدالة المختصرة ماثلة للمعادلة (5-25)، أى:

$$Y = \bar{B} + A\bar{C} + \bar{A}CD$$

AB \ CD	00	01	11	10
00	1		1	1
01	1		1	1
11	1	1		1
10	1			1

شكل (16-5) K-map للدالة (29-5)

مثال (16-5) :

مطلوب إختصار دالة المتغيرات الأربعة التالية:

$$F(A, B, C, D) = (A + B + \bar{C} + \bar{D}).(\bar{A} + C + \bar{D}).(\bar{A} + B + \bar{C} + \bar{D}).(\bar{B} + C)$$

$$.(\bar{B} + \bar{C}).(A + \bar{B}).(\bar{B} + \bar{D}) \quad (5-30)$$

الحل :

يبين جدول (9-5) خلايا K-map التي يتم إدخال فيها 0,s المناظرة لكل مقطع، وحتى ولو إشتملت أكثر من خلية على 0، فمن الطبيعي إدخاله مرة واحدة.

جدول (9-5)

المقطع	الخلايا المحتوية على 0,s
$A + B + \bar{C} + \bar{D}$	A=0 ، B=0 ، C=1 ، D=1
$\bar{A} + C + \bar{D}$	A=1 ، C=0 ، D=1
$\bar{A} + B + \bar{C} + \bar{D}$	A=1 ، B=0 ، C=1 ، D=1
$\bar{B} + C$	B=1 ، C=0 ،
$\bar{B} + \bar{C}$	B=1 ، C=1
$A + \bar{B}$	A=0 ، B=1
$\bar{B} + \bar{D}$	B=1 ، D=1

كما يبين شكل (17-5) تمثيل لK-map .

AB \ CD	00	01	11	10
00		0	0	
01		0	0	0
11	0	0	0	0
10		0	0	

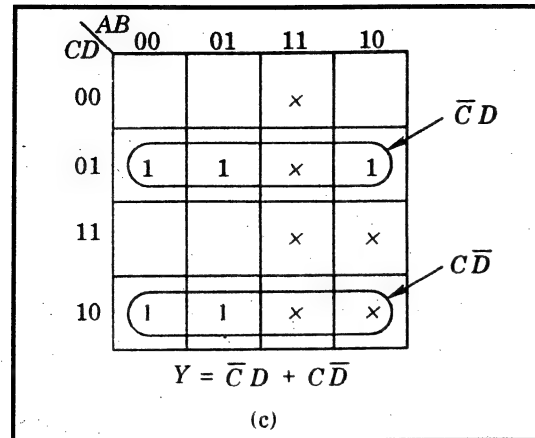
شكل (17-5) K-map للمعادلة (30-5)

وفي النهاية تؤول المعادلة المختصرة إلى الآتي :

$$f(A, B, C, D) = \bar{B}.(\bar{A} + \bar{D}).(\bar{C} + \bar{D}) \quad (5-31)$$

5-3-7 شرط غير مؤثر :

مما سبق كنا نقوم بإدخال الأحاد 1,s أو الأصفار 0,s المناظرة للدخول المتغيرة على K-maps وبما يصل بالدالة لتكون مساوية 1 الأصفار أو 0 على التوالي، كما يتم استخدام هذه الخرائط في إختصار الدالة من 1,s أو 0,s، كما أننا فرضنا 0,s في الأماكن الخالية في خرائط 1,s، والعكس تم فرض 1,s في الأماكن الخالية في خرائط 0,s، وفي الحقيقة أن هذا لا يكون صحيحا في بعض الأحوال حيث لا يمكن عمل تجميعات معينة لبعض الدخول، وأيضا لا يتم الحصول على الخروج المطلوبة لبعض الدوال، وفي هذه الحالات يترك للمصمم المرونة في فرض 1 أو 0 في الأماكن الخالية، وهذا ما يعرف بـ "شرط غير مؤثر" Don't-care condition والذي يمكن تمثيله في الخلية الخالية في الخريطة بالعلامة x، والتي تعنى فرض 1 أو 0 معتمدا على أيهما تؤدي إلى الإختصار الأكثر تبسيطا.



شكل (5-18) خرائط K-map مع شرط عدم الإهتمام

جدول (5-10)

الدخول				الخرج
A	B	C	D	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	X
1	0	1	1	X
1	1	0	0	X
1	1	0	1	X
1	1	1	0	X
1	1	1	1	X

وفي النهاية ، يتم عرض الدالة في إحدى الطرق الآتية:

1- بدلالة المدخلات الأدنى وشروط غير مؤثره، وتصبح الدالة على سبيل المثال كالتالي:

$$f(A, B, C, D) = \sum m(1, 3, 7, 11, 15) + d(0, 2, 5) \quad (5-32)$$

ويبين شكل (a-18-5) K-map، ويكون التعبير المختصر على الصورة:

$$Y = \overline{A}D + CD$$

2- بدلالة المدخلات الأقصى وشروط غير مؤثره، وتصبح الدالة على سبيل المثال كالتالي:

$$f(A, B, C, D) = \prod M(4, 5, 6, 7, 8, 12).$$

$$d(1, 2, 3, 9, 11, 14) \quad (5-33)$$

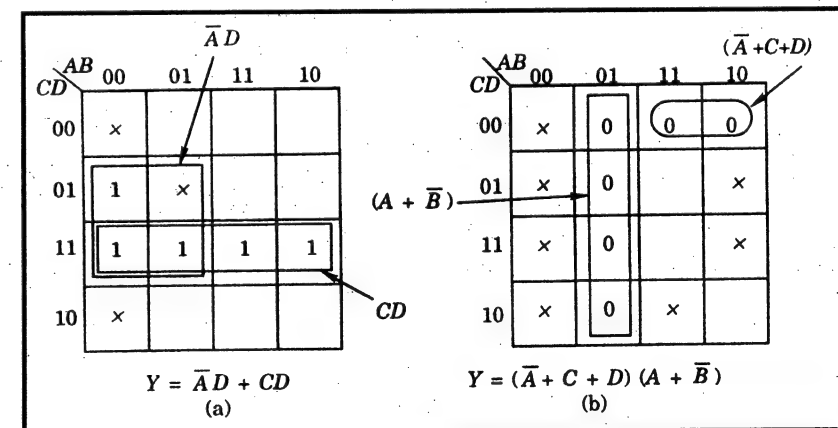
ويبين شكل (b-18-5) K-map، ويكون التعبير المختصر على الصورة:

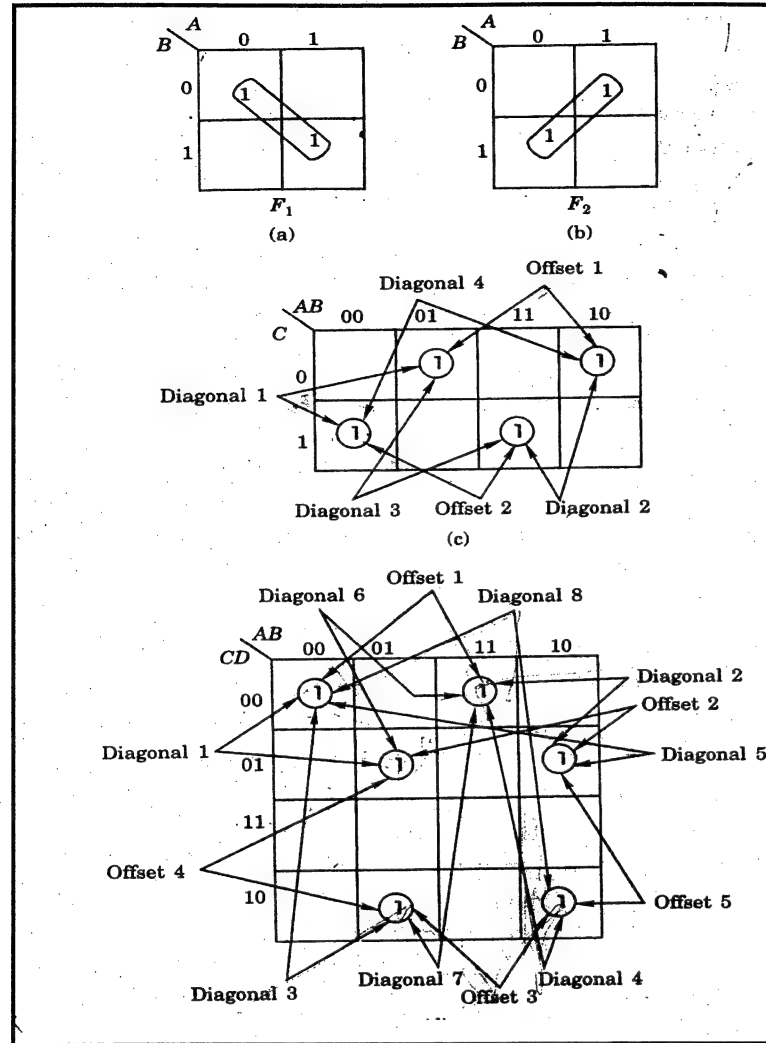
$$Y = (\overline{A} + C + D) \cdot (A \cdot \overline{B})$$

3- بدلالة جدول الحقيقة، كما في جدول (10-5).

ويبين شكل (c-18-5) K-map، ويكون التعبير المختصر على الشكل SOP على الصورة:

$$Y = \overline{C}D + C\overline{D}$$





شكل (5-19) K-maps تبين مجموعات متجاورات قطرية وتجاورية من خليتي 1,s

التجاوز-2 Offset-2 :

$$\begin{aligned} F_4 &= (\bar{A}\bar{B} + AB)C \\ &= (A \oplus B)C \\ &= (A \odot B)C \end{aligned}$$

4-5 تبسيط K-maps باستخدام بوابات EX-OR ، و EX-NOR :

توجد الكثير من المواقف عند التصميمات المنطقية التي يمكن عندها تبسيط التعبيرات المنطقية بدلالة عمليات EX-OR و EX-NOR، والتي تستخدم بتوسع في تصميمات الأنظمة الرقمية ولذا فإنها متاحة على أشكال الدوائر المتكاملة المختلفة، وكما هو معروف في تبسيط SOP أو POS وأحيانا يسمى تبسيط AND-OR، أو OR-AND يتم تجميع 1,s و 0,s المتجاورة رأسيا أو أفقيا، أما في تبسيط EX-OR ، و EX-NOR فيتم البحث عن:

- 1- متجاورات قطرية Diagonal adjacencies .
- 2- متجاورات تجاوزية Offset adjacencies .

4-5-1 أمثلة للمجاورات القطرية والتجاورية:

في هذه الطريقة يتم تجميع كل خليتين من 1,s تربط بينهما علاقة قطرية أو تجاوزية وذلك في معادلة واحدة، ويتضح ذلك من الأشكال الموضحة في شكل (5-19) .

1- K-map بمتغيرين :

من الشكلين (a)، و (b) يكون:

$$F_1 = \bar{A}\bar{B} + AB = \bar{A} \oplus B = A \odot B$$

$$F_2 = A\bar{B} + \bar{A}B = A \oplus B$$

2- K-map بـ 3 متغيرات :

التجاوز-1 Offset-1 :

$$F_3 = (\bar{A}B + A\bar{B})\bar{C}$$

$$= (A \oplus B)\bar{C}$$

$$F_{13} = A \bar{B}(C \oplus D)$$

القطر -1 1 Diagonal-1 :

$$F_{14} = \bar{A} \bar{B} \bar{C} \bar{D} + \bar{A} B \bar{C} \bar{D} = \bar{A} \bar{C}(B \oplus D)$$

القطر -2 2 Diagonal-2 :

$$F_{15} = A \bar{C}(B \oplus D)$$

القطر -3 3 Diagonal-3 :

$$F_{16} = \bar{A} \bar{D}(B \oplus C)$$

القطر -4 4 Diagonal-4 :

$$F_{17} = A \bar{D}(B \oplus C)$$

القطر -5 5 Diagonal-5 :

$$F_{18} = \bar{B} \bar{C}(A \oplus D)$$

القطر -6 6 Diagonal-6 :

$$F_{19} = B \bar{C}(A \oplus D)$$

القطر -7 7 Diagonal-7 :

$$F_{20} = B \bar{D}(A \oplus C)$$

القطر -8 8 Diagonal-8 :

$$F_{21} = \bar{B} \bar{D}(A \oplus C)$$

ومما سبق يمكن إيجاد الوسيلة للتعرف على هذه المتجاورات، وأيضا الوسيلة التي يمكن بها الحصول على المقطع المناظر لكل تجميع.

القطر -1 1 Diagonal-1 :

$$F_5 = \bar{A} \bar{B} \bar{C} + \bar{A} \bar{B} C$$

$$= \bar{A}(B \oplus C)$$

القطر -2 2 Diagonal-2 :

$$F_6 = A \bar{B} \bar{C} + ABC$$

$$= A(B \oplus C)$$

القطر -3 3 Diagonal-3 :

$$F_7 = B(A \oplus C)$$

القطر -4 4 Diagonal-4 :

$$F_8 = \bar{B}(A \oplus C)$$

3- K-map — 4 متغيرات :

التجاوز -1 1 Offset-1 :

$$F_9 = \bar{A} \bar{B} \bar{C} \bar{D} + AB \bar{C} \bar{D} = \bar{C} \bar{D}(A \oplus B)$$

التجاوز -2 2 Offset-2 :

$$F_{10} = \bar{C} D(A \oplus B)$$

التجاوز -3 3 Offset-3 :

$$F_{11} = C \bar{D}(A \oplus B)$$

التجاوز -4 4 Offset-4 :

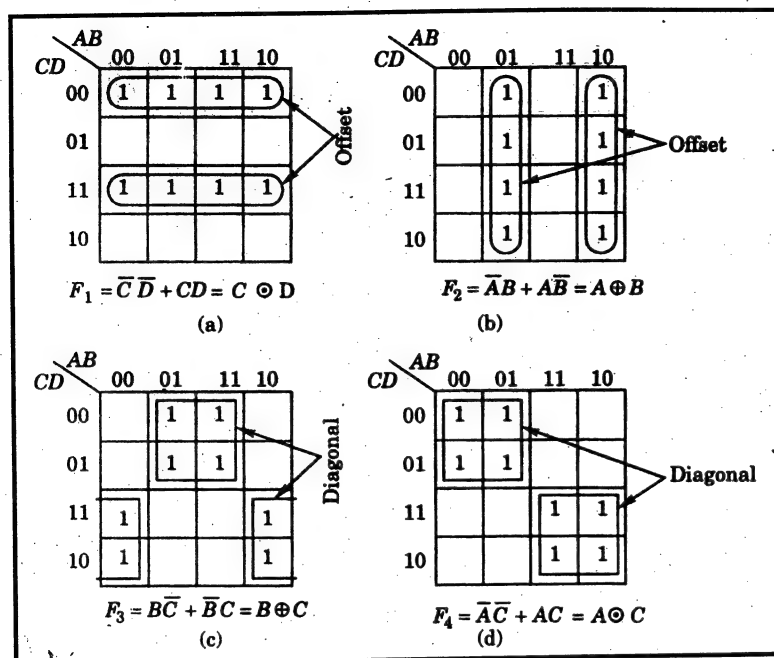
$$F_{12} = \bar{A} B(C \oplus D)$$

التجاوز -5 5 Offset-5 :

5-4-2 المتجاورات القطرية والتجاورية لمجموعات من 1, s

يبين شكل (5-20) متجاورات قطرية وتجاورية لمجموعات قياسية كل منها مكونة من 2 من 1, s، كما يكتب أسفل الشكل المعادلة المبسطة.

ومنها نلاحظ أنه إذا أمكن تواجدها مجموعات قياسية من 1, s على خريطة K-map على شكل المتجاورات القطرية والتجاورية، فيمكن تعريفها لتكون على دوال ممثلة بـ EX-OR، و EX-NOR، كما يمكن بالتالي تنفيذها بالبوابات EX-OR، و EX-NOR.



شكل (5-21) أمثلة لمتجاورات قطرية وتجاورية

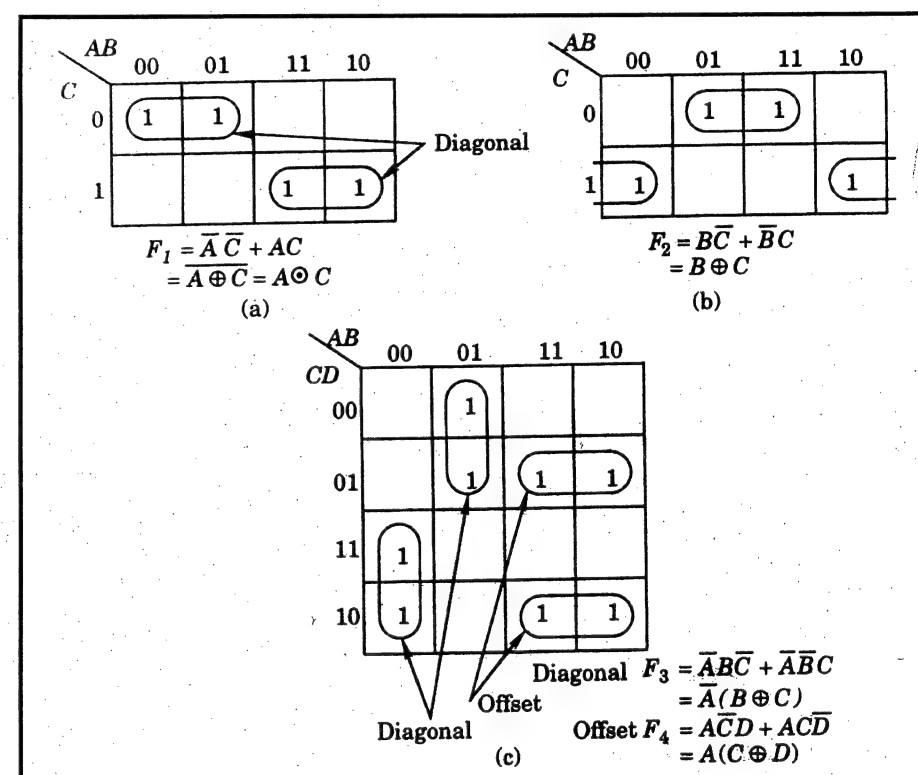
وعلى الرغم من أنه من الممكن كتابة مجموعة من القواعد تساعد على تبسيط خريطة K-map بدلالة عمليات EX-OR و EX-NOR مباشرة، إلا أن هذا يمكن أن يُعقد الأمور بطريقة غير ضرورية، فيتم أولاً تبسيط خريطة K-map بالطرق التقليدية باستخدام الطرق القياسية أو التقليدية، ثم إدخال وسيلة المتجاورات القطرية والتجاورية، وتبسيط التعبير جزئياً باستخدام نظريات بول وعمليات EX-OR، و EX-NOR، وتلك العملية سوف توضح من الأمثلة التالية.

مثال (5-17):

مطلوب تصميم محول من نظام ثنائي إلى كود جراى Binary-to-Gray code.

الحل:

يبين جدول (5-11) جدول الحقيقة للتحويل من النظام الثنائي لكود جراى.



شكل (5-20) متجاورات قطرية وتجاورية لمجموعات قياسية كل منها مكونة من عدد 2 من 1, s

ويبين شكل (5-21) متجاورات قطرية وتجاورية لمجموعات قياسية كل منها مكونة من عدد 4 من 1, s، كما يكتب أسفل الشكل المعادلة المبسطة.

جدول (5-11)

شفرة جرای				الشفرة الثنائية			
G_3	G_2	G_1	G_0	B_3	B_2	B_1	B_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	1	0	0	1	0
0	0	1	0	0	0	1	1
0	1	1	0	0	1	0	0
0	1	1	1	0	1	0	1
0	1	0	1	0	1	1	0
0	1	0	0	0	1	1	1
1	1	0	0	1	0	0	0
1	1	0	1	1	0	0	1
1	1	1	1	1	0	1	0
1	1	1	0	1	0	1	1
1	0	1	0	1	1	0	0
1	0	1	1	1	1	0	1
1	0	0	1	1	1	1	0
1	0	0	0	1	1	1	1

ويتم إنشاء K-map لكل خرج من الأربعة من كود جرای، أي G_0 و G_1 و G_2 و G_3 (بنفس الأسلوب الذي تم إنشاء خريطة K-map لكل الحروف من a، إلى g عند دراسة "كاشف القطع السبعة باستخدام شفرة BCD الطبيعية")، فنحصل في النهاية على الخرائط المبينة في شكل (5-22)، كما نحصل على المعادلات المبسطة التالية:

$$G_3 = B_3$$

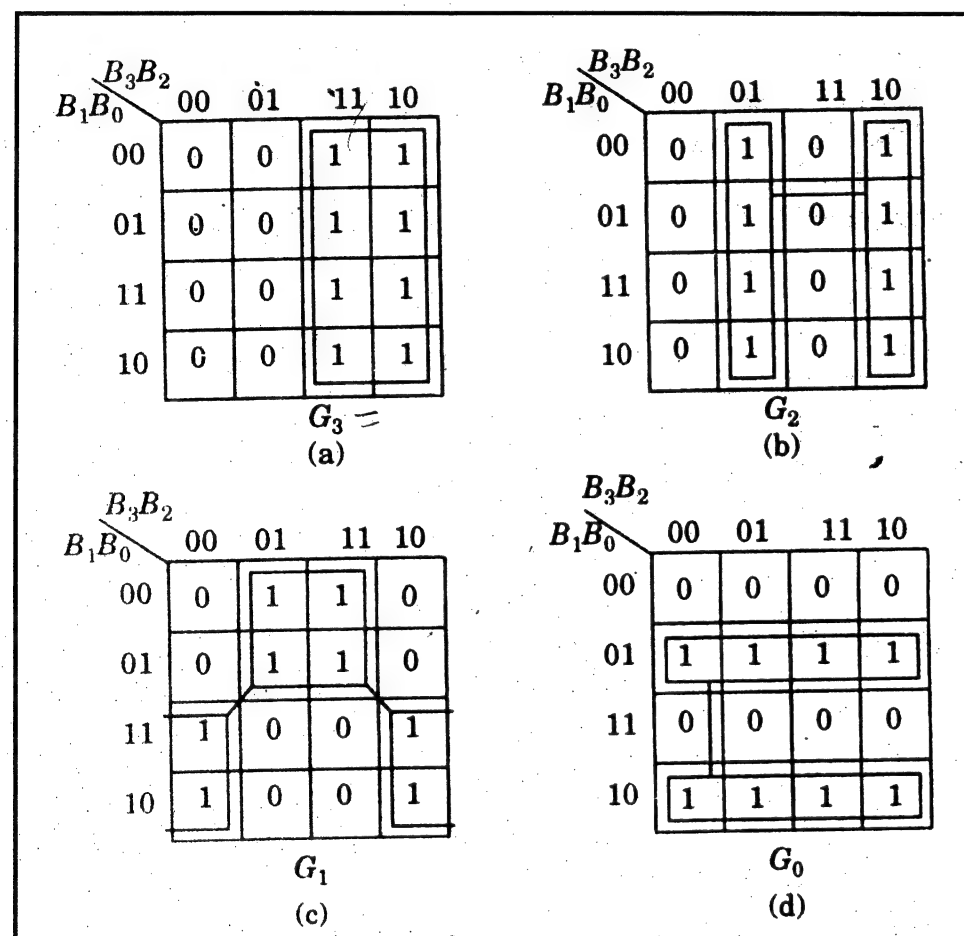
(5-34a)

$$G_2 = B_2 \oplus B_3 \quad (5-34b)$$

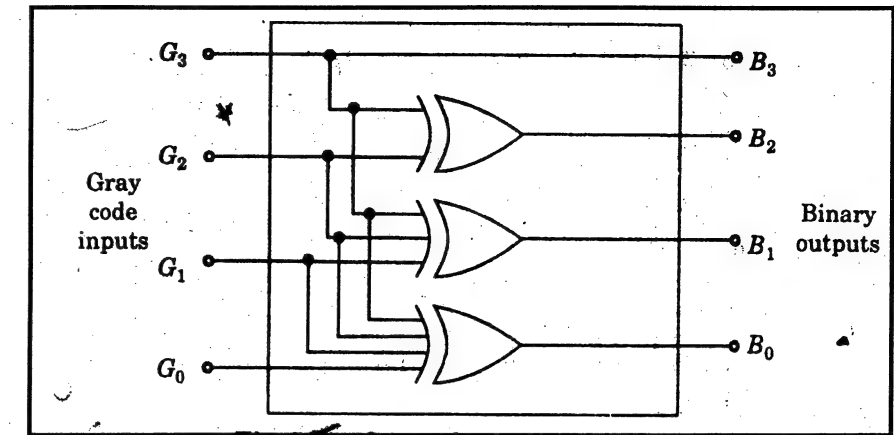
$$G_1 = B_1 \oplus B_2 \quad (5-34c)$$

$$G_0 = B_0 \oplus B_1 \quad (5-34d)$$

كما يبين شكل (5-23) تنفيذ للدائرة التي تمثل المحول من نظام ثنائي إلى كود جرای Binary-to-Gray code.



شكل (5-22) K-maps للمثال (5-17)



شكل (23-5) محول من نظام ثنائي إلى كود جراي

مثال (18-5):

مطلوب تصميم محول من نظام جراي إلى كود ثنائي Gray-to-Binary code .

الحل :

يبين جدول (11-5) جدول الحقيقة للتحويل من نظام جراي إلى شفرة النظام الثنائي ، ويتم تنفيذ نفس خطوات المثال السابق بإنشاء K-map لكل خرج من الخرج الأربعة النظام الثنائي أي: B_0 و B_1 و B_2 و B_3 ، ونحصل على الخرائط المبينة في شكل (5-32)، كما نحصل على المعادلات المبسطة التالية:

$$B_3 = G_3 \quad (5-35a)$$

$$B_2 = G_2 \oplus G_3 \quad (5-35b)$$

$$B_1 = G_1 \oplus G_2 \oplus G_3 \quad (5-35c)$$

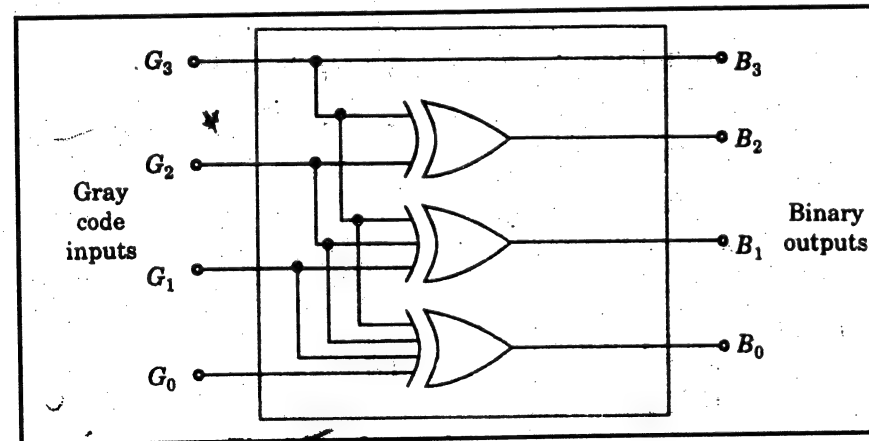
$$B_0 = G_0 \oplus G_1 \oplus G_2 \oplus G_3 \quad (5-35d)$$

كما يبين شكل (5-24) تنفيذ للدائرة التي تمثل المحول من نظام جراي إلى كود

ثنائي Gray-to-Binary code

	G_3G_2	00	01	11	10
G_1G_0	00	0	0	1	1
	01	0	0	1	1
	11	0	0	1	1
	10	0	0	1	1
		B_3			
		(a)			
	G_3G_2	00	01	11	10
G_1G_0	00	0	1	0	1
	01	0	1	0	1
	11	0	1	0	1
	10	0	1	0	1
		B_2			
		(b)			
	G_3G_2	00	01	11	10
G_1G_0	00	0	1	0	1
	01	0	1	0	1
	11	1	0	1	0
	10	1	0	1	0
		B_1			
		(c)			
	G_3G_2	00	01	11	10
G_1G_0	00	0	1	0	1
	01	1	0	1	0
	11	0	1	0	1
	10	1	0	1	0
		B_0			
		(d)			

شكل (24-5) K-maps للمثال (18-5)



شكل (25-5) دائرة محول من نظام جراي إلى كود ثنائي

مثال (5-19) :

مطلوب تبسيط التعبير المنطقي التالي:

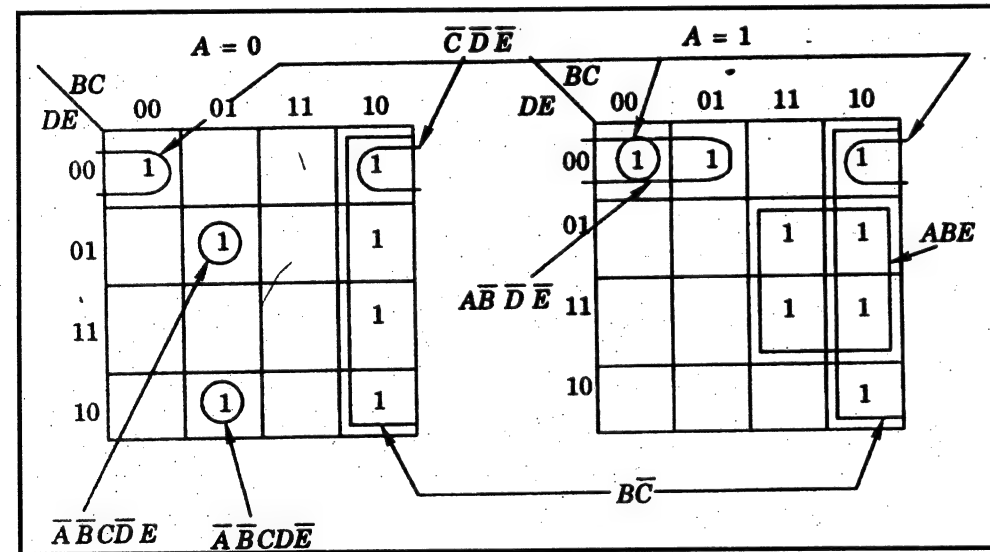
$$F(A, B, C, D, E) = \sum m(0, 5, 6, 8, 9, 10, 11, 16, 20, 24, 25, 26, 27, 29, 31) \quad (5-36)$$

الحل :

يوضح شكل (5-28) K-map للمعادلة (5-37)، كما يكون التعبير المبسط على الصورة:

$$F = \bar{A}\bar{B}C\bar{D}E + \bar{A}\bar{B}CDE + A\bar{B}\bar{D}\bar{E} + \bar{C}\bar{D}\bar{E} + ABE + B\bar{C} \quad (5-37)$$

ويمكن تحقيق المعادلة (5-37) باستخدام تشكيل NAND-NAND، وسنترك ذلك للدارس.



شكل (5-28) K-map للمعادلة (5-37)

مثال (5-20) :

مطلوب تبسيط التعبير المنطقي التالي:

K-maps 5-5 لـ 5 ، و 6 متغيرات :

يبين الشكلين (5-26) و (5-27) خرائط K-maps فيما يخص 5 و 6 متغيرات على الترتيب، ونجد أن خرائط الخمسة متغيرات عبارة عن خريطين كل منها لـ 4 متغيرات تعتمد كل منها على الأخرى، بينما في خرائط الستة متغيرات نجد أنها عبارة عن 4 خرائط كل منها لـ 4 متغيرات.

ويمكن تخيل عمليات الترابط بين المتغيرات المتجاورة داخل الخريطة الواحدة بطريقة عادية، والتي يمكن توضيحها من خلال الأمثلة التالية.

BC		A = 0				BC		A = 1			
		00	01	11	10			00	01	11	10
DE	00	0	4	12	8	DE	00	16	20	28	24
	01	1	5	13	9		01	17	21	29	25
	11	3	7	15	11		11	19	23	31	27
	10	2	6	14	10		10	18	22	30	26

شكل (5-26) K-map لـ 5 تغيرات

CD		A = 0				CD		A = 1			
		00	01	11	10			00	01	11	10
EF	00	0	4	12	8	EF	00	32	36	44	40
	01	1	5	13	9		01	33	37	45	41
	11	3	7	15	11		11	35	39	47	43
	10	2	6	14	10		10	34	38	46	42
EF	00	16	20	28	24	EF	00	48	52	60	56
	01	17	21	29	25		01	49	53	61	57
	11	19	23	31	27		11	51	55	63	59
	10	18	22	30	26		10	50	54	62	58

شكل (5-27) K-map لـ 6 تغيرات

5-6 تطبيقات لتصميم بعض الدوائر:

5-6-1 الدوائر الحسابية:

1- نصف الجامع Half-adder :

هي دائرة منطقية تستخدم لإضافة عددين بنظام الأعداد الثنائي كل منهما مكون من بت واحدة، أى لجمع: $0+0$ ، أو $0+1$ ، أو $1+0$ ، أو $1+1$ ، ويبين جدول (5-12) جدول الحقيقة لهذه العملية.

جدول (5-12)

الدخول		الخروج	
A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

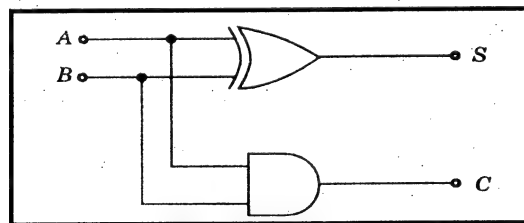
حيث يمثل A، و B الدخول، كما يمثل الخرج بالمجموع Sum ويرمز له بالرمز S، والمحمول Carry ويرمز له بالرمز C.

ومن جدول الحقيقة نحصل على ما يعبر عن كل من المجموع S، ومحمول C كالآتي:

$$S = \bar{A}B + A\bar{B} = A \oplus B \quad (5-40a)$$

$$C = AB \quad (5-40b)$$

ويوضح شكل (5-30) تنفيذ نصف جامع باستخدام بوابتين.



شكل (5-30) تنفيذ نصف جامع

$$F(A, B, C, D, E, F) = \sum m(0, 5, 7, 8, 9, 12, 13, 23, 24, 25,$$

$$28, 29, 37, 40, 42, 44, 46, 55, 56, 57, 60, 61) \quad (5-38)$$

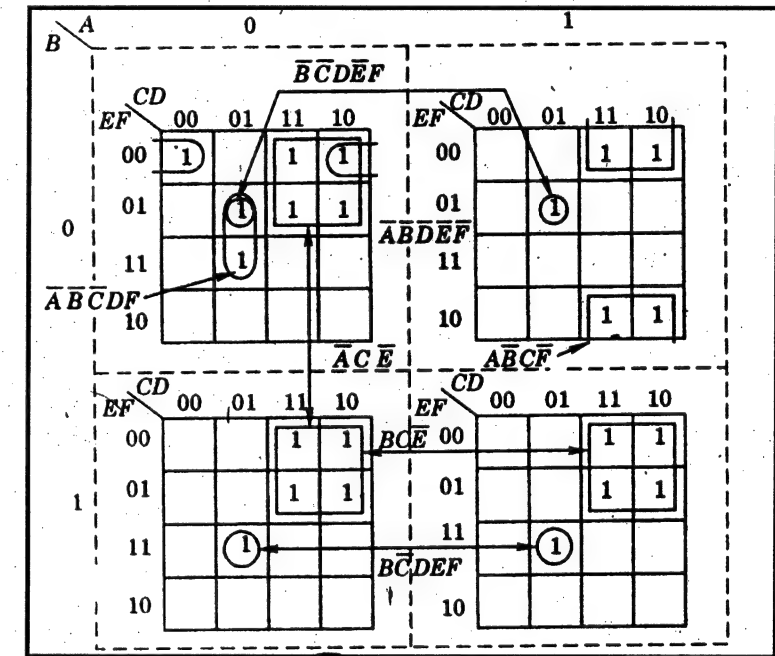
الحل :

يوضح شكل (5-29) K-map للمعادلة (5-38)، كما يكون التعبير المبسط على الصورة:

$$F = \bar{A}\bar{B}\bar{C}\bar{D}\bar{E}\bar{F} + \bar{A}\bar{B}\bar{C}D\bar{F} + \bar{B}\bar{C}\bar{D}\bar{E}\bar{F} + \bar{B}\bar{C}D\bar{E}\bar{F} +$$

$$A\bar{B}\bar{C}\bar{F} + \bar{A}C\bar{E} + BC\bar{E} \quad (5-39)$$

ويمكن تحقيق المعادلة (5-39) باستخدام تشكيل NAND-NAND، وسنترك ذلك للدارس.



شكل (5-29) K-map للمعادلة (5-38)

2- الجامع التام Full-adder :

كما عرفنا في نصف جامع أن هناك دخلين فقط، ولا يوجد هناك أى احتياط لإضافة أى محمول Carry من الدرجة الأقل Lower order إلى الدرجة الأعلى، وعلى هذا يتم إضافة دخل ثالث، وتصبح الدائرة بدخول A_n و B_n و C_{n-1} ، حيث: A_n و B_n من البتات للدخلين A و B على التوالي، أما الدخل C_{n-1} فهو محمول متولد عند إضافة بتات من الدرجة السابقة $(n-1)$ ، وتسمى هذه الدائرة بـ "الجامع التام"، ويمثل جدول (13-5) جدول الحقيقة لهذه الدائرة.

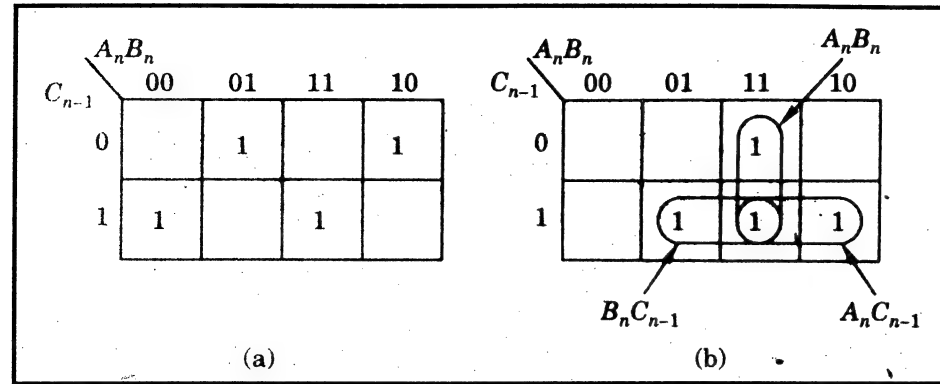
جدول (13-5)

الدخول			الخروج	
A_n	B_n	C_{n-1}	S_n	C_n
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

ويبين شكل (31-5) K-maps للخارجين S_n و C_n ، أما المعادلات المختصرة فهي معطاه في المعادلة (35-5).

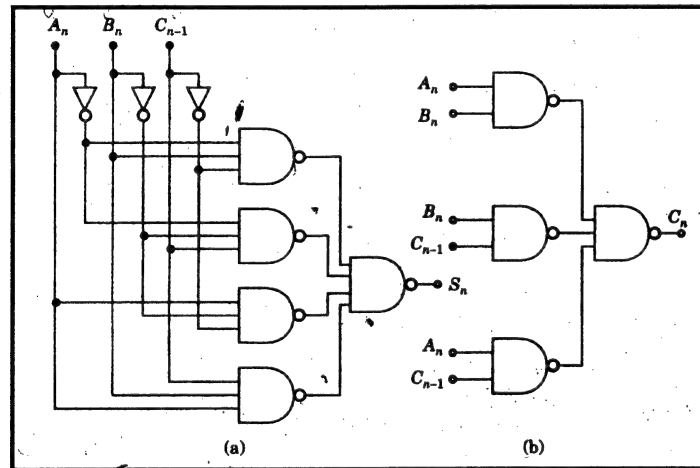
$$S_n = \bar{A}_n \bar{B}_n C_{n-1} + \bar{A}_n B_n \bar{C}_{n-1} + A_n \bar{B}_n \bar{C}_{n-1} + A_n B_n C_{n-1} \quad (5-41-a)$$

$$C_n = A_n B_n + B_n C_{n-1} + A_n C_{n-1} \quad (5-41-b)$$



شكل (31-5) K-maps للخارجين S_n و C_n

كما يبين شكل (32-5) تحقيق الخارجين بواسطة بوابات NAND-NAND.



شكل (32-5) تحقيق الخارجين S_n و C_n بواسطة بوابات NAND-NAND

3- نصف طارح Half-subtractor :

هي دائرة منطقية تستخدم لطرح عددين ثنائيين A و B كل منهما مكون من بت واحدة، ويبين جدول (14-5) جدول الحقيقة لهذه العملية والتي يمثل فيها الخرج بكل من: الفرق Difference ويرمز له بالرمز D والإستعارة Borrow ويرمز له بالرمز C .

ومن جدول الحقيقة نحصل على ما يعبر عن كل من الفرق D والإستعارة C كالآتي:

جدول (14-5)

الدخول		الخروج	
A	B	D	C
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

$$D = \bar{A}B + A\bar{B} = A \oplus B$$

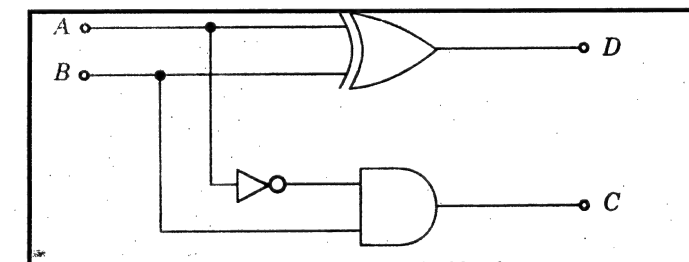
(5-42a)

42a)

$$C = \bar{A}B$$

(5-42b)

ويوضح شكل (33-5) تنفيذ نصف طارح باستخدام البوابات .



شكل (33-5) تنفيذ طارح نصفى

4- الطارح التام Full-subtractor :

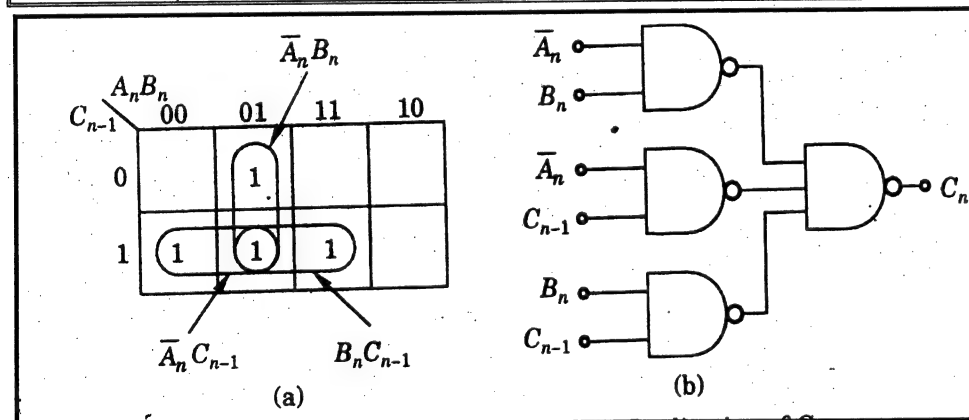
كما فى الجامع التام فنحن فى إحتياج لدائرة طارح تام لتنفيذ عمليات الطرح المتعددة والتي من خلالها يمكن اللجوء إلى إستعارة بت من الدرجة الأعلى، وعلى هذا تحتوى هذه الدائرة على دخول ثلاثة: المطروح منه A_n والمطروح B_n والمستعار من الخطوة السابقة C_{n-1} ، وعلى خرجين: الفرق D_n والمستعار C_n ، ويمثل جدول (15-5) جدول الحقيقة لهذه الدائرة.

وتكون K-map للخرج D_n مشابه تماماً لـ K-map للخرج S_n فى الجامع التام وبالتالي تكون دائرة تحقيقها مماثلة، وكما هو موضح فى شكل (5-32-a)، أما K-map للخرج C_n فهي ممثلة فى شكل (5-34-a) وتحقيق هذا الخرج من خلال الدائرة الممثلة فى شكل (5-34-b)، أما المعادلة المختصرة فهي معطاه فى المعادلة (5-43).

$$C_n = \bar{A}_n B_n + \bar{A}_n C_{n-1} + B_n C_{n-1} \quad (5-43)$$

جدول (15-5)

الدخول			الخروج	
A_n	B_n	C_{n-1}	D_n	C_n
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1



شكل (34-5) K-map وتحقيق الخرج C_n

ويتم إنشاء K-map لكل الحروف من a إلى g والموضحة في شكل (5-36) ويتم إدخال رمز شرط عدم الإهتمام X في الأماكن الخالية من K-maps ، ونحصل في النهاية على التعبيرات المختصرة لكل حرف على حدة كالتالي :

جدول (5-16)

العدد العشري المعروض على الشاشة	الدخول				الخروج						
	A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	0	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	0	0	1	1

$$a = \bar{B}\bar{D} + BD + CD + A \quad (5-44)$$

$$b = \bar{B} + \bar{C}\bar{D} + CD \quad (5-45)$$

$$c = B + \bar{C} + D = \overline{\bar{B}\bar{C}\bar{D}} \quad (5-46)$$

$$d = \bar{B}\bar{D} + CD + \bar{B}C + B\bar{C}D \quad (5-47)$$

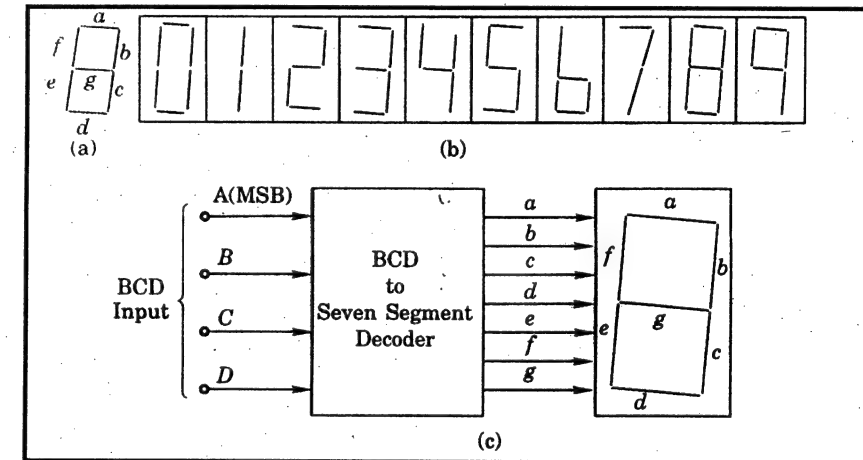
$$e = \bar{B}\bar{D} + CD \quad (5-48)$$

$$f = A + \bar{C}\bar{D} + B\bar{C} + B\bar{D} \quad (5-49)$$

$$G = A + B\bar{C} + \bar{B}C + CD \quad (5-50)$$

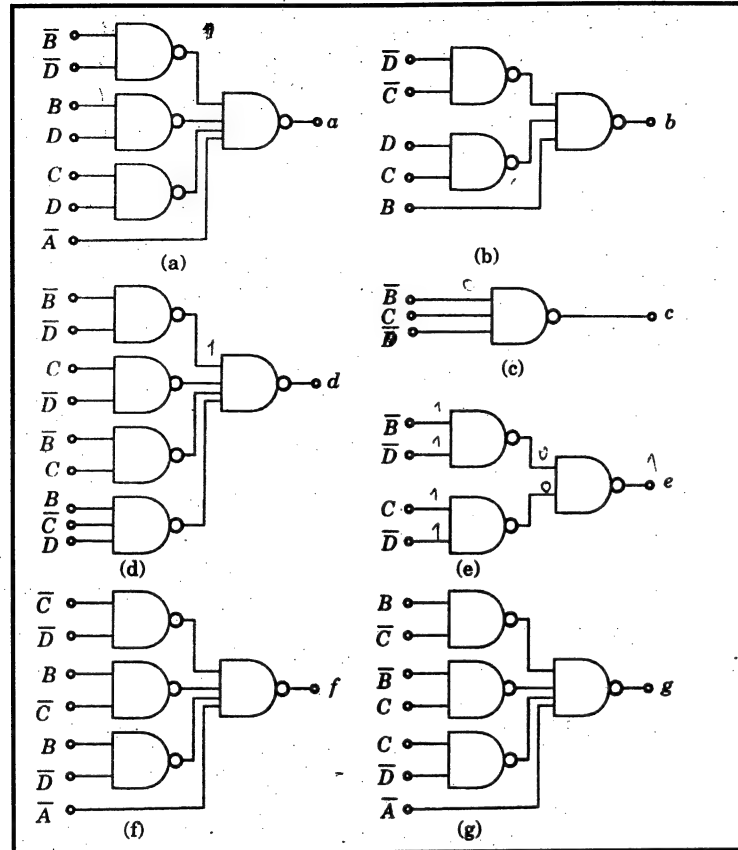
5-6-2 وحدة العرض السباعية :

في كثير من تطبيقات الأنظمة الرقمية كما في الآلات الحاسبة الرقمية والساعات الرقمية نجد الشاشة الرقمية المكونة من سبعة قطع مضيئة، والتي تُظهر الأعداد العشرية من 0 إلى 9، ويسمى هذا الجهاز "كاشف القطع السبعة" باستخدام شفرة BCD الطبيعية "BCD-to-7-segment decoder"، وهنا يتم تغيير البيانات من شفرة الكود التي تعبر عن العدد بالنظام الرقمي إلى الشفرة الأخرى المطلوبة لعرض العدد نفسه على الشاشة بالنظام العشري، وعادة تستخدم شفرة BCD الطبيعية، ويبين شكل (5-35a) شكلاً لوحدة عرض سباعية، كما يبين شكل (5-35b) الأجزاء الواجب إضاءتها والمناظرة لكل عدد عشري، بينما يبين شكل (5-35c) مخطط تمثيل نظام الشاشة .



شكل (5-35) وحدة العرض السباعية

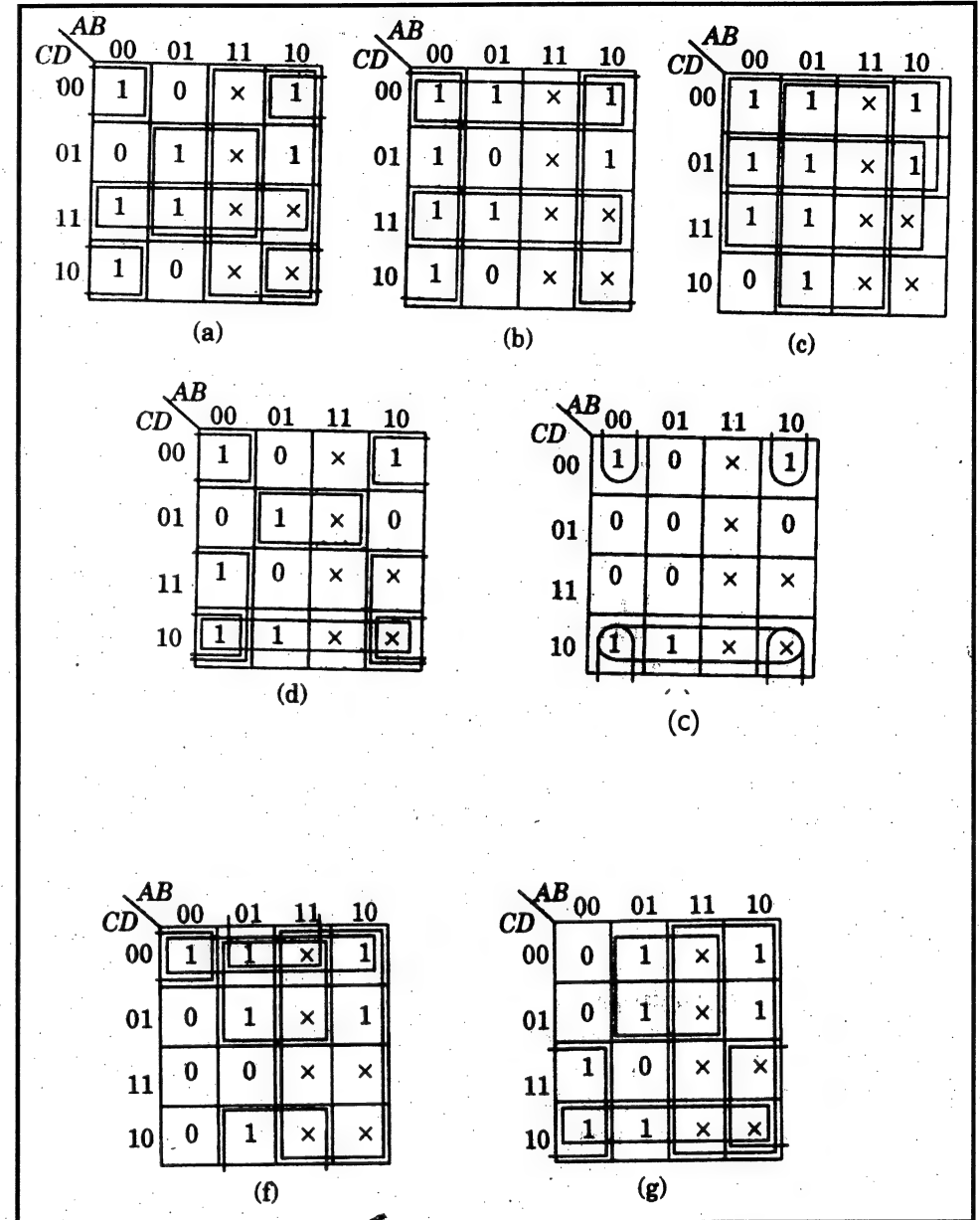
ويبين جدول (5-16) جدول الحقيقة لهذا الكاشف، حيث تمثل المتغيرات A و B و C و D الشفرة الطبيعية للأعداد من 0 إلى 9، فمثلاً العدد العشري 5 تكون شفرة BCD له هي: (0101) ومطلوب تمثيلة بالقطع: a, c, d, f, g، أى تكون مضاءة (أى تكون 1)، بينما القطع: b, e تكون مظلمة (أى تكون 0)، وبالمثل يتم تمثيل بقية الأعداد بنفس الطريقة، وفي النهاية نحصل على جدول (5-16) .



شكل (5-37) التحقيق للمعادلات من (5-44) إلى (5-50) ببوابات NAND

7-5 تصميم المنطق التوافقي باستخدام الدوائر المتكاملة ذات النطاق المتوسط MSI :

في الأقسام السابقة تمت مناقشة بعض الطرق التقليدية المستخدمة في تصميم الدوائر التوافقية، والتي شملت تبسيط التعبيرات المنطقية وتنفيذها باستخدام البوابات، وبمساعدة هذه الطرق تم دمج بعض الوظائف المعقدة والتي أدت إلى ما يعرف بالدوائر المتكاملة ذات النطاق المتوسط MSI والتي أصبحت متاحة على شكل دائرة متكاملة، وأصبحت هناك منظومة جذابة من الأجهزة مثل المجمعات Multiplexers، والموزعات Demultiplexers المولدرات/المراقبات المساوية Parity



شكل (5-36) K-map لجداول الحقيقة (5-15)

كما بين شكل (5-37) التحقيق ببوابات NAND.

المقارنات Comparators، الجامعات Adders.... إلخ. Encoders، كاشفات الأولوية priority encoders، المشفرات

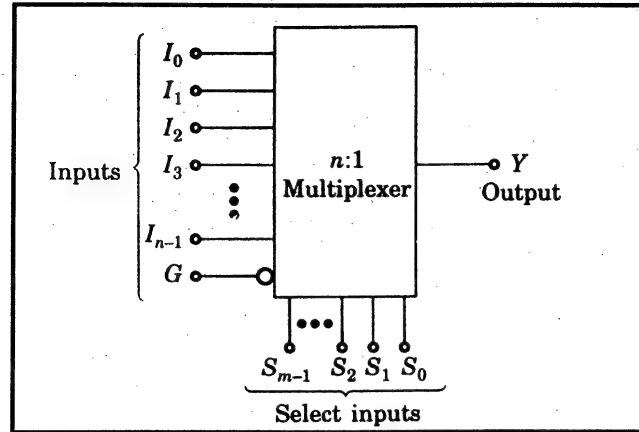
وسوف نتناول بعد قليل بعضاً من هذه الدوائر المتكاملة المركبة وتطبيقاتها في مجال تصميم الأنظمة التوافقية، حيث يقلل استخدام هذه الأجهزة من أعداد الدوائر المتكاملة المستخدمة في تصميم نظام ما، ومما يؤدي بالتالي إلى التقليل من تكلفة النظام، كما يؤدي استخدامها إلى تبسيط النظام الرقمي بدرجة كبيرة وإلى اعتمادية أيضاً وذلك بإختصار عدد التمديدات الخارجية، فيجب على المصمم - بناء على هذا - أن يكون على دراية كبيرة بهذه الدوائر، للوصول إلى الاستخدام الأمثل لها.

8-5 المجمعات واستخداماتها في تصميم المنطق المختلط :

1-8-5 Multiplexer : المجمع

المجمع هو دائرة توافقية خاصة، وهو يعد واحد من من أكثر الدوائر القياسية استخداماً في الأنظمة الرقمية، والمجمع (والذي يسمى أيضاً منتقى البيانات Data selector) هو دائرة تمرر أو تختار خرج واحد من بين عدة دخول، ويتم التحكم في الدخل الذي يتم اختياره عن طريق مجموعة من دخول إختيارية Select inputs، ويبين شكل (38-5) المخطط الوظيفي لمجمع له خطوط مداخل عددها n وخط مخرج واحد، ويتم اختيار خرج واحد من عدد من الدخول n عن طريق دخول إختيار Select inputs مكون من مجموعة من عدد m دخول إختيار، حيث: $(2^m = n)$ ، ومع الإعتماد على الشفرة الرقمية المطبقة على دخول الإختيار يمكن اختيار دخل واحد من الدخول n العديدة ونقلها إلى قناة خرج واحدة، وعادة يستخدم دخل G ويسمى بدخل التمكين Enable أو Strobe والذي يكون أداؤه مؤثراً عندما يكون منخفضاً LOW.

ويبين جدول (17-5) جدول الحقيقة لمجمع (4 : 1) مع دخل تمكن G منخفض LOW، ويتم التعبير عن الخرج Y بالعلاقة:



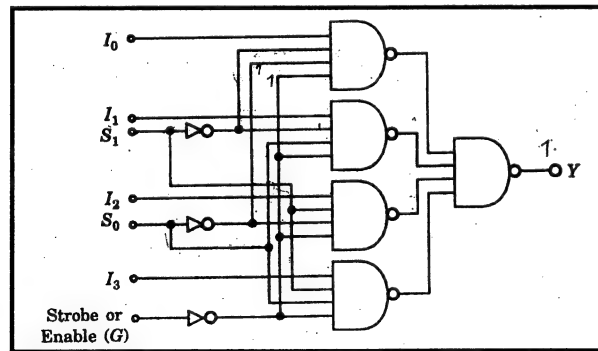
شكل (38-5) مخطط وظيفي لمجمع رقمي

$$Y = \bar{S}_1 \bar{S}_0 I_0 + \bar{S}_1 S_0 I_1 + S_1 \bar{S}_0 I_2 + S_1 S_0 I_3 \quad (5-51)$$

جدول (17-5)

الدخول المختارة		الخرج
S_1	S_2	Y
0	0	I_0
0	1	I_1
1	0	I_2
1	1	I_3

ويمكن تنفيذ المعادلة (51-5) باستخدام بوابات NAND، والموضح في شكل (5-39).



شكل (39-5) مجمع رقمي 4:1 بدخل تمكن باستخدام بوابات NAND

5-8-2 تصميم منطق زوافقى باستخدام المجمعات :

يمكن استخدام وظيفة المجمع الذى تمت مناقشته بطريقة مناسبة كعنصر منطقى عند تصميم الدوائر التوافقية، وتتوافر العديد من الدوائر التكاملية القياسية للمجمعات من أنواع : 2:1، و 4:1، و 8:1، و 16:1، وكما يتبين ذلك جدول (5-18) .

جدول (5-18)

رقم الشريحة	الوصف	الخرج
74157	4 مجمع كل منها 2:1	مثل الدخل
74158	4 مجمع كل منها 2:1	عكس الدخل
74153	2 مجمع كل منها 4:1	مثل الدخل
74352	2 مجمع كل منها 4:1	عكس الدخل
74151A	مجمع 8:1	خرج تكاملى
74152	مجمع 8:1	عكس الدخل
74150	مجمع 16:1	عكس الدخل

واستخدام المجمعات يحقق الكثير من المزايا، منها عدم الحاجة إلى تبسيط التعبيرات المنطقية وتقليل عدد حزم الدوائر المتكاملة بالإضافة إلى تبسيط تصميم المنطق.

ولاستخدام المجمع كعنصر منطقى ، فلا بد أن يتاح جدول الحقيقة أو واحد من الأشكال القياسية للتعبير المنطقى ، ويمكن توضيح خطوات التصميم كالتالى :

1- تحديد العدد العشرى المناظر لكل مدلول أدنى فى التعبير المنطقى مع توصيل خطوط المداخل المناظرة لهذه الأعداد لمستوى المنطق 1 .

2- توصيل المداخل الأخرى لمستوى المنطق 0 .

3- يتم توصيل المداخل للمداخل المختارة Selected inputs .

والخطوات السابقة يمكن توضيحها بالأمثلة التالية .

مثال (5-21) :

مطلوب تنفيذ التعبير المنطقى التالى باستخدام مجمع .

$$f(A, B, C, D) = \sum m(0, 2, 3, 6, 8, 9, 12, 14)$$

الحل :

نظرا لوجود 4 متغيرات، يتم استخدام مجمع بـ 4 مداخل مختارة، ويبين شكل (5-40) دائرة مجمع 16:1 لتنفيذ التعبير عاليه والذى يحتاج حزمة واحدة من دائرة متكاملة.

مثال (5-22) :

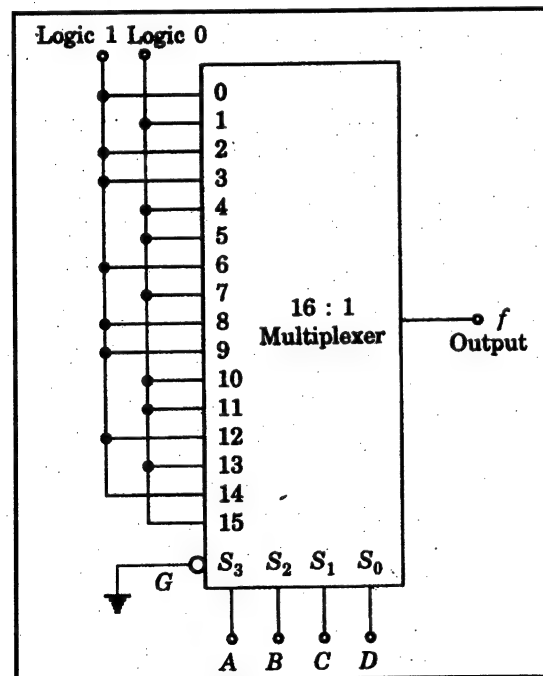
مطلوب تنفيذ الدالة المنطقية لجدول الحقيقة (5-19) .

الحل :

هناك طريقتين للحل.

* الطريقة الأولى:

كمثل التى أتبع فى حل المثال (5-21)، باستخدام دائرة مجمع 16:1 حيث يتم توصيل المداخل: 2 و 4 و 6 و 7 و 9 و 10 و 11 و 12 و 15 بالمنطق 1، بينما توصل المداخل: 0 و 1 و 3 و 5 و 8 و 13 و 14 بالمنطق 0 .



شكل (5-40) تنفيذ التعبير المنطقى للمثال (6-1)

* الطريقة الثانية :

باستخدام دائرة مجمع 8:1 بدلا من استخدام دائرة مجمع 16:1. ولهذا الغرض تم عمل تجزئة لجدول الحقيقة كما هو مبين بالخطوط العرضية، ويتم توصيل الدخول: A و B و C بدخول الاختيار: S_2 و S_1 و S_0 على الترتيب، ومن جدول الحقيقة نلاحظ العلاقة بين الدخول D والخرج Y في كل مجموعة مكونة من صفين، ونجد أن هناك 4 احتمالات للخرج Y وهي: 0 و 1 و D و \bar{D} ، وهذا ما يظهر في جدول (20-5).

جدول (19-5)

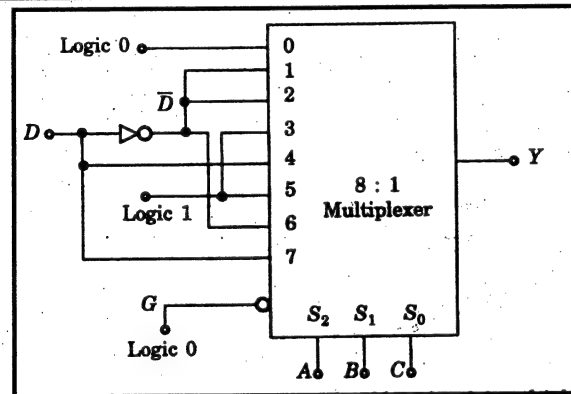
الدخول				الخرج
A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

وبالنظر إلى الخرج Y من هذا الجدول لكل مجموعة من المتغيرات A، و B، و C، يمكن تنفيذ التوصيل المطلوب كما في شكل (41-5).

كما يمكن الحصول على نفس الطريقة الثانية وذلك بتبسيط التعبير المنطقي المعطى.

جدول (20-5)

الدخول			الخرج
A	B	C	Y
0	0	0	0
0	0	1	\bar{D}
0	1	0	\bar{D}
0	1	1	1
1	0	0	D
1	0	1	1
1	1	0	\bar{D}
1	1	1	D



شكل (41-5) تنفيذ جدول حقيقة لـ 4 متغيرات باستخدام دائرة مجمع 8:1

3-8-5 شجرة المجمعات :

حيث أن المجمعات 16:1 هي الأعلى والمتاحة للمجمعات على شكل دائرة متكاملة، فلا بد من وجود الإحتياط الذى يقابل إحتياجات مداخل أكثر، وهذا يمكن تحقيقه باستخدام الطريقتين الموضحتين فى شكل (42-5) و (43-5)، والتي أيضا يمكن تعميمهما للوصول إلى أجهزة تعدادية بعدد مداخل n بدون أية صعوبات.

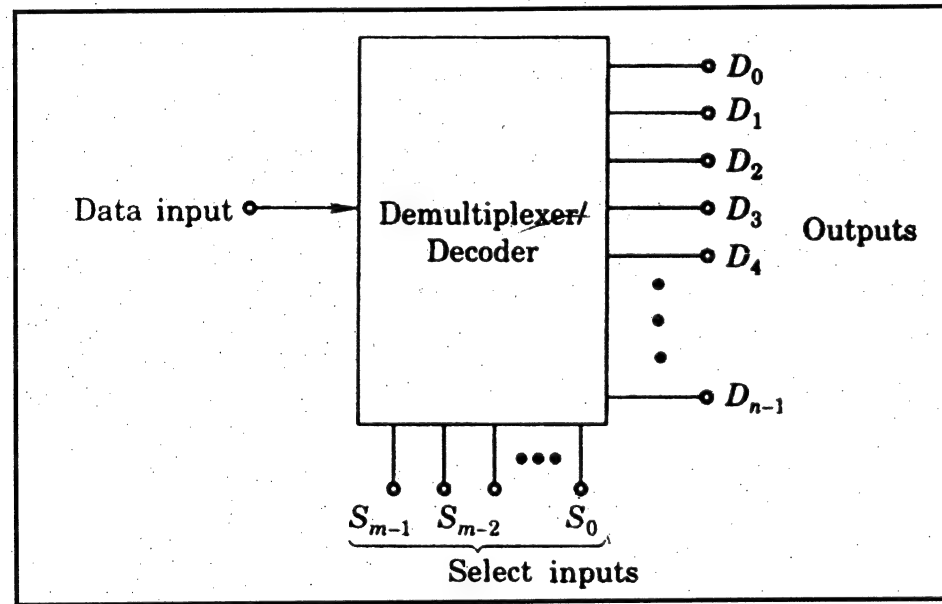
9-5 الموزعات واستخداماتها في تصميم المنطق التوافقي :

1-9-5 Demultiplexer :

يؤدي الموزع Demultiplexer عكس ما يؤديه المجمع ، حيث يقبل مدخل واحد ويقوم بتوزيعه على واحد من عدة مخرج ، وكما يتبين في المخطط الوظيفي في شكل (5-44)، وحيث تحدد شفرة دخل الاختيار إلى أى خرج ستتوجه بيانات الدخل.

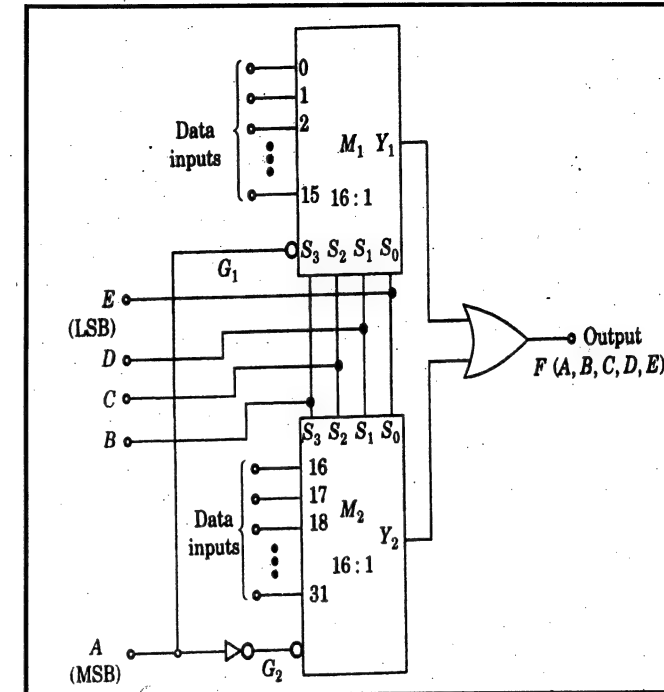
وإذا كان n هي عدد المخرج، و m هي عدد مداخل الاختيار، فيكون:

$$n = 2^m$$

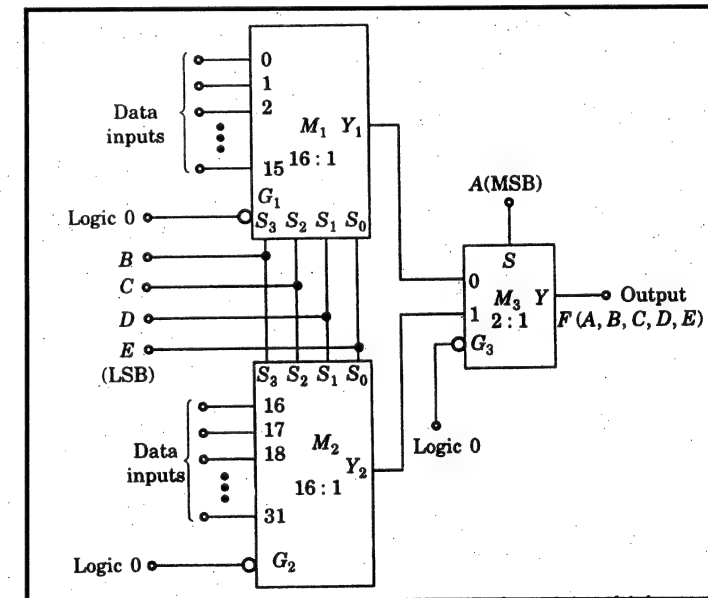


شكل (5-44) المخطط الوظيفي للموزع

ويمكن استخدام هذه الدائرة ككاشف من نظام أعداد ثنائي إلى نظام أعداد عشري Binary-to-decimal decoder وذلك بإدخال العدد الثنائي على مداخل الاختيار فيظهر العدد العشري المكافئ على خط الخرج المكافئ، كما يتم توصيل خط بيانات الدخل بمستوى منطقي 1.



شكل (5-42) مجمع 32:1 باستخدام مجمعين 16:1 وبوابة OR



شكل (5-43) مجمع 32:1 باستخدام مجمعين 16:1 ومجمع 2:1

ويمكن تحقيق المخطط السابق بجهاز باستخدام البوابات (وهذا متروك كتدريب للدارس)، إلا أن هذا الجهاز متاح كدائرة متكاملة كأحدى الدوائر المتكاملة المتوسطة النطاق ، وتستخدم عند تصميم الدوائر التوافقية.

ويبين جدول (5-21) الدوائر المتكاملة لكواشف من أنواع: (2 خط إلى 4 خط ، و 3 خط إلى 8 خط ، و 4 خط إلى 16 خط).

جدول (5-21)

رقم الشريحة	الوصف	الخرج
74139	2 جهاز كل منها 1:4 (كاشف 2 خط : 4 خط)	عكس الدخل
74155	2 جهاز كل منها 1:4 (كاشف 2 خط : 4 خط)	1 عكس الدخل
74156	2 جهاز كل منها 1:4 (كاشف 2 خط : 4 خط)	2 مثل الدخل
74138	1 جهاز كل منها 1:8 (كاشف 3 خط : 8 خط)	عكس الدخل
74154	1 جهاز كل منها 1:16 (كاشف 4 خط : 16 خط)	مثل الدخل
74159	1 جهاز كل منها 1:16 (كاشف 4 خط : 16 خط)	مثل الدخل

مثال (5-23) :

مطلوب تصميم دائرة من النوع التوافقى متعددة المخارج الآتية باستخدام كاشف 4 خط : 16 خط .

$$F_1 = \sum m (1, 2, 4, 7, 8, 11, 12, 13)$$

$$F_2 = \sum m (2, 3, 9, 11)$$

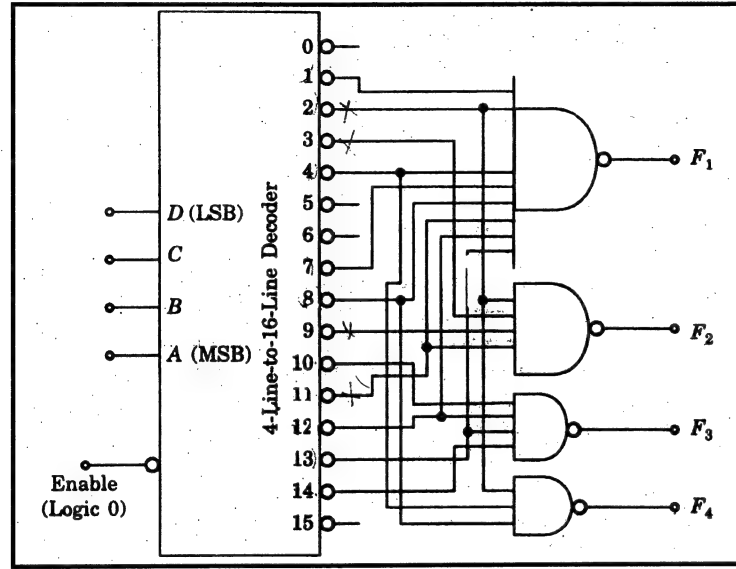
$$F_3 = \sum m (10, 12, 13, 14)$$

$$F_4 = \sum m (2, 4, 8)$$

الحل :

يبين شكل (5-45) تنفيذ الدائرة المطلوبة .

يتم تطبيق دخول 4 بت ABCD على نهايات الدخل المختارة S_0 و S_1 و S_2 و S_3 وتحقق المقاطع الأدنى : 1, 2, 4, 7, 8, 11, 12, 13 الخرج F_1 المطلوب ، وبناء على ذلك يتم توصيل بوابة NAND كما هو موضح ، بالمثل يتم توصيل بوابات NAND للخروج F_2 و F_3 و F_4 .



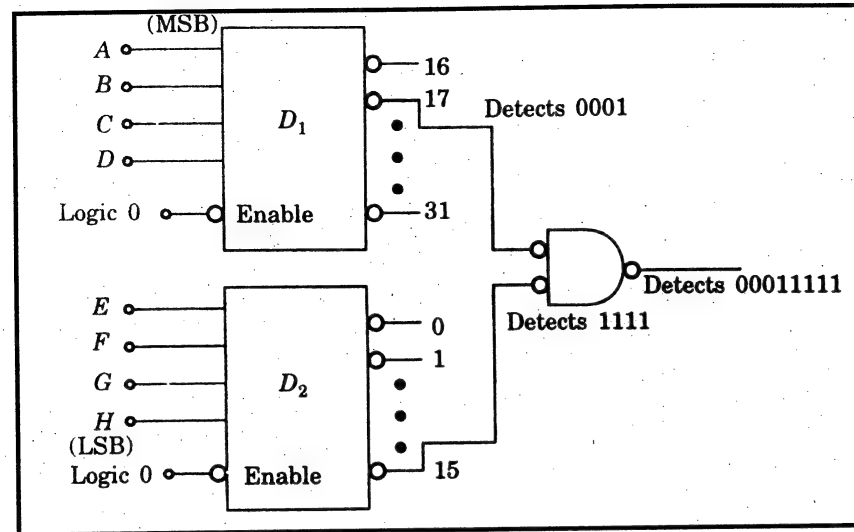
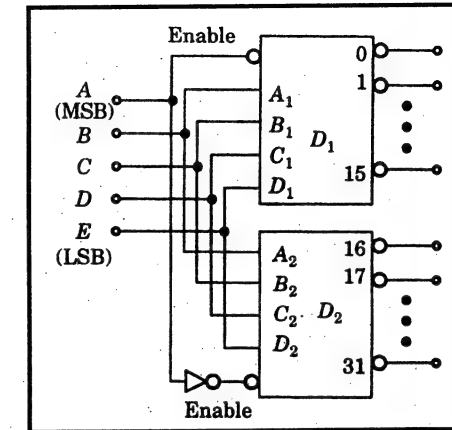
شكل (5-45) تنفيذ الدائرة المطلوبة للمثال (6-23)

5-9-2 شجرة الكاشف :

حيث أن الكاشف 4 خط : 16 خط هي الأعلى والمتاحة على شكل دائرة متكاملة، فلا بد من وجود الإحتياط الذى يقابل إحتياجات مداخل أكثر والذى يمكن تحقيقه باستخدام الطريقتين الموضحتين فى شكل (5-46) الذى يوضح كاشف 5 خط: 32 خط، وشكل (5-47) الذى يوضح كاشف 6 خط : 256 خط ، والتي أيضا يمكن تعميمهما للوصول إلى كواشف بدخول m خط : n خط بدون أى صعوبات.

إلا أنه إذا أريد التعرف على شفرات قليلة ذات عدد كبير، فيمكن إستخدام الدائرة المبينة فى شكل (5-48)، وللإيضاح إذا أريد كشف العدد 00011111، يتم تطبيق البتات ذات التأثير الأكبر MSB على الدخول ABCD، بينما يتم تطبيق البتات

ذات التأثير الأصغر LSB على الدخول E F G H، ونجد أن الخرج يتجه ليكون منخفضاً عندما تكون بتات التأثير الأعلى 0001 وتكون بتات التأثير الأدنى 1111، وكما هو موضح في شكل (48-5).



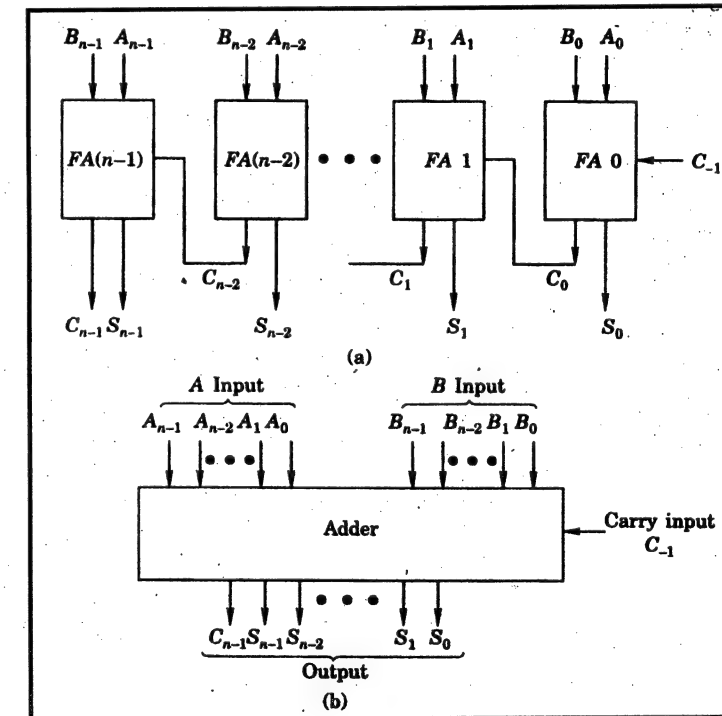
شكل (48-6) مثال لكاشف لأحد التكوينات

10-5 الجامع واستخدامه كطراح :

في القسم (6-5) تم التطرق إلى كل من نصف الجامع والجامع التام ونصف الطراح والطراح التام والتي تتعامل مع عددين كل منهما مكون من 1 بت، ويمكن باستخدام تلك الدوائر تصميم جامع وطراح لأعداد ثنائية تحتوي كل منها على عدد n بتات، ويمكن أداء كلتا العمليتين (الجمع والطرح) باستخدام دوائر النوع الجامع حيث يمكن استخدام الدوائر الجامعة كدوائر طارحة (حيث أن مسألة الطرح يمكن تحويلها لمسألة جمع باستخدام تمثيل مكمل الواحد، ومكمل الإثنين للأعداد السالبة)، ومن هنا وصلت أهمية الجوامع كواحدة من أهم الدوائر القياسية المتاحة على شكل الدوائر المتكاملة المتوسطة النطاق MSI.

وتتكون دائرة هذا الجامع (الذي يقوم بجمع أعداد ثنائية تحتوي كل منها على n بت) من عدد n من دوائر الجامع الكلي حيث تقبل في الدخل عددين كلاهما مكون من n بت ، وينتج عدد مكون $(n + 1)$ بت كخارج جمع ، ويبين شكل (49-5) (a) جامع يستخدم عدد من الجوامع الكلية لجمع عددين ثنائيين كلاهما مكون من n بت

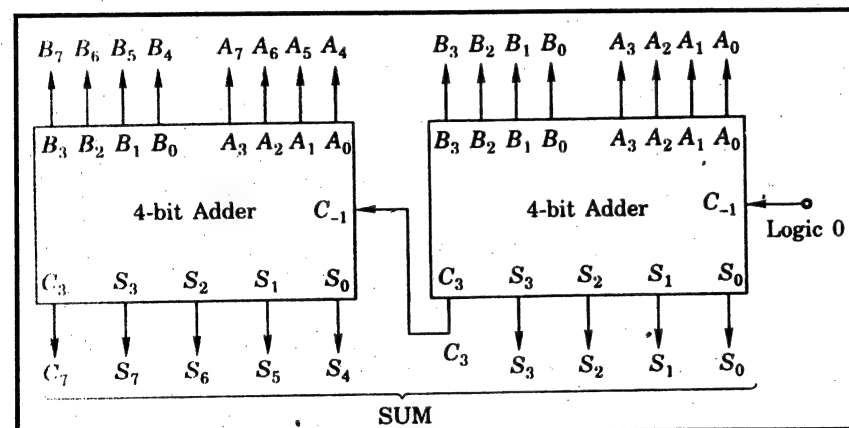
شكل (46-5) كاشف 5 خط : 32 خط باستخدام 2 كاشف 4 خط : 16 خط



شكل (47-5) كاشف 6 خط : 256 خط باستخدام عدد من الكواشف 4 خط : 16 خط

5-10-1 ثنائي الجوامع:

يمكن زيادة المجال لجمع أعداد ثنائية تحتوي على أكثر من 4 بت، فيمكن بعدد 2 جامع كل منهما من نوع 4 بت للحصول على جامع من نوع 8 بت كما هو مبين في شكل (5-5)، وعامة وبطريقة مشابهة يمكن الحصول على جامع من نوع n بت.



شكل (5-5) جامع من نوع 8 بت من جامعي 4 بت

5-10-2 عملية الطرح باستخدام الجامع:

وكما تمت مناقشته في الفصل الثاني، فإن عملية الطرح يمكن إجراؤها كعملية جمع متى تم استخدام تمثيل مكمل الواحد، ومكمل الإثنين في تمثيل الأعداد السالبة.

5-11-1 العمليات الحسابية بشفرة BCD:

في الغالب تستخدم الشفرة BCD في تمثيل الأعداد العشرية كما هو الحال في حاسب الجيب، ومن هنا يلزم تنفيذ إجراء عمليتي الجمع والطرح بشفرة BCD.

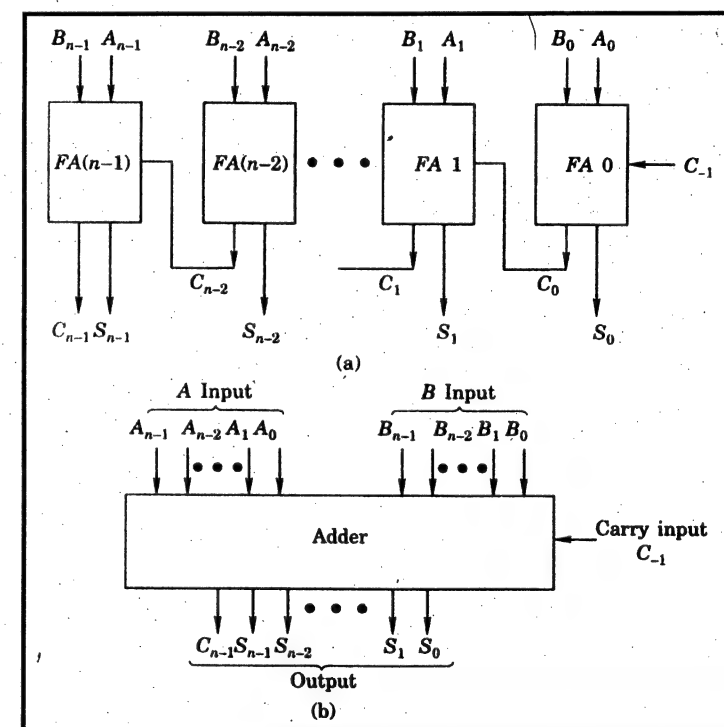
5-11-1 جامع BCD:

يمكن استخدام الدائرة التكاملية 7483 لتنفيذ جمع الأعداد بنظام BCD، وفيها إذا كان المجموع أو الخرج غير محقق بنظام BCD أو إذا تولد محمول C_3 ، ففي هذه

البت A_0 إلى A_{n-1} ، B_0 إلى B_{n-1} ، حيث يتم إضافة البت A_0 إلى البت B_0 في الجامع التام (FA0) ويكون الناتج هو S_0 والمحمول C_0 (إن وجد)، ثم إضافة البت A_1 إلى البت B_1 والمحمول C_0 (إن وجد) في الجامع الكلي (FA1) ويكون الناتج S_1 والمحمول C_1 (إن وجد) وهكذا.

ويمكن استخدام نصف جامع فقط (بدلاً من FA0) جامع تام عند إضافة A_0 ، وفي النهاية يمكننا القول أن دخل الجامع هما العددين A و B وكلاهما مكون من n بت، ويكون الخرج أو مجموعهما: $S_0 S_1 S_2 \dots S_{n-1} C_{n-1}$.

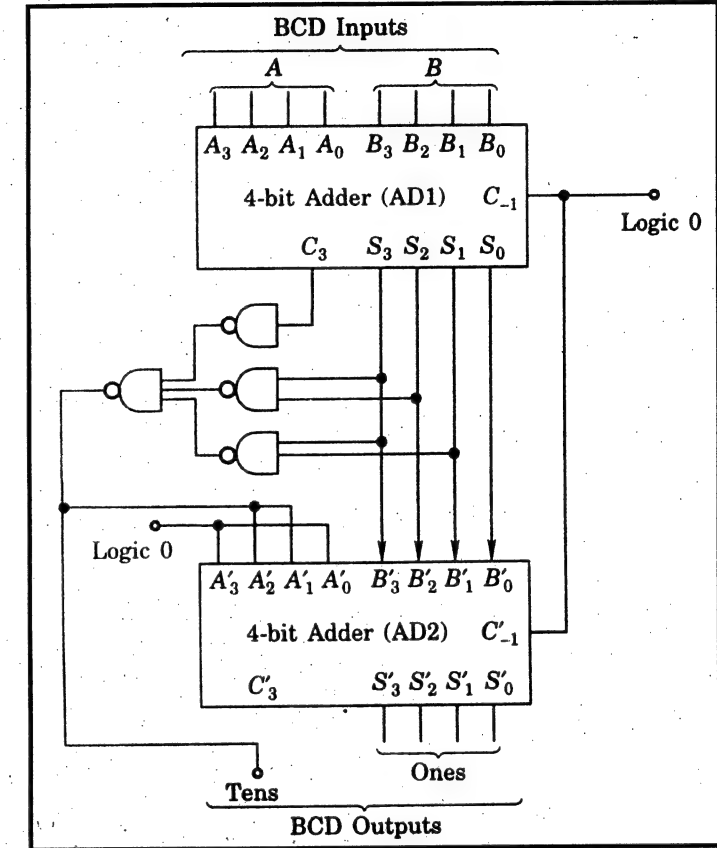
وتتوفر دوائر متكاملة لجمع 2 بت 4 بت، ويؤدي إنتقال المحمول Carry من مستوى بت ذي تأثير أصغر LSB إلى مستوى بت ذي تأثير أكبر MSB إلى الإقلال من سرعة التشغيل للجامع والتي تقدر بالزمن المطلوب لإنهاء عملية نقل المحمول. والتصنيع الحديث للجوامع يتيح تقنية بإسراع عملية توليد المحمول والتي تعرف بالمحمول المتقدم للأمام Look-ahead carry، هذه التقنية تستبقي بت المحمول مقدماً عند كل مرحلة من مراحل الجمع قبل حدوث عملية الجمع.



شكل (5-49) جامع كلي لجمع عددين كلاهما مكون من n بت

الحالة يضاف العدد العشري 6 (أو الثنائي 0110) للمجموع وذلك للحصول على النتيجة الصحيحة.

وبين شكل (51-5) جامع BCD برقم واحد.



شكل (51-5) جامع BCD برقم واحد

كما يمكن عمل تتالي لهذه الجوامع لإضافة أعداد أطول وذلك بتوصيل المحمول الخارج من مرحلة ما إلى الداخل للمرحلة التالية.

5-11-2 طارح BCD :

عند الطرح في شفرة BCD، يتم تحويل العدد المطروح إلى مكمل التسعة 9's complement ثم إضافته إلى المطروح منه، ويتم الحصول على مكمل التسعة لعدد

بشفرة BCD بطرح هذا العدد من العدد 9، فللحصول على مكمل التسعة للعدد 2 نطرح العدد 2 من العدد 9 فنحصل على العدد 7 أي: $(0111)_{BCD}$ ، ونقول أن:

العدد 0111 هو مكمل التسعة للعدد 0010، وبين المثال التالي كيفية إجراء عملية الطرح بشفرة BCD باستخدام مكمل التسعة.

مثال (5-24) :

مطلوب القيام بعملية الطرح التالية :

أ- طرح 5 من 9.

ب- طرح 1 من 8.

ج- طرح 8 من 4.

الحل :

9	=	1001	-		
-5	=	(+) 0100	+		مكمل التسعة للعدد 5

		1101			غير منطقي
أضف 6		0110			

		1 0011			
		1			End Around Carry EAC

		0100		+4	

ب-

$$8 = 1000$$

$$-1 = (+) 1000$$

مكمل التسعة للعدد 1

غير منطقي 10000

أضف 6 0110

1 0110

بإضافة الناقل الدائر الأخير
End Around Carry EAC

1

0111 +7

ج-

4 0100

-8 (+) 0001 مكمل التسعة للعدد 8

0101

ويكون مكمل التسعة للعدد 0101 هو 4.

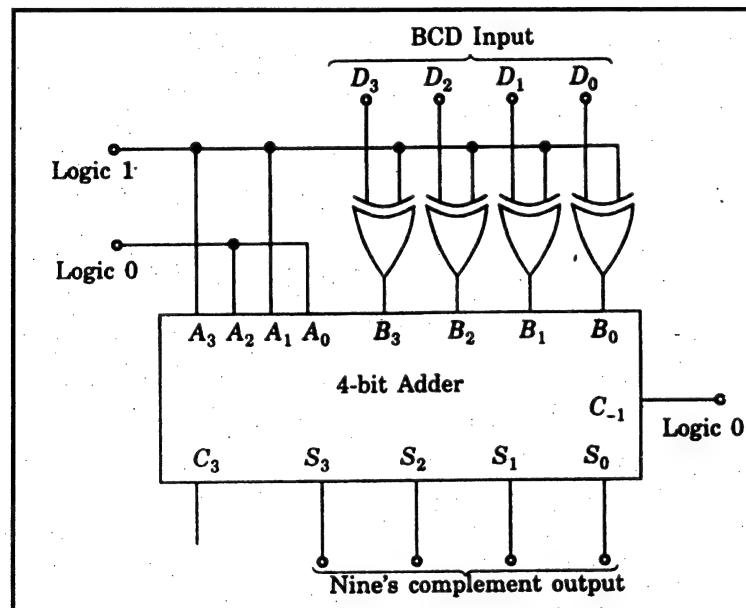
وعلى هذا تكون الإجابة: 4 -

* ومن المثال عالية نستنتج مايلي :

1- إذا كان مجموع كل من المطروح منه والمطروح غير منطقي بشفرة BCD كما في المثال (4-6 أ)، أو تولد ناقل 1 من بت التأثير الأعلى MSB كما في المثال (4-6 ب) فيتم إضافة العدد 10_6 (6) أو العدد 0110_{BCD} وأيضا إضافة الناقل الدائر الأخير إلى المجموع.

2- إذا كان مجموع كل من المطروح منه والمطروح منطقي بشفرة BCD، فيكون الناتج سالبا وعلى شكل مكمل التسعة كما في المثال (4-6 ج) .

* يمكن الحصول على مكمل التسعة لأي عدد بإضافة 1010 إلى مكمل الواحد للعدد، فمثلا مكمل التسعة للعدد 4 هو العدد 5، ويمكن الحصول عليه أيضا أولا بحساب مكمل الواحد للعدد 4 (0100) ويكون: (1011)، وبإضافة (1010) إليه يصبح الناتج: (1 0101)، ويبين شكل (5-52) دائرة مكمل التسعة باستخدام جامع 4 بت وبوابات EX-OR.

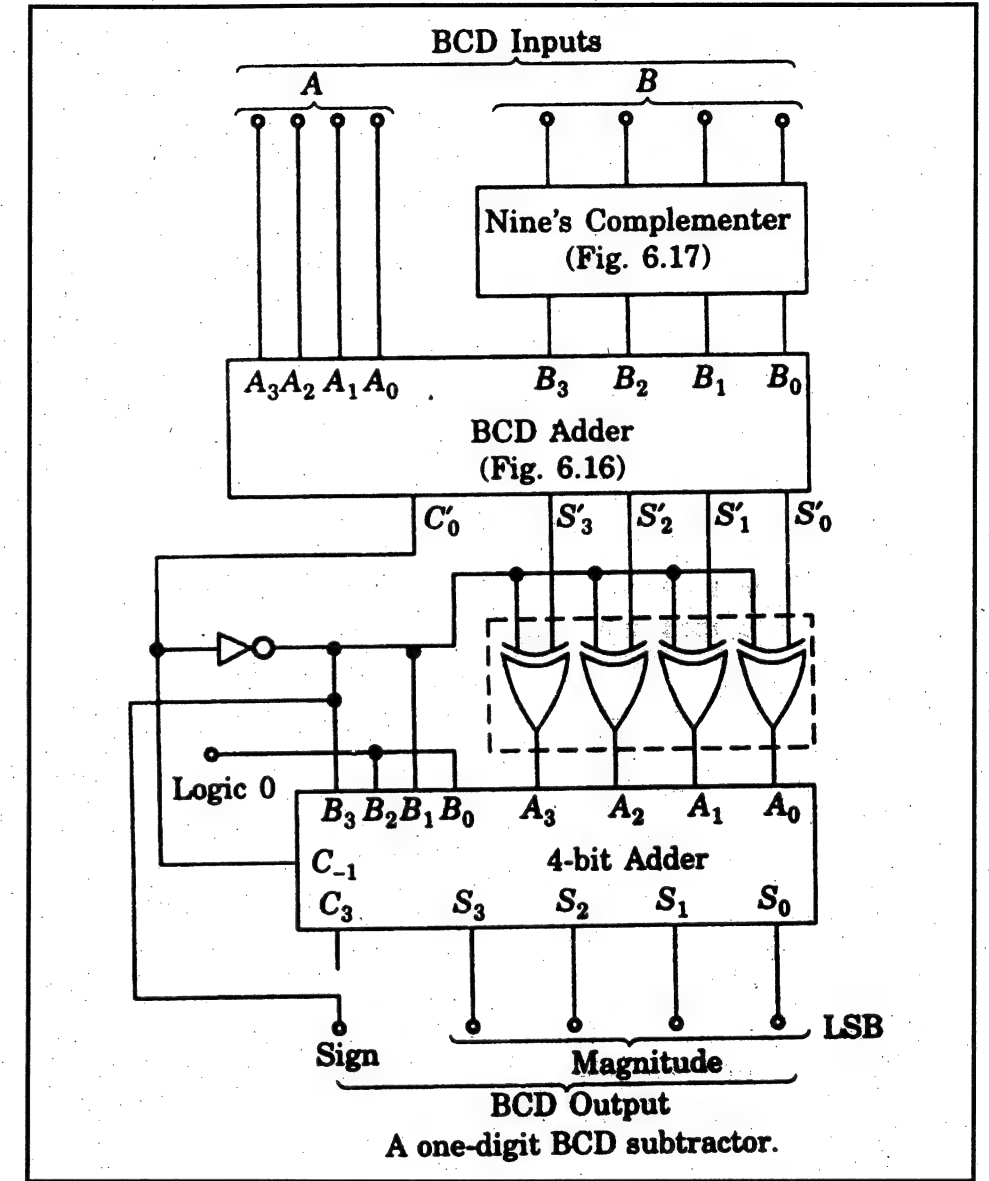


شكل (5-52) دائرة مكمل التسعة باستخدام جامع 4 بت وبوابات EX-OR

كما يبين شكل (5-53) طارح BCD لعدد واحد باستخدام دائرة مكمل التسعة للشكل (5-52).

ونلاحظ أن العمليات الحسابية التي يتم إجراؤها بشفرة BCD تكون أكثر تعقيدا من مثيلتها التي يتم إجراؤها بالشفرة الثنائية المباشرة، ولهذا نجد أنها تحتاج لمكونات مادية أكثر والتي تؤدي إلى تقليل السرعة، كما أن عدد البتات المستخدمة في هذه الشفرة لتمثيل العدد تكون أكثر، لذا فعادة لا تستخدم هذه الشفرة في

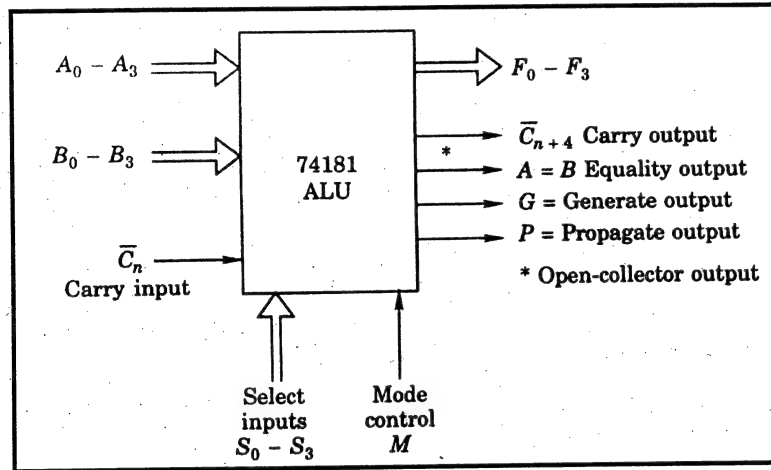
الحاسبات، إلا أن هذه الشفرة تستخدم في الآلات الحاسبة الرقمية لأن البيانات الداخلة من لوحة المفاتيح، وكذلك الخارجة على شاشة الخرج تكون بيانات عشرية.



شكل (53-5) طارح BCD لعدد واحد

12-5 وحدة الحساب والمنطق :

وحدة الحساب والمنطق Arithmetic Logic Unit ALU من الدوائر التوافقية المفضلة والواسعة الاستخدام ذات المقدرة على أداء العمليات الحسابية وكذا المنطقية، وتعد هذه الوحدة هي القلب لأي معالج دقيق، ويبين شكل (54-5) المخطط الوظيفي لوحدة ALU 74181، والتي تحتوى على مايكافئ لعدد 75 بوابة على شريحة سيليكون مفردة، حيث يمكنها أداء عدد مدهل من الوظائف الحسابية والمنطقية .



شكل (54-5) المخطط الوظيفي لوحدة ALU 74181

حيث :

- : مداخل بيانات ثنائية بـ 4-بت . A و B
- : مخرج بيانات ثنائية بـ 4-بت . F
- : دخل محمول (منخفض فعال Active-low) . \bar{C}_n
- : خرج محمول (منخفض فعال Active-low) . \bar{C}_{n+4}

فهو يبين إشارة الخرج في عمليات الطرح، فالمنطق 0 يبين إجابة موجبة، بينما يبين المنطق 1 إجابة سالبة، ومعبرا عنها على شكل تكامل الإثنتين.

: والمنطق 1 على هذا الخط يبين أن: $A = B$

G : خرج محمول متولد Carry generate output.

P : خرج محمول منتشر Carry propagate output.

حيث يستخدم كلا الخرجين G و P عند استخدام عدد من دوائر 74181 متتالية مع دائرة 74182 (Look-ahead Carry-generator circuit) والتي تجعل العملية الحسابية أسرع.

دخل إختيار S: ويستخدم لإختيار أى العمليات المطلوب أداؤها.

تحكم نوع العمل M: ويكون M = 0 للعمليات الحسابية ، بينما يكون M = 1 للعمليات المنطقية.

وجداول (22-5) التالى، يبين الوظائف المختلفة التى تؤديها وحدة الحساب والمنطق.

جدول (22-5)

Line	Selection $S_3 S_2 S_1 S_0$	Active high data		
		$M = 1$	$M = 0$; Arithmetic operations	
		Logic Functions	$\bar{C}_n = 1$ (no carry)	$\bar{C}_n = 0$ (with carry)
0	0000	$F = \bar{A}$	$F = A$	$F = A \text{ PLUS } 1$
1	0001	$F = \bar{A} + \bar{B}$	$F = A + B$	$F = (A + B) \text{ PLUS } 1$
2	0010	$F = \bar{A} \cdot B$	$F = A + B$	$F = (A + \bar{B}) \text{ PLUS } 1$
3	0011	$F = 0$	$F = \text{MINUS } 1 \text{ (2's COMPL)}$	$F = \text{ZERO}$
4	0100	$F = \bar{A}\bar{B}$	$F = A \text{ PLUS } \bar{A}\bar{B}$	$F = A \text{ PLUS } \bar{A}\bar{B} \text{ PLUS } 1$
5	0101	$F = \bar{B}$	$F = (A + B) \text{ PLUS } \bar{A}\bar{B}$	$F = (A + B) \text{ PLUS } \bar{A}\bar{B} \text{ PLUS } 1$
6	0110	$F = A \oplus B$	$F = A \text{ MINUS } B$	$F = A \text{ MINUS } B \text{ MINUS } 1$
7	0111	$F = A\bar{B}$	$F = A\bar{B} \text{ MINUS } 1$	$F = A\bar{B}$
8	1000	$F = \bar{A} + B$	$F = A \text{ PLUS } AB$	$F = A \text{ PLUS } AB \text{ PLUS } 1$
9	1001	$F = \bar{A} \oplus B$	$F = A \text{ PLUS } B$	$F = A \text{ PLUS } B \text{ PLUS } 1$
10	1010	$F = B$	$F = (A + \bar{B}) \text{ PLUS } AB$	$F = (A + \bar{B}) \text{ PLUS } AB \text{ PLUS } 1$
11	1011	$F = AB$	$F = AB \text{ MINUS } 1$	$F = AB$
12	1100	$F = 1$	$F = A \text{ PLUS } A^*$	$F = A \text{ PLUS } A \text{ PLUS } 1$
13	1101	$F = A + \bar{B}$	$F = (A + B) \text{ PLUS } A$	$F = (A + B) \text{ PLUS } A \text{ PLUS } 1$
14	1110	$F = A + B$	$F = (A + \bar{B}) \text{ PLUS } A$	$F = (A + \bar{B}) \text{ PLUS } A \text{ PLUS } 1$
15	1111	$F = A$	$F = A \text{ MINUS } 1$	$F = A$

* توضح هذه العلامة أن كل بت يلزم إزاحته للموضع الأعلى.

ويتم توصيل الدائرة بالتتالى بتوصيل خرج المحمول Carry-out من مرحلة، إلى دخل المحمول Carry-in للمرحلة التالية.

مثال (5-25) :

باستخدام دوائر 74181 مطلوب تصميم جامع/طرح بـ 8-بت، وبين كيفية عمله عند:

أ- $A = 97$ و $B = 29$.

ب- $A = 24$ و $B = 58$.

الحل :

لتصميم جامع/طرح بـ 8-بت تستخدم دائرتى 74181 بالتتالى، وفيها يتم تطبيق بتات التأثير الأدنى لكل من A، و B على المدخلين A، و B لدائرة التأثير الأقل، بينما يتم تطبيق بتات التأثير الأعلى من A، و B على المدخلين A، و B لدائرة التأثير الأعلى، كما يتم توصيل خرج المحمول Carry-out من دائرة التأثير الأقل، إلى دخل المحمول Carry-in لدائرة التأثير الأعلى، وفى النهاية نحصل على خرج بـ 8-بت متاح على المخارج F، أما دخلى الإختيار لكلا الدائرتين فيتم توصيلها ببعضها.

ومن الجدول (22-5) تتم عملية الجمع عند: $M = 0$ ، و $S = 1001$ ، بينما تتم عملية الطرح عند: $M = 0$ ، و $S = 0110$ ، ولا ننسى توصيل محمول الدخل C_n لدائرة التأثير الأدنى بالمنطق 1 لعمليات الجمع، وتوصيله بالمنطق 0 لعمليات الطرح.

أ-

$$A = 97 = 01100001$$

$$B = 29 = 00011101$$

ب-

$$A = 24 = 00011000$$

$$B = 58 = 00111010$$

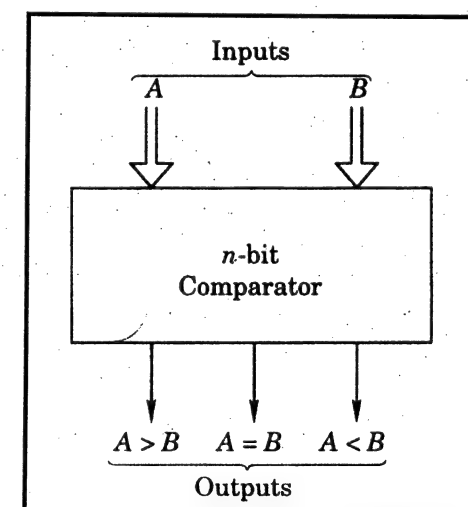
ويبين جدول (23-5) الدخول والخروج المختلفة.

جدول (23-5)

ملاحظات	الخرج	دائرة التأثير الأعلى ALU					دائرة التأثير الأدنى ALU					حالة التحكم	الجزء	
		الدخول		الخروج			الدخول		الخروج					
		B _H	C _n	S _H	C _{n+4}	A _L	B _L	C _n	S _L	C _{n+4}				
(126) ₁₀	01111110	1	0111	1	0001	0110	1	1101	1	1110	0001	0	أ	1
	01000100	0	0100	1	0001	0110	1	1101	0	0100	0001	0	أ	
(82) ₁₀	01010010	1	0101	0	0001	0110	0	1010	1	0010	0101	0	ب	2
	11011110	1	1101	1	0001	0110	1	1010	0	1110	0101	0	ب	

5-13 المقارنات الرقمية:

في القسم (5-1) تم التطرق إلى أسس مقارنة الإشارات الرقمية، ويمكن تصميم المقارنات Comparators لمقارنة أعداد ذات بتات عديدة، ويبين شكل (5-5) المخطط الوظيفي العام لمقارن n بت، فهو يستقبل دخول لعددتين A و B كل منهما مكون من n بت، ويعطى الخرج: $A > B$ ، و $A = B$ ، و $A < B$ ، وإعتماداً على قيمتي العددين النسبية، نحصل على أحد هذه الخرج عالياً HIGH.



شكل (5-5) المخطط الوظيفي العام لمقارن n بت

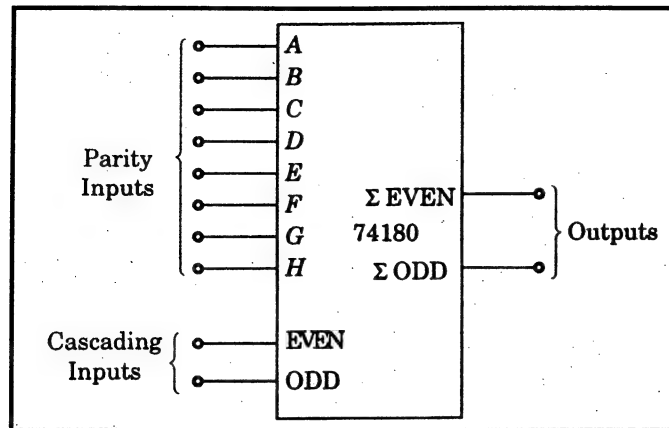
ويبين جدول (24-5) جدول الحقيقة لمقارن لعددتين يتكون كل منهما من 2 بت.

جدول (24-5)

الدخول				الخروج		
A ₁	A ₀	B ₁	B ₀	A > B	A = B	A < B
0	0	0	0	0	1	0
0	0	0	1	0	0	1
0	0	1	0	0	0	1
0	0	1	1	0	0	1
0	1	0	0	1	0	0
0	1	0	1	0	1	0
0	1	1	0	0	0	1
0	1	1	1	0	0	1
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	1	0
1	0	1	1	0	0	1
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	0	1	0

5-14 مولدات التطابق:

غالبا يكون من الضروري نقل شريط من المعلومات على شكل بتات من حاسب لآخر، أو من جهاز حاسب إلى بنك معلومات - خارجي، مما قد يؤدي إلى فقدان بعض من البتات، وبما يسبب من مشاكل ربما تكون مفاجئة كما يحدث عند التعاملات المالية بالفيزا كارت مثلا، وهنا تكون بيته التطابق Parity bit طريق هام لاكتشاف معظم الأخطاء عند نقل بيانات الحاسب من نقطة لأخرى، وواحد من أنظمة التطابق البسيطة تعمل كالتالي:



شكل (56-5) المخطط الوظيفي لمولد التتابع/الفحص 74180

5-15 محولات الشفرة:

علمنا مما سبق أن هناك الكثير من الشفرات الثنائية Binary codes المستخدمة في الأنظمة الرقمية، فمنها الشفرة الثنائية المباشرة Straight Binary Code، الشفرة BCD الطبيعية، شفرة Excess-3، شفرة Gray، الشفرة الثمانية، الشفرة السداسية عشرة.. إلخ.

وغالبا ما يكون هناك إحتياج لتحويل إحدى هذه الشفرات إلى أخرى، فمثلا يمكن أن يكون الدخل لنظام رقمي ما بشفرة BCD، كما يمكن أن يكون الخرج بنظام إضاءات القطع السبعة 7-segment LEDs، ويكون للنظام الرقمي المقدرة على معالجة البيانات بالتشكيل الثنائي المباشر Straight binary format، فلهذا يلزم تحويل البيانات الداخلة إليه من شفرة BCD إلى الشفرة الثنائية المباشرة Straight Binary Code.

كما أن الخرج بشفرة BCD لابد أن يتحول إلى شفرة القطع السبعة قبل إظهار بيانات الخرج.

كما أن الشفرات الثمانية والسداسية عشرة تستخدم بتوسع في المعالجات الدقيقة والحاسبات الرقمية في مداخلها ومخارجها، ولهذا نشأ ما يعرف بمحولات الشفرة Code converters والتي صممت باستخدام البوابات، والمجمعات/الكواشف، إلا أنه

4-بت بـ "النيبل" Nibble، وتقوم دائرة مولد التتابع Parity generator circuit بمراقبة كل كلمة وإضافة بت 0 إذا كان عدد الأحاد 1،s زوجي، وإضافة بت 1 إذا كان عدد الأحاد 1،s فردي، وينتج من ذلك كلمات مكونة من عدد زوجي من الأحاد 1،s ولهذا يسمى النظام التتابع الزوجي Even parity، فإذا كانت النيبل 1001 فيكون بت التتابع المضاف هو 0، ويصبح النيبل مضافا إليه بت التتابع 10010، بينما إذا كانت النيبل 0001 فيكون بت التتابع المضاف هو 1، ويصبح النيبل مضافا إليه بت التتابع 00011. كما يوجد أيضا التتابع الفردي parity Odd وهي إضافة بت 1 إذا كان عدد الأحاد 1،s زوجي، وإضافة 0 إذا كان عدد الأحاد 1،s فردي وينتج من ذلك كلمات مكونة من عدد فردي من الأحاد 1،s، فإذا كانت النيبل 1010 فيكون بت التتابع المضاف هو 1، ويصبح النيبل بعد إضافة بت التتابع إليه: 10101، بينما إذا كانت النيبل 1101 فيكون بت التتابع المضاف هو 0، ويصبح النيبل مضافا إليه بت التتابع 11010.

ونظرا لاستخداماتها الواسعة، فقد صممت دائرة مولد التتابع Parity generator checkers بـ 8-بت ومتاحة على شريحة من نوع نطاق متوسط MSI وتأخذ الرقم 74180.

ويبين شكل (56-5) المخطط الوظيفي للدائرة التكاملية لمولد التتابع 74180 وفيه يوجد 8 مداخل تطابق Parity inputs تأخذ الحروف من A إلى H، بالإضافة إلى مدخلين تتالين Cascading inputs، أما المخارج فهما 2: Σ EVEN و Σ ODD، ويبين جدول (25-5) الجدول الوظيفي للدائرة.

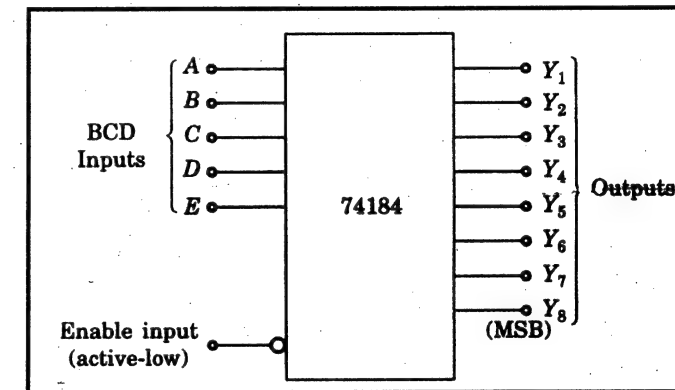
جدول (25-5)

دخول المساوية من A إلى H	تتالي الدخول		الخروج	
	EVEN	ODD	Σ EVEN	Σ ODD
EVEN	1	0	1	0
ODD	1	0	0	1
EVEN	0	1	0	1
ODD	0	1	1	0
X	1	1	0	0
X	0	0	1	1

أصبح من المتاح حالياً بعض الدوائر المتكاملة من ذات النطاق المتوسط MSI والتي يمكنها أداء عمل هذه المحولات وهي ذات فائدة كبيرة جداً عند تصميم الأنظمة الرقمية، كما سيتم تناوله الآن.

5-15-1 التحويل من BCD إلى ثنائي:

يبين شكل (5-57) المخطط الوظيفي للدائرة التكاملية 74184 للتحويل من BCD إلى ثنائي.



شكل (5-57) المخطط الوظيفي للدائرة التكاملية 74184

كما يبين جدول (5-26) جدول الحقيقة.

جدول (5-26)

كلمات BCD	الدخول						الخروج				
	E	D	C	B	A	G	Y ₅	Y ₄	Y ₃	Y ₂	Y ₁
0-1	0	0	0	0	0	0	0	0	0	0	0
2-3	0	0	0	0	1	0	0	0	0	0	1
4-5	0	0	0	1	0	0	0	0	0	1	0
6-7	0	0	0	1	1	0	0	0	0	1	1
8-9	0	0	1	0	0	0	0	0	1	0	0
10-11	0	1	0	0	1	0	0	0	1	0	1
12-13	0	1	0	0	0	0	0	0	1	1	0
14-15	0	1	0	1	1	0	0	0	1	1	1

16-17	0	1	0	1	0	0	0	1	0	0	0
18-19	0	1	1	0	1	0	0	1	0	0	1
20-21	1	0	0	0	0	0	0	1	0	1	0
22-23	1	0	0	0	1	0	0	1	0	1	1
24-25	1	0	0	1	0	0	0	1	1	0	0
26-27	1	0	0	1	1	0	0	1	1	0	1
28-29	1	0	1	0	0	0	0	1	1	1	0
30-31	1	1	0	0	1	0	0	1	1	1	1
32-33	1	1	0	0	0	0	1	0	0	0	0
34-35	1	1	0	1	1	0	1	0	0	0	1
36-37	1	1	0	1	0	0	1	0	0	1	0
38-39	1	1	1	0	1	0	1	0	0	1	1
Any	X	X	X	X	X	1	1	1	1	1	1

5-16-5 كواشف أجهزة العرض:

5-16-1 كاشف التحويل من BCD إلى العشري:

في كثير من الأنظمة الرقمية، يفضل رؤية الخرج على التشكيل العشري بما يمكن عرضها على مبيّنات ضوئية LEDs أو إستخدامها لتشغيل بعض اللواقيط. ومن الدوائر التكاملية المتاحة والمستخدمّة ككواشف تحويل من BCD إلى العشري:

7441، و 7442، و 7445، و 74141، و 74145، و 74445.

5-16-2 كاشف التحويل من BCD إلى القطع السبعة:

ويعتبر مبيّن القطع السبعة من أفضل أجهزة العرض المستخدمة في الأنظمة الرقمية ولعرض البيانات باستخدام هذا المبيّن، فلا بد أن تتحول هذه البيانات من نظام شفرة BCD إلى نظام شفرة القطع السبعة، وتتكون دائرة الكاشف من 4 خطوط دخل للبيانات على الشكل BCD، و 7 خطوط خرج من a إلى g موصلة مباشرة لقطع الشاشة السبعة من a إلى g على الترتيب.

* وفي نهاية الفصل يمكننا القول :

بأنه تمت مناقشة الطرق التقليدية للتصميم المنطقي مثل تقنيات جبر بول، وخرائط K-maps، حيث يمكن التعبير عن التعبيرات المنطقية بالشكلين SOP أو POS القياسيين، ثم تبسيط التعبير باستخدام خرائط K-maps، وهذا يؤدي عند تصميم النظام الرقمي إلى توفير الكثير من المكونات المادية من حيث عدد البوابات المطلوبة وكذلك عدد نهايات الدخول.

وتستخدم خرائط K-maps بسهولة حتى 4 متغيرات، وفي حقيقة الأمر فإن كثيراً من الدوال الرقمية المعقدة متاحة مباشرة على شكل دوائر تكاملية قائمة بذاتها، ومما يقلل من اعتمادنا على عمليات التبسيط، كما توجد بوابات Gates محددة تستخدم لمواءمة أجهزة MSI، وأجهزة LSI .

وبالإضافة إلى إختصار الدوال المنطقية بغرض تنفيذها باستخدام بوابات NAND أو NOR، فإنه تم مناقشة تقنيات تبسيط أخرى تمكن من تصميم الدوائر باستخدام بوابات EX-OR ، أو EX-NOR، وحيث تكون بوابات EX-OR بوابات شائعة الاستخدام، كما تم توضيح عدد كبير من الأمثلة التي تخص التصميم لتوضيح خطوات التصميم التي تمت دراستها.

كما تمت مناقشة بعض من الدوائر التكاملية الشائعة للمنطق التوافقي.

تدريبات

تدريب (1-5) :

يتم التحكم في إضاءة سلم أحد العمارات من خلال مفتاحين، أحدهما أعلى العمارة والآخر أسفلها، ومطلوب:

- إنشاء جدول الحقيقة لهذا النظام .
- كتابة المعادلات المنطقية على الشكل SOP.
- تحقيق الدائرة باستخدام بوابات AND-OR.
- تحقيق الدائرة باستخدام بوابات NAND فقط.

تدريب (2-5) :

للمعادلة المنطقية الآتية:

$$f = ABC + B\bar{C}D + \bar{A}BC$$

مطلوب :

- إنشاء جدول الحقيقة.
- تبسيط المعادلة باستخدام K-map.
- تحقيق الدائرة باستخدام بوابات NAND فقط.

تدريب (3-5) :

من جدول الحقيقة المعطى في جدول (27-5) مطلوب:

- كتابة المعادلات المنطقية لكل من الخرجين f_1 و f_2 على الشكل POS.
- استخدام K-map للإختصار وللحصول على التعبيرات المختصرة.
- تحقيق المعادلات باستخدام بوابات OR-AND.
- تحقيق المعادلات باستخدام بوابات NOR فقط.

هـ- مقارنة حزمة الدائرة المتكاملة المكونة لكل من الجزئين السابقين.

جدول (27-5)

الدخول				الخروج	
A	B	C	D	f ₁	f ₂
0	0	0	0	1	0
0	0	0	1	0	0
1	0	0	0	0	1
1	1	0	0	0	1
1	1	1	0	1	1
1	1	1	1	1	1
0	1	1	1	0	0
0	0	1	1	0	0
0	0	1	0	1	0
0	1	0	0	0	1
0	1	0	1	1	1
0	1	1	0	0	0
1	0	0	0	1	0
1	0	1	0	0	1
1	0	1	1	1	0
1	1	0	1	0	0

تدريب (4-5) :

أ- مطلوب تحقيق المعادلة (24-5) باستخدام بوابات NAND فقط.

ب- مطلوب تحقيق المعادلة (27-5) باستخدام بوابات NOR فقط.

ج- مقارنة حزمة الدائرة المتكاملة المكونة لكل من الجزئين السابقين، يتم الرجوع إلى جدول (10-1).

تدريب (5-5) :

أ- مطلوب تحقيق المعادلة (25-5) باستخدام أقل عدد من حزم الدائرة المتكاملة من البوابات NAND.

ب- مطلوب تحقيق المعادلة (28-5) باستخدام أقل عدد من حزم الدائرة المتكاملة من البوابات NOR.

ج- مقارنة حزمة الدائرة المتكاملة المكونة لكل من الجزئين السابقين.

تدريب (6-5) :

حقق المعادلة (31-5) مستخدماً أقل عدد من شرائح بوابات NOR.

تدريب (7-5) :

أ- مطلوب إنشاء K-map للدالة التالية:

$$F = AB + A\bar{C} + C + AD + A\bar{B}C + ABC$$

ب- عبر عن الدالة بالشكل SOP القياسي.

ج- اختصر الدالة الحاصل عليها من الجزء السابق، وحقق التعبير المختصر باستخدام بوابات NAND فقط.

تدريب (8-5) :

إختصر الدوال التالية، ثم حققها باستخدام أقل عدد من البوابات:

أ-

$$f_1 = \sum m(0, 3, 5, 6, 9, 10, 12, 15)$$

ب-

$$f_2 = \sum m(0, 1, 2, 3, 11, 12, 14, 15)$$

تدريب (9-5) :

مطلوب تصميم محول من شفرة BCD إلى شفرة Excess-3 باستخدام أقل عدد من بوابات NAND.

تدريب (10-5) :

مطلوب تصميم محول من شفرة Excess-3 إلى شفرة BCD باستخدام أقل عدد من بوابات NAND.

تدريب (11-5) :

مطلوب إختصار التعبيرات التالية باستخدام K-maps والتنفيذ باستخدام بوابات NOR فقط .

أ-

$$f_1(A, B, C, D) = \prod M(1, 2, 3, 5, 6, 7, 9, 10, 11, 13, 14, 15)$$

ب-

$$f_2(A, B, C, D) = \prod M(1, 4, 6, 9, 10, 11, 14, 15)$$

ج-

$$f_3(A, B, C, D) = \prod M(2, 7, 8, 9, 10, 12)$$

تدريب (12-5) :

مطلوب إختصار التعبيرات التالية باستخدام K-maps والتنفيذ باستخدام بوابات NOR فقط.

أ-

$$f_1(A, B, C, D, E) = \sum m(8, 9, 10, 11, 13, 15, 16, 18, 21, 24, 25, 26, 27, 30, 31)$$

ب-

$$f_2(A, B, C, D, E) = \prod M(6, 9, 11, 13, 14, 17, 20, 25, 28, 29, 30)$$

تدريب (13-5) :

مطلوب تنفيذ الدالة المنطقية لجدول الحقيقة (10-5) مستخدما أقل عدد من بوابات NAND.

أ- مفترضا 0s فى كل أماكن غير المؤثرة Don't-care.

ب- مفترضا 0، أو 1 فى مكان غير المؤثر Don't-care، والذي يؤدي فى النهاية للحصول على أبسط تعبير.

تدريب (14-5) :

مطلوب إختصار الدوال المنطقية التالية، والتنفيذ باستخدام بوابات NOR أو NAND.

أ-

$$f_1(A, B, C, D) = \sum m(1, 3, 5, 8, 9, 11, 15) + d(2, 13)$$

ب-

$$f_2(A, B, C, D) = \prod M(1, 2, 3, 8, 9, 10, 11, 14) + d(7, 15)$$

تدريب (15-5) :

مطلوب تنفيذ التعبيرات التالية باستخدام بوابات EX-OR و EX-NOR :

أ-

$$F_1 = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}CD$$

ب-

$$F_2 = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + \bar{A}C\bar{D} + \bar{A}CD + A\bar{C}\bar{D}$$

ج-

$$F_3 = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}CD$$

تدريب (16-5) :

مطلوب تبسيط الدوال المنطقية التالية، والتنفيذ باستخدام بوابات NOR، أو NAND.

أ-

$$f_1(A, B, C, D, E, F) = \sum m(6, 9, 13, 18, 19, 25, 27, 29, 41, 45, 57, 61)$$

ب-

$$f_2(A, B, C, D, E, F) = \prod M(4, 5, 6, 7, 8, 12, 13, 16, 17, 18, 19, 21, 22, 25, 28, 32, 35, 37, 38, 39, 40)$$

تدريب (5-17) :

مطلوب تحقيق دالة المنطق الخاصة بجدول (5-18) باستخدام:

أ- الدائرة التكاملية 74150 .

ب- الدائرة التكاملية 74152 .

تدريب (5-18) :

مطلوب تصميم موزع 32:1 باستخدام دائرتين تكامليتين لموزع 16:1.

الفصل السادس تصميم المنطق المتتابع

1-6 مقدمة

2-6 القلابات

3-6 القلابات إشمال الهافة Edge-trigger F.F.S.

4-6 تطبيقات القلابات

5-6 المسجلات

6-6 العدادات المنهجية أو الغير متزامنة

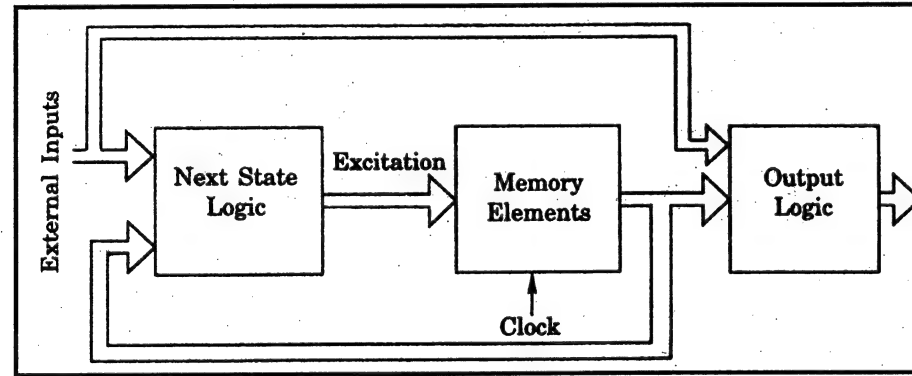
7-6 العدادات المتزامنة

1-6 مقدمة :

ناقشنا في الفصل السابق تحليل وتصميم بعض الدوائر الرقمية التوافقية والتي تمثل جزءاً من الأنظمة الرقمية، إلا أن هناك شكلاً آخر من الدوائر الرقمية وهي الدوائر التتابعية Sequential circuits، وعلى الرغم من إسمها إلا أنها تعتمد إلى حد بعيد في تصميمها على الدوائر التوافقية والتي تمت مناقشتها مسبقاً.

وتوجد الكثير من التطبيقات والتي يتطلب فيها أن تتولد الخرج الرقمية بحسب التتابع الذي تصل فيه إشارات الدخل، وهذه المتطلبات لا يمكن تحقيقها باستخدام دوائر المنطق التوافقية، فهذه التطبيقات تحتاج لخرج متولدة لا تعتمد فقط على ظروف الدخول الحالية بل تعتمد أيضاً على تاريخ الدخول الماضية، ويتم ببساطة التزود بظروف الدخول الماضية بعمل تغذية عكسية من خرج الدائرة إلى دخلها.

وبين شكل (1-6) مخطط وظيفي لدائرة تتابعية، وهي تتكون من دوائر توافقية والتي تستقبل إشارات رقمية من مداخل خارجية External inputs وأيضاً من مخارج عناصر ذاكرة Memory elements، وتقوم بتوليد إشارات إلى مخارج خارجية تعرف بالمؤثرات Exitation إلى مداخل عناصر ذاكرة.



شكل (1-6) مخطط وظيفي لدائرة تتابعية

ويعد عنصر الذاكرة كعنصر وسيط يمكنه تخزين أو حجز معلومة ثنائية مكونة من بت واحد (1 أو 0) لحين الضرورة، وبعد ذلك يمكن أن تتبدل هذه المعلومة

المُخزنة بمعلومة جديدة، ويتم تغيير محتويات عنصر الذاكرة بواسطة خروج الدائرة التوافقية المتصلة بدخل هذا العنصر.

وتقوم الدائرة التوافقية بأداء عمليات محددة، منها تحديد أى من الإشارات الرقمية التى يتم تخزينها فى عناصر ذاكرة، أما العمليات الأخرى فيتم تأديتها فى المداخل الخارجية ومخارج الذاكرة لتوليد المخارج الخارجية External outputs.

والعملية السابقة توضح اعتماد المخارج الخارجية للدائرة التتابعية على كل من المداخل الخارجية وكذا المحتويات الحالية لعناصر الذاكرة (والتي تعزى إلى الحالة الحالية Present state لعناصر الذاكرة)، كما تعتمد المحتويات الجديدة لعناصر الذاكرة (والتي تعزى إلى الحالة المستقبلية Next state) على المداخل الخارجية وعلى الحالة الحالية، ومن هنا نجد أن خرج الدائرة التتابعية دالة فى كل من التابع الزمنى للدخول والحالات الداخلية.

وتنقسم الدوائر التتابعية إلى فئتين رئيسيتين ومعتمدة على توقيت الإشارات:

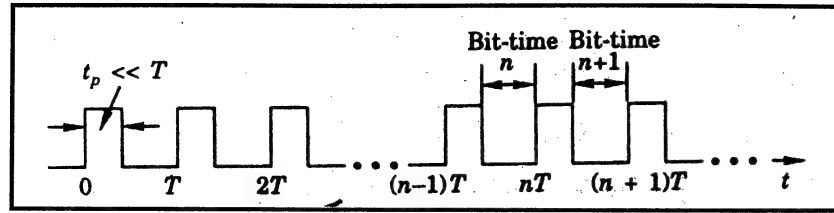
1- الدوائر التتابعية الغير متزامنة Asynchronous :

وفيهما يعتمد مسلكها على التابع الذى تتغير فيه إشارات الدخل، فتتأثر الخرج متى تغيرت الدخول، وتعتبر أجهزة تأخير الوقت Time delay devices من أكثر عناصر الذاكرة الشائعة الاستخدام والتي تندرج تحت هذا النوع من الدوائر، والتي تعتبر كدوائر توافقية بتغذية عكسية.

2- الدوائر التتابعية المتزامنة Synchronous :

وفيهما يتم تعريف مسلكها من التعرف على إشارتها عند أزمنة لحظية محددة، وهنا تتأثر عناصر الذاكرة فقط عند أزمنة لحظية محددة.

ويتحقق التزامن بجهاز مؤقت Timing device يعرف بـ "نظام الساعة" System clock والذي يقوم بتوليد قطار دورى من نبضات ساعة Clock pulses، كما هو مبين فى شكل (2-6)، فتتأثر الخرج فقط بتطبيق نبضة ساعة.



شكل (2-6) قطار نبضات

وحيث أن تصميم الدوائر الغير متزامنة صعب، فإن إستخداماتها محددة نوعاً ما، فى حين إكتسبت الدوائر المتزامنة الهيمنة والأفضلية، والتي تسمى أيضاً بـ "الدوائر الموقته التتابعية" Clocked-sequential circuits.

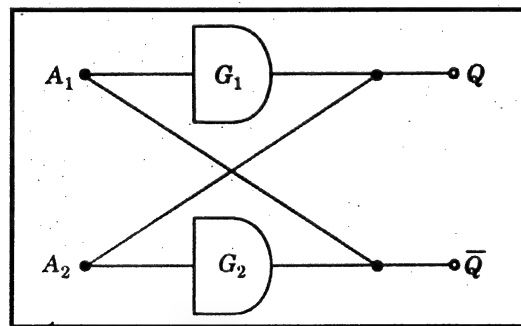
2-6 القلابات FLIP-FLOPs :

تعتبر القلابات FLIP-FLOPs هى أكثر عناصر الذاكرة إستخداماً، ولديها القدرة على تخزين معلومات ثنائية Binary information.

1-2-6 خلية التخزين ذات البت الواحد 1-bit memory cell :

فكما ذكرنا أن القلاب Flip-flop هو الدائرة الأساسية لدوائر الذاكرة الرقمية، وله حالتان متزنتان هما: الحالة 1 والحالة 0، ويمكن الحصول عليه باستخدام بوابات NAND ، أو NOR.

ولعمل دائرة F.F، نبدأ من الدائرة الأساسية المبينة فى شكل (3-6).



شكل (3-6) عاكسين متقابلين يمثلان عنصر ذاكرة

وتتكون هذه الدائرة من عاكسين G_1 و G_2 (وكلاهما بوابة NAND تعمل كعاكس Inverter)، ويتم توصيل خرج العاكس G_1 بدخل العاكس G_2 (A_2)، كما يتم توصيل خرج العاكس G_2 بدخل العاكس G_1 (A_1).

ودعنا نفترض أن خرج G_1 هو: $Q = 1$ ، وهو يمثل في الوقت نفسه الدخل G_2

($A_2 = 1$)، فعلى ذلك يصبح الخرج G_2 : $\bar{Q} = 0$ وهو يمثل في الوقت نفسه الدخل G_1 ($A_1 = 0$)، ومنه يصبح الخرج G_1 هو: $Q = 1$ ، وهذا ما يؤكد فرضنا، أي أنه عندما

يكون: $Q = 1$ ، فإن: $\bar{Q} = 0$

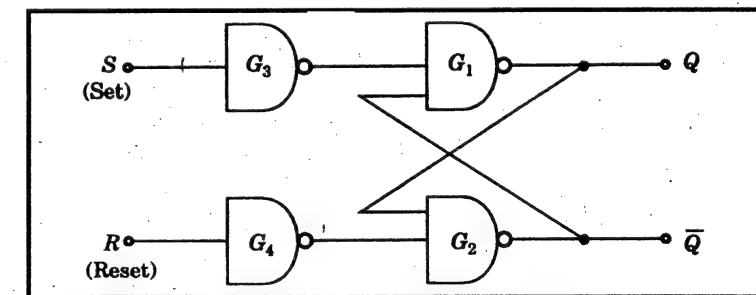
وبنفس الطريقة يمكن التوصل إلى أنه إذا كان: $Q = 0$ ، فإن: $\bar{Q} = 1$.

ومن المناقشة السابقة نلاحظ مايلي:

1- كلا الخرجان Q ، و \bar{Q} متكاملان.

2- للدائرة حالتان، حيث تعرف أولاهما والتي فيها: $Q = 1$ بـ "حالة 1" State 1 (أو الحالة إمساك Set state)، بينما تعرف الثانية والتي فيها: $Q = 0$ بـ "حالة 0" state 0 (أو الحالة تحرير Reset state).

3- إذا استمرت الدائرة التي في الحالة 1 محتفظة بهذه الحالة، أو إذا استمرت محتفظة بالحالة 0، فتعزى هذه الخاصية للدائرة بـ "الذاكرة" Memory، أي أن الدائرة لديها المقدرة على الاحتفاظ بمعلومة ثنائية عبارة عن 1 بت.



شكل (4-6) خلية ذاكرة مزودة بإمكانية إدخال بيانات

* هنا نجد أن هذه المعلومة في هذه الدائرة ممسوكة ولهذا تعرف هذه الدائرة بدائرة "الإمساك" Latch.

* وفي الحقيقة لا يوجد أي طريق لإدخال المعلومات الرقمية المطلوب تخزينها في هذه الدائرة، كما أنه عند قفل الدائرة لا يمكن التنبؤ بما سيكون عليه الخرج Q ، أهو: 1، أم: 0.

* وإذا إستبدلنا العاكسين G_1 و G_2 ببوابتي NAND كل منهما بدخلين، فيمكن إستخدام الطرف الآخر لكل بوابة لإدخال المعلومات الرقمية المطلوبة، ويبين شكل (6-4) الدائرة المعدلة التي تحقق ذلك، مع العلم بأنه قد تمت إضافة البوابتين G_3 و G_4 لأسباب ستتوضح من المناقشة التالية.

أولا : عند : $R = S = 0$:

ستصبح الدائرة مثل دائرة الشكل (6-3) .

ثانيا : عند : $S = 1$ ، و $R = 0$:

سيصبح الخرج: $G_3 = 0$ ، والخرج: $G_4 = 1$ (وهنا نجد أن أحد دخول البوابة G_1 مساويا: 0، فمن المؤكد أن خرجها سيكون مساويا: 1)، وهو في الوقت نفسه تغذية عكسية للبوابة G_2 ، فبالتالي سيكون دخلا البوابة G_2 مساويان: 1، وبذلك يكون خرجها: 0، ومن هنا نجد أن عند هذا الفرض يصبح Q مساويا: 1 كما يكون \bar{Q} مساويا: 0.

ثالثا : عند : $S = 0$ ، و $R = 1$:

بالمثل وكما في المناقشة السابقة، يصبح Q مساويا: 0، كما يكون \bar{Q} مساويا: 1.

* ومما سبق نرى أن الفرض الأول ($S = 1$ ، و $R = 0$) والذي يجعل $Q = 1$ ، يعزى إلى حالة الإمساك Set state، بينما الفرض الثاني ($S = 0$ ، و $R = 1$) والذي يجعل $Q = 0$ ، يعزى إلى حالة التحرير Reset state أو مايسمى بـ "الحالة النقية" Clear state، وهذا الذي يعطينا معاني إدخال البت في الممسكة.

والآن نرى ماذا يحدث عندما تتغير حالة الدخل من الحالة ($S = 1$ و $R = 0$) إلى الحالة ($S = R = 0$)، أو من الحالة ($S = 0$ و $R = 1$) إلى الحالة ($S = R = 0$)، فهنا سيظل الخرج ثابتاً غير متغير، وهذا يبين الفرق الأساسي بين دائرة توافقية، ودائرة تتابعية على الرغم من أن الدائرة التتابعية تتكون من دوائر توافقية.

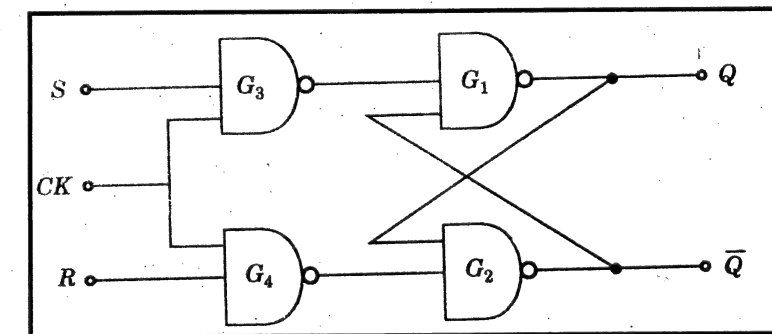
ويتم تصميم طرفي الدخل بحيث تصبح الدائرة في حالة إمساك Set عند الشرط: $S = 1$ ، بينما تصبح الدائرة في حالة تحرير Reset عند الشرط: $R = 1$.

رابعا : عند : $R = S = 1$:

يحاول كلا الخرجين Q و \bar{Q} الوصول إلى الحالة 1 وهذا غير مسموح، ولهذا نرى أن هذا الفرض غير مسموح.

2-2-6 القلاب S-R المتزامن Clocked S-R F.F. :

يراد أحيانا إمساك أو تحرير خلية الذاكرة في الشكل (4-6) في تزامن مع قطار النبضات في شكل (2-6) والذي يعرف بـ "الساعة" Clock وتختصر إلى CK، ونصل إلى تصميم الدائرة المبينة في شكل (5-6)، والتي تعزى إلى دائرة القلاب S-R المتزامن Clocked S-R F.F.



شكل (5-6) القلاب S-R الموقت Clocked S-R F.F.

ففي هذه الدائرة وعند وصول نبضة ساعة: $CK = 1$ ، فسيؤول عمل الدائرة مثل عمل دائرة الشكل (4-6)، ومن ناحية أخرى عند إنقطاع هذه النبضة: $CK = 0$ ، فإن

البوابتين G_3 و G_4 تصبحان غير ذى فائدة حيث أن خرجهما يكون 1 مهما كانت حالة الدخول S، و R، فمن هنا نرى أن الدائرة تستجيب فقط عند وجود نبضة الساعة.

وبفرض أن الدخول لا تتغير أثناء وجود نبضة الساعة ($CK = 1$)، فيمكن التعبير عن تشغيل قلاب S-R من خلال جدول الحقيقة في جدول (1-6)، وفي هذا الجدول يعبر كلا من S_n ، و R_n عن الدخول ويعبر Q_n عن الخرج خلال زمن البت n، بينما Q_{n+1} يعبر عن الخرج Q عندما تمر النبضة أو في نهاية النبضة، أى أن عند زمن بت $n+1$.

فعند: $S_n = R_n = 0$ ، وفي وجود نبضة الساعة:

يصبح الخرج في نهاية نبضة الساعة هو نفسه الخرج قبل نبضة الساعة، أى أن: $Q_{n+1} = Q_n$ ، وهذا موضح في الصف الأول من جدول الحقيقة.

وعند: $S_n = 1$ و $R_n = 0$ ، يصبح الخرج في نهاية نبضة الساعة: 1.

جدول (1-6)

الدخول		الخرج
S_n	R_n	Q_{n+1}
0	0	Q_n
1	0	1
0	1	0
1	1	?

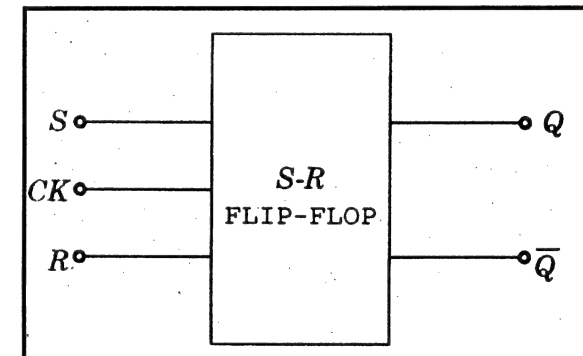
كما أنه عند: $S_n = 0$ و $R_n = 1$ ، يصبح الخرج في نهاية نبضة الساعة: 0، وهذا موضح في الصفين الثاني والثالث على الترتيب من جدول الحقيقة.

وقد ذكرنا في دائرة الشكل (4-6) من قبل أن الحالة ($S = R = 1$) هي حالة غير مسموح بها، والآن لنرى ماذا يكون الحال في دائرة القلاب S-R المتزامن في شكل (5-6).

فعند: $S_n = R_n = 1$ ، وفي وجود نبضة الساعة، يصبح كلا من خرجي البوابتين G_3 و G_4 : 0، ومما يجعل أحد دخلى كلا من البوابتين G_1 و G_2 : 0، ومنه نجد أن كلا الخرجين Q و \bar{Q} : 1، وهو ما يتضارب مع فرضنا بأن يكون الخرجان متكاملين. والآن وعند إنتهاء النبضة، أى أن: $(CK = 0)$ فسوف يتغير الخرجين G_3 و G_4 من 0 إلى 1، وحسب التأخير فى أزمنة الإنتشار للبوابات فإنه يمكن الوصول إلى حالة الثبات فيما أن يكون الخرج: $Q_{n+1} = 1$ ، وعنده يكون: $\bar{Q}_{n+1} = 0$ ، أو يكون الخرج: $Q_{n+1} = 0$ ، وعنده يكون: $\bar{Q}_{n+1} = 1$ ، وهذا يعنى أن حالة الدائرة تكون غير مُعرفة أى غامضة أو غير محددة ولهذا فيعبر عن الخرج بعلامة إستفهام وكما هو موضح فى الصف الرابع من جدول الحقيقة.

وعلى هذا لابد أن يمتنع الشرط: $S_n = R_n = 1$ ، ولايسمح بحدوثه.

ويبين شكل (6-6) الرمز المنطقى للقلاب S-R المتزامن Clocked S-R F.F.:



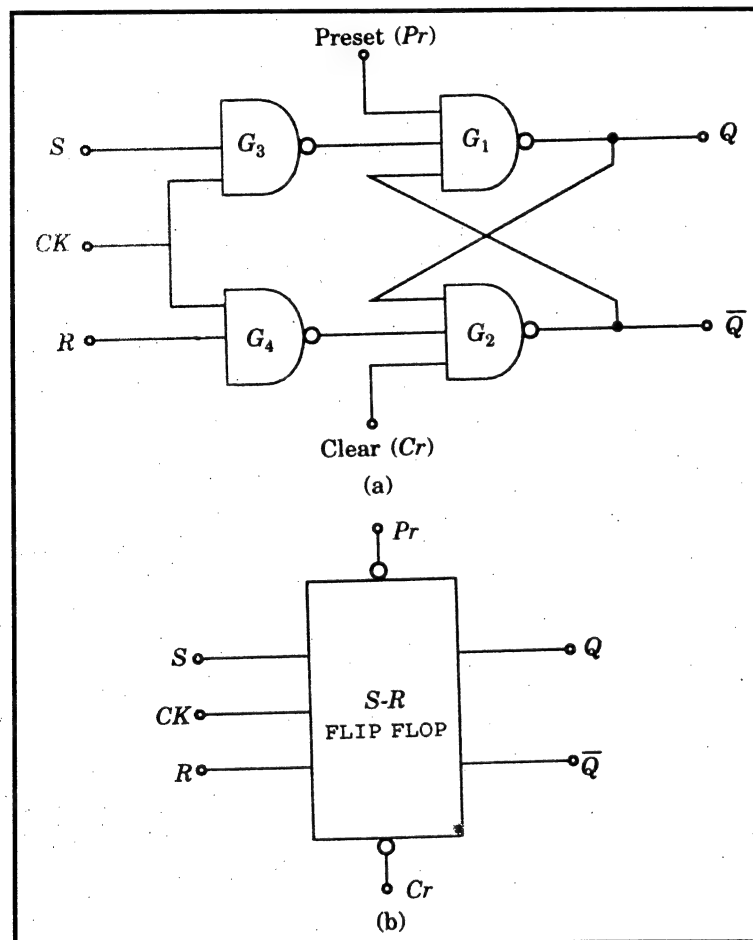
شكل (6-6) الرمز المنطقى للقلاب S-R المتزامن Clocked S-R F.F.

3-2-6 عملية ما قبل الإمساك Preset والتنقية Clear :

عند توصيل القدرة لدائرة القلاب التى فى شكل (5-6) فلا يمكن التأكد من حالة الدائرة، فممكّن أن تكون فى حالة الإمساك Set state والذي يجعل $Q = 1$ ، أو فى حالة التحرير Reset state والذي يجعل $Q = 0$ ، ويفضل فى كثير من التطبيقات

تحديد الحالة الابتدائية للقلاب إما إمساك أو تحرير، وهذا يتم بإدخال دخول مباشرة أو متزامنة تعزى إلى مايسمى بدخول: "ما قبل الإمساك" Preset، و"التنقية" Clear.

ويتم تطبيق هذه الدخول فى أزمنة مابين نبضات الساعة ولاتكون فى تزامن مع هذه النبضات، ويبين شكل (7-6) القلاب S-R الموقت وبه ما قبل الإمساك P_r ، والتنقية C_r .



شكل (7-6) قلاب S-R ب : قبل إمساك وتنقية

a- الدائرة b- الرمز المنطقى

فمعد: $P_r = C_r = 1$ ، فلا يهم، فهنا تعمل الدائرة وتحقق جدول الحقيقة كما في جدول (1-6).

وعند: $P_r = 0$ ، $C_r = 1$ ، فمن المؤكد أن يصبح الخرج $G_1(Q)$ مساوياً: 1، كما تكون جميع دخول البوابة G_2 مساوية: 1، وبما يجعل الخرج $G_2(Q)$ مساوياً: 0، ومن هنا نجد أن: ($P_r = 0$) يهيئ دائرة القلاب للإمساك Set.

بالمثل، وعند: $P_r = 1$ ، $C_r = 0$ تنتهي دائرة القلاب عند التحرير Reset.

أما الشرط: $P_r = C_r = 0$ فيجب ألا يستخدم، حيث أنه يؤدي إلى للحالة الغير مؤكدة.

ويبين شكل (b-7-6) الرمز المنطقي للدائرة، وتعني الدائرة الصغيرة للدخلين P_r و C_r أنهما اشارتين فعال-منخفض Active-low أي أن الوظيفة المرجوة سيتم تأديتها عندما تكون الإشارات المطبقة على P_r و C_r منخفضة LOW.

ويبين جدول (2-6) ملخص لعمل هذه الدائرة.

جدول (2-6)

الدخول			الخرج	العملية
CK	C _r	P _r	Q	المنفذة
1	1	1	Q _{n+1} كما في جدول (1-6)	قلاب عادی
0	0	1	0	تنقية Clear
0	1	0	1	ماقبل إمساك Preset

4-2-6 القلاب J-K:

في القلاب S-R يمكن إلغاء الحالة التي يكون عندها: $S_n = R_n = 1$ (والتي تمثل الصف الرابع من جدول الحقيقة) بتحويل القلاب إلى مايعرف بقلاب J-K، ويكون J

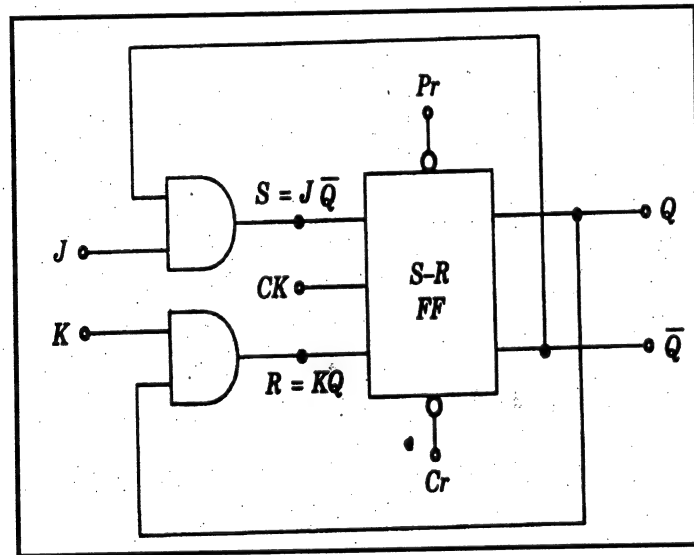
و K هما دخلا القلاب، وفيه يتم إدخال كل من الدخل J مع الخرج \bar{Q} ، والدخل K مع الخرج Q على بوابتي AND للحصول على كل من الدخلين: S، و R، حيث:

$$S = J \cdot \bar{Q} \quad (6-1a)$$

$$R = K \cdot Q \quad (6-1b)$$

فنحصل في النهاية على مايعرف بالقلاب J-K F.F. والمبين في شكل (8-6).

كما يوضح جدول (a-3-6) جدول الحقيقة الخاص به، والذي تم إعداده لجميع تكوينات الدخول J، و K الممكنة، ومع كل تكون تم الوضع في الاعتبار كلتا حالتى الخرج Q_n و \bar{Q}_n .



شكل (8-6) قلاب S-R متحول إلى قلاب J-K

وليس ضروريا استخدام بوابات AND كما في شكل (8-6)، حيث يمكن تأدية المطلوب بتوصيل طرف دخل إضافي لكل من بوابتي G_3 و G_4 في شكل (7-6)، ومنه نصل إلى القلاب J-K F.F. باستخدام بوابات NAND وكما هو موضح في شكل (9-6).

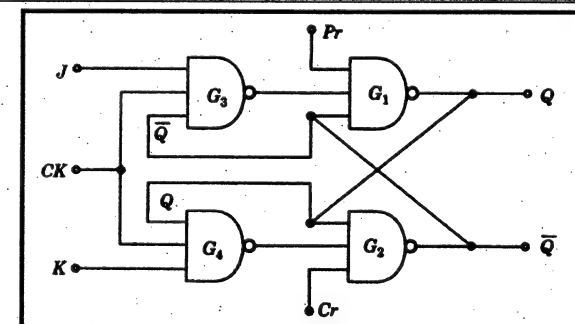
جدول (a-3-6)

بيان الدخول		الخروج		الدخول للقلاب S-R		الخروج
J_n	K_n	Q_n	\bar{Q}_n	S_n	R_n	Q_{n+1}
0	0	0	1	0	0	0
0	0	1	0	0	0	1
1	0	0	1	1	0	1
1	0	1	0	0	0	1
0	1	0	1	0	0	0
0	1	1	0	0	1	0
1	1	0	1	1	0	1
1	1	1	0	0	1	0

ويمكن إختصار الجدول السابق بجدول (b-3-6)

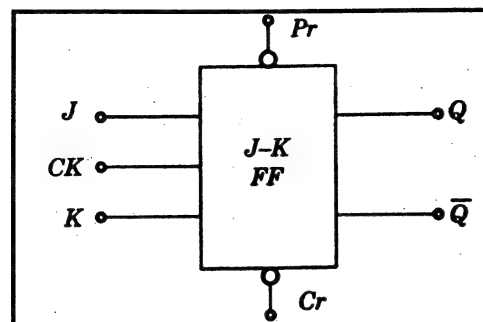
جدول (b-3-6)

الدخول		الخروج
J_n	K_n	Q_{n+1}
0	0	Q_n
1	0	1
0	1	0
1	1	\bar{Q}_n



شكل (9-6) القلاب J-K F.F. باستخدام بوابات NAND

كما يبين شكل (10-6) الرمز المنطقى للقلاب J-K

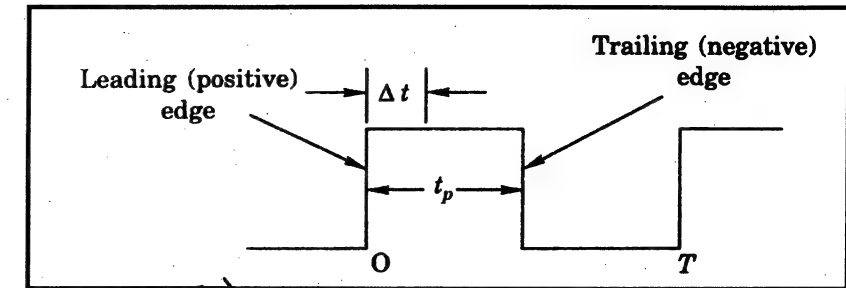


شكل (10-6) الرمز المنطقى للقلاب J-K

5-2-6 حالة التسابق Race-around condition :

مما سبق تم التغلب على الصعوبة التى واجهتنا عندما يكون كلا الدخلان S، و R فى القلاب S-R متساويين: 1 وذلك بتصميم القلاب J-K باستخدام تغذية عكسية للخروج إلى مدخلى البوابتين G_3 ، و G_4 كما فى شكل (9-6) وحصلنا على جدول الحقيقة (3-6) والذى يفرض أن الدخول لا تتغير أثناء نبضة الساعة ($CK = 1$) وهذا غير صحيح، وذلك بسبب توصيلات التغذية العكسية.

فعلى سبيل المثال نفرض أن: $J = K = 1$ ، و $Q = 0$ وتم تطبيق النبضة المبينة فى شكل (11-6) عند مدخل الساعة، فبعد فترة زمنية قدرها Δt وهى تساوى زمن تأخير الإنتشار خلال بوابتين NAND موصلتين على التوازي، فسيغير الخارج إلى: $Q = 1$ (بالرجوع إلى الصف الرابع من جدول الحقيقة المختصر)، فالآن نحن لدينا: $J = K = 1$ ، و $Q = 1$ ، وبعد فترة زمنية أخرى Δt سوف يتغير الخارج ثانية إلى: $Q = 0$ ، ومن هنا نستنتج أنه فى الفترة الزمنية t_p التى تستغرقها نبضة الساعة سيظل خلالها الخارج Q يتأرجح بين 0 و 1 حتى أنه فى نهاية تلك الفترة الزمنية t_p لا يمكن التأكد من حالة الخارج Q ، ويعرف هذا الموقف بحالة التسابق Race-around condition .



شكل (11-6) نبضة ساعة

والحل لتجنب هذا الموقف هو أن تكون الفترة الزمنية Δt أكبر من الفترة الزمنية t_p التي تستغرقها نبضة الساعة، وفي الوقت نفسه تكون أقل من الزمن الدوري لنبضة الساعة T ، أي: $t_p < \Delta t < T$ ، إلا أنه لربما يكون من الصعب تحقيق هذه المتباعدة بسبب أزمنة تأخير الانتشار الصغيرة جداً للدوائر المتكاملة، وهذا أدى إلى تصميم طريقة عملية للتغلب على هذه الصعوبة والتي تعرف بتشكيل المتبوع-التابع Master-Slave التي سيتم مناقشتها الآن.

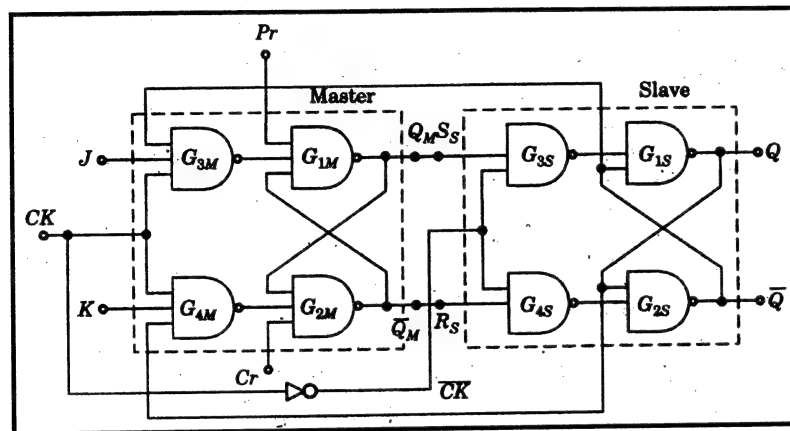
6-2-6 القلاب J-K المتبوع-التابع Master-Slave J-K F.F.

هذا القلاب مكون من تتالي لعدد 2 قلاب S-R بتغذية عكسية من مخارج القلاب الثاني إلى مداخل الأول وكما هو مبين في شكل (12-6)، وتطبق نبضات ساعة موجبة على القلاب الأول، كما يتم عكس هذه النبضات قبل تطبيقها على القلاب الثاني.

عند: $Ck = 1$ ، يصبح القلاب الأول متمكن enabled، ويستجيب خرج (Q_M)، و \bar{Q}_M للدخول (J و K) طبقاً للجدول (3-6)، وفي نفس الوقت يصبح القلاب الثاني ممتنع inhibited لأن نبضة الساعة تكون منخفضة LOW ($\bar{CK} = 0$).

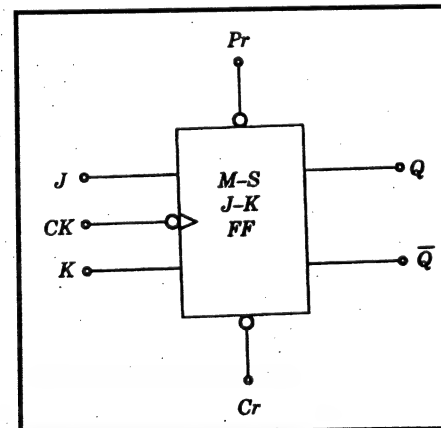
وعندما تصبح نبضة الساعة منخفضة LOW وعندئذ يكون ($\bar{CK} = 1$) يُمنع inhibited القلاب الأول، ويُمكن enabled القلاب الثاني لأن نبضات الساعة تكون عندئذ تكون عالية HIGH ($\bar{CK} = 1$)، وهنا تتبع الخرج (Q و \bar{Q}) الخرج (Q_M)،

و \bar{Q}_M) على الترتيب كما في الصفين الثاني والثالث من جدول (b-3-6)، وحيث أن القلاب الثاني ببساطة يتبع القلاب الأول فيطلق على الثاني التابع Slave، كما يطلق على الأول المتبوع Master، ومن هنا جاءت تسمية هذا التشكيل بـ "القلاب J-K المتبوع-التابع" Master-Slave J-K F.F.



شكل (12-6) القلاب J-K المتبوع-التابع

في هذه الدائرة لا تتغير دخول البوابتين G_{3M} و G_{4M} أثناء نبضات الساعة ولهذا نجد أنه لا توجد لحالة التسابق، إلا أن حالة الدائرة تتغير عند بدء هبوط نبضة الساعة أو بما يسمى بالحافة الهابطة (السلبية) لها Trailing (negative) edge.

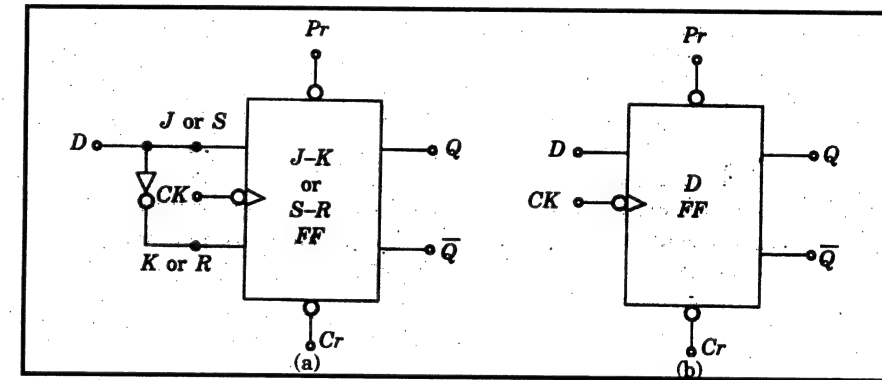


شكل (13-6) الرمز المنطقي للقلاب J-K المتبوع-التابع

ويبين شكل (6-13) الرمز المنطقي للقلاب J-K المتبوع-التابع، ويلاحظ من هذا الرمز وجود العلامة (>) عند دخل نبضة الساعة والتي توضح أن الخرج يتغير عند حدوث إنتقال للنبضة، كما أن الدائرة الصغيرة (o) تدل على إنتقال سلبى (أى تتغير CK من 0 إلى 1).

7-2-6 القلاب نوع-D :

إذا تم إستخدام الصفين الثانى والثالث فقط من كل من جدول الحقيقة (6-1) للقلاب S-R، و جدول الحقيقة (6-3b) للقلاب J-K، نحصل على مايسمى بقلاب "التأخير" أو القلاب نوع-D كما هو مبين فى شكل (6-14).



شكل (6-14) a- قلاب J-K أو S-R متحول إلى قلاب نوع-D

b- الرمز المنطقي للقلاب نوع-D

وللقلاب-D دخل واحد فقط يعرف بالدخل-D ويبين جدول (6-4) جدول الحقيقة له ، ومنه يتضح أن الخرج Q_{n+1} عند نهاية نبضة الساعة يكون مساويا للدخل D_n قبل نبضة الساعة .

جدول (6-4)

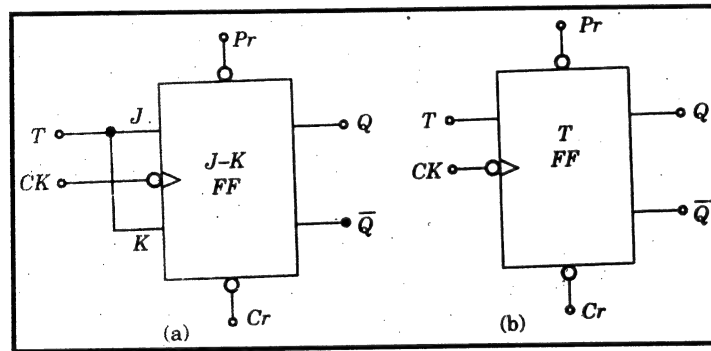
الخرج Q_{n+1}	الدخل D_n
0	0
1	1

ومن جدول الحقيقة يمكننا القول بأن بيانات الدخل تظهر نفسها فى الخرج عند نهاية نبضة الوقت، وهكذا فإننا نجد تأخيراً فى نقل البيانات من الدخل إلى الخرج، ومن هنا جاءت التسمية بـ "قلاب التأخير" Delay (D) F.F.

ويستخدم القلاب نوع-D كجهاز تأخير Delay device، أو جهاز إمساك Latch لتخزين أو حجز معلومة ثنائية مكونة من 1 بت (1 أو 0).

8-2-6 القلاب نوع-T :

إذا تساوى كلا من J، و K ($J = K$) فى قلاب J-K، ينتج مايعرف بـ "القلاب نوع-T"، والمبين فى شكل (6-15).



شكل (6-15) a- قلاب J-K متحول إلى قلاب نوع-T

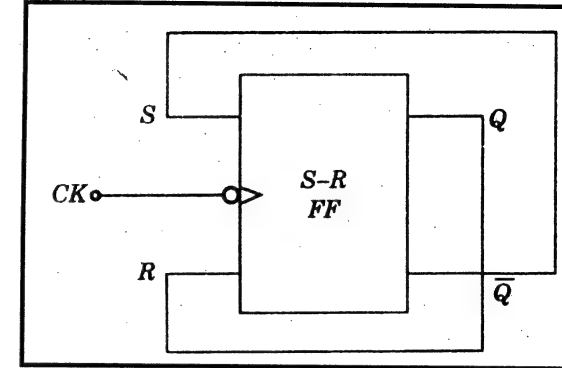
b- الرمز المنطقي للقلاب نوع-T

فهو قلاب بدخل واحد فقط يعرف بالدخل-T ويبين جدول (6-5) جدول الحقيقة له، ومن الجدول يتضح أنه عند: $T = 1$ فإن القلاب يعمل كمفتاح تبديل Toggle switch ، فمع كل نبضة ساعة يتغير الخرج Q.

جدول (6-5)

الخرج Q_{n+1}	الدخل T_n
Q_n	0
\bar{Q}_n	1

ولا يمكن تحويل القلاب S-R إلى قلاب نوع-T، حيث أن تساوى الدخلين S و R ($S = R = 1$) غير مسموح في القلاب S-R، إلا أن دائرة القلاب S-R المبينة في شكل (6-16) تعمل كمفتاح كمفتاح تبديل، أى يتغير الخرج مع كل نبضة ساعة Q.



شكل (6-16) قلاب S-R يعمل كمفتاح مفصل كهربائي

9-2-6 جدول الإثارة للقلاب F.F. Excitation table :

يسمى جدول الحقيقة للقلاب أيضا بجدول التمييز Characteristic table، وهذا الجدول هو الذى يحدد طابع العمل للقلاب، وفي تصميم الدوائر التتابعية نتقابل مع مواقف تتعين فيها الحالة الحالية Present state، والحالة التالية Next state للدائرة، ويكون علينا ان نجد قيود دخول يجب فرضها لتحقيق التغير المطلوب للحالة، ويقصد هنا بالحالة الحالية أى حالة الدائرة السابقة لنبضة الساعة، أما الحالة التالية هنا فيقصد بحالتها بعد نبضة الساعة.

فعلى سبيل المثال يكون خرج قلاب S-R قبل نبضة الساعة: $Q_n = 0$ ، ويراد عدم تغير هذا الخرج عند تطبيق نبضة الساعة، فما هى قيود الدخل (أى قيم S_n و R_n) الواجب فرضها لتحقيق هذا المطلوب؟.

من جدول الحقيقة أو جدول التمييز للقلاب S-R كما فى جدول (6-1)، نتحصل على قيود الدخل الآتية:

1- الصف الأول : $S_n = R_n = 0$.

2- الصف الثالث : $S_n = 0, R_n = 1$.

فنستنتج من القيود عالية أن الدخل S_n يجب أن يكون مساويا: 0، بينما يمكن أن يكون الدخل R_n إما مساويا: 0، أو مساويا: 1 أى أنه لا يهم ذلك، وبالمثل يمكن إستنتاج قيود دخل لجميع المواقف الممكنة.

وبجدولة هذه القيود نحصل على ما يعرف بجدول الإثارة Excitation table، وهو يمثل عامل مساعد مهم ومفيد فى تصميم الدوائر التتابعية.

ويبين جدول (6-6) جدول الإثارة للقلابات S-R، و J-K، و D، و T والمشتق من جداول التمييز لها.

جدول (6-6)

القلاب نوع-D D_n	القلاب نوع-T T_n	القلاب J-K J_n, K_n		القلاب S-R S_n, R_n		الحالة التالية	الحالة الحالية
		J_n	K_n	S_n	R_n		
0	0	0	X	0	X	0	0
1	1	1	X	1	0	1	0
0	1	X	1	0	1	0	1
1	0	X	0	X	0	1	1

3-6 القلابات إشعال الحافة Edge-triggered F.F.S. :

ينظر لجميع القلابات التى تمت مناقشتها سالفاً (عدا قلابات المتبوع-التابع) من أنها من القلابات ذات الإشعال بالمستوى Level triggered، بمعنى أن الخروج تستجيب للدخول (وطبقاً لجدول الحقيقة) طالما تواجدت نبضة الساعة، وتعتبر الماسكات 7475 و 74100 هى النوع الوحيد من الدوائر المتكاملة المندرجة تحت هذه الفئة.

أما القلابات من نوع المتبوع-التابع فهى تتدرج تحت فئة القلابات ذات الإشعال النبضى Pulse-triggered بمعنى أن الخروج تستجيب للدخول عند تطبيق نبضة عند دخل الساعة ($CK = 1$)، كما أن خرج التابع (القلاب الثانى) يكون متاحاً عند الحافة

النازلة لنبضة الساعة ($CK = 0$)، وكما تم مناقشته من قبل فإن هذا يزيل مشكلة حالة التسابق وفيه ستحبس البيانات عند الحافة النازلة لنبضة الساعة، أى أن التغيرات الحادثة عند الدخول بمجرد وصول النبضة CK إلى 0 لن تؤثر على تشغيل القلاب.

وبسبب تشغيل ما فى النظام فربما تتغير دخول القلاب خلال تواجد نبضة الساعة، مما يتسبب فى وجود خروج غير حقيقية أو غير مؤكدة للقلاب، وهذا يمكن التغلب عليه بما يعرف بـ "القلابات إشعال الحافة"، أو القلابات التى تبدأ عملها عند حافة النبضة.

ففى حالة هذا النوع من القلابات تنتقل المعلومات من الدخول إلى الخروج عند الحافة الموجبة أو السالبة لنبضة الساعة، ويمكن أن تتغير الخروج فقط خلال الفترة الزمنية التى تتغير نبضة الساعة من 1 إلى 0 (\uparrow)، وفى بعض الدوائر الأخرى خلال الفترة الزمنية التى تتغير نبضة الساعة من 1 إلى 0 (\downarrow)، ويعرف القلاب الذى يستجيب فقط عند الحافة الصاعدة Rising edge بقلاب إشعال الحافة الصاعدة أو الموجبة Positive-edge-triggered، بينما يعزى القلاب الذى يستجيب فقط عند الحافة الهابطة Falling edge بقلاب إشعال الحافة الهابطة أو السالبة Negative-edge-triggered، ويحدث حبس للبيانات عند نهاية الحافة.

ويكون رمز نوع القلاب إشعال الحافة هو رمز القلاب نوع متبوع-تابع، كما يبين شكل (6-17) الموصفات الزمنية لقلاب إشعال الحافة وهى كالتالى:

- زمن الإعداد Set-up time (t_{setup}):

هو الزمن الذى يمر حتى تستقر بيانات الدخول قبل الإشعال بالحافة لنبضة الساعة، أو الزمن اللازم لبقاء البيانات على مدخل الدائرة لكى تتمكن هذه الدائرة من قراءة هذه البيانات.

- زمن الاحتجاز Hold time (t_{hold}):

هو الزمن الذى يجب أن تظل البيانات خلاله ثابتة بعد الإشعال بالحافة لنبضة الساعة.

- التردد الأقصى (f_{max}) Maximum frequency :

هو أقصى تردد لنبضات الساعة والكافى للتشغيل المستقر والمناسب، ويحسب كالتالى:

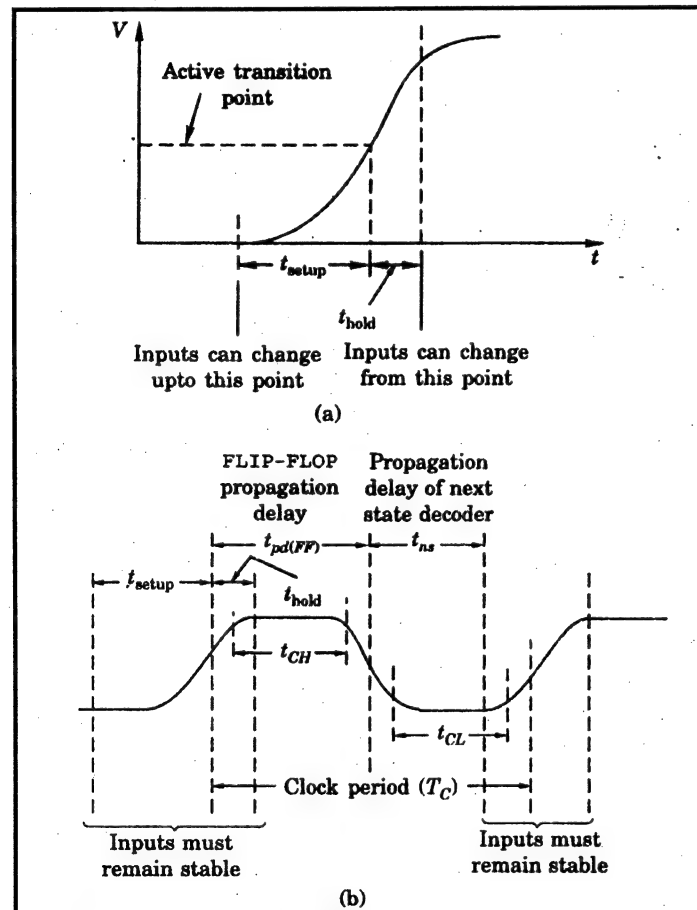
$$f_{max} = 1/T_c \leq 1/(t_{setup} + t_{pd(FF)} + t_{ns})$$

- عرض نبضة الساعة العالية (t_{CH}) Clock HIGH pulse width :

هو أقل وقت يمكن أن تظل فيه نبضة الساعة عالية HIGH .

- عرض نبضة الساعة العالية (t_{CL}) Clock LOW pulse width :

هو أقل وقت يمكن أن تظل فيه نبضة الساعة منخفضة LOW .



شكل (6-17) أشكال الموجة لنبضة ساعة قياسية توضح الموصفات الزمنية للقلابات

مثال (2-6) :

نبضة الساعة والدخل والمبين أشكال الموجة لهما في الشكلين (a-18-6) و (b-18-6) يتم تطبيقهما على الدخل D أو الدخل J على الأنواع التالية من القلايات، ومطلوب رسم أشكال الموجة لخرج كل منها.

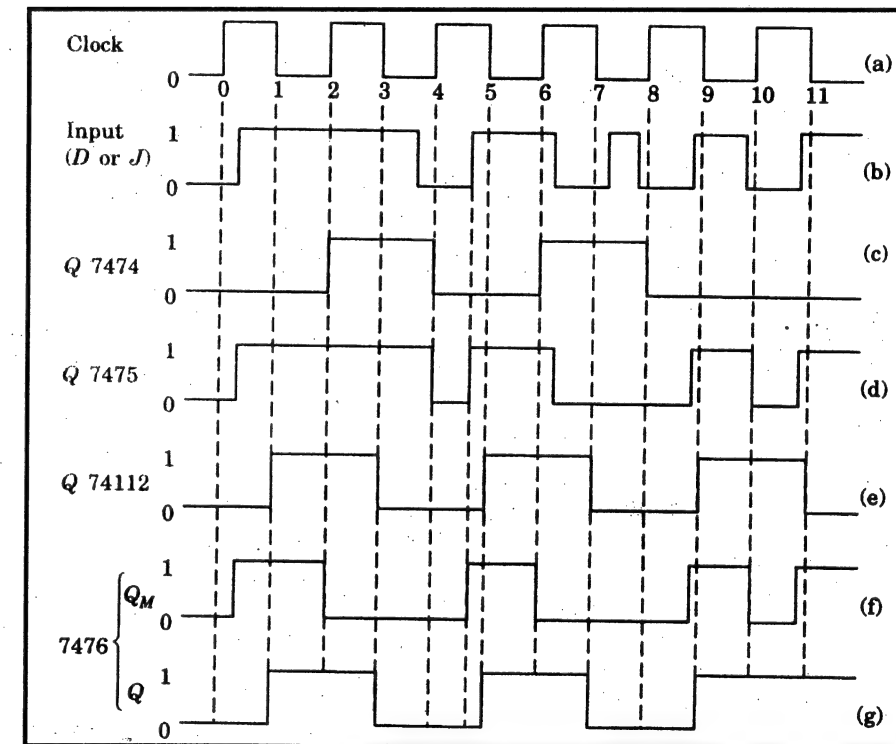
أ- دائرة القلاب نوع D رقم 7474 ذات إشعال الحافة الموجبة .

ب- دائرة القلاب نوع D رقم 7475 ذات إشعال المستوى الموجب Positive-level triggered .

ج- دائرة القلاب نوع J-K رقم 74112 ذات إشعال الحافة السالبة .

د- دائرة القلاب نوع J-K متبوع-تابع رقم 7467 .

الحل :



شكل (18-6) أشكال الموجة للمثال (2-6)

أ- في حالة دائرة القلاب نوع D رقم 7474 ذات إشعال الحافة الموجبة، يكون الخرج Q مثل الدخل D عند الحافة الموجبة لنبضة الساعة، ولا يتغير الخرج إلا بوصول الحافة الموجبة التالية، وكما هو موضح في شكل (c-18-6) .

ب- في حالة دائرة القلاب نوع D رقم 7475 ذات إشعال المستوى الموجب، فهو يمثل ممسك واضح، حيث يتبع الخرج Q الدخل D طالما نبضة الساعة: $CK = 1$ ولا يتغير الخرج عند: $CK = 0$ ، وكما هو موضح في شكل (d-18-6) .

ج- في حالة دائرة القلاب نوع J-K رقم 74112 ذات إشعال الحافة السالبة، يستجيب الخرج Q للدخول J و K الموجودة عند الحافة السفلى لنبضة الساعة (وطبقاً لجدول الحقيقة للقلاب J-K)، ولا يتغير الخرج إلا بوصول الحافة السالبة التالية، وكما هو موضح في شكل (e-18-6) .

د- في حالة دائرة القلاب نوع J-K متبوع-تابع رقم 7467، يستجيب خرج المتبوع Q للدخول J و K الموجودة عند: $CK = 1$ (وطبقاً لجدول الحقيقة للقلاب J-K)، ويبين شكل (f-18-6) شكل الموجة خرج المتبوع Q_M، كما يتبع خرج التابع Q خرج المتبوع Q_M عند الحافة السالبة لنبضة الساعة، وكما هو موضح في شكل (g-18-6) .

4-6 تطبيقات القلايات :

من بعض استخدامات القلايات الشائعة مايلي :

- 1- مفتاح إزالة تأثير وثبة التلامس Bounce elimination switch .
- 2- الماسك Latch .
- 3- المسجلات Registers ،
- 4- العدادات Counters .
- 5- الذاكرات Memories .

6-4-1 مفتاح إزالة تأثير وثبة التلامس Bounce elimination switch :

هناك مفاتيح وثبة التلامس Bounce switch وهي مفاتيح ميكانيكية تستخدم في الأنظمة الرقمية كأجهزة دخل والتي بواسطتها يمكن إدخال معلومة رقمية (1 أو 0) للنظام، وهناك مشكلة خطيرة ترتبط بهذه المفاتيح فعندما يتحرك ذراع المفتاح من موضع لآخر فإنه يصطك عدة مرات قبل أن يستقر في النهاية في الموضع الجديد فيسجل بضعة آلاف من النبضات الكاذبة بدلاً من نبضة واحدة.

وفي الدائرة التتابعية وعند إدخال 1 من خلال المفتاح فسيرمي ذراع المفتاح للموضع المناظر، وبمجرد وصوله للموضع نحصل على الخرج 1، إلا أن هذا الخرج سيظل يتأرجح ما بين 0 و 1 لبعض الوقت بسبب الوصل والقطع للمفتاح عند نقطة التوصيل قبل الوصول لحالة الاستقرار، وهذا بالطبع يسبب تغيير في خرج الدائرة التتابعية، وبالتالي يخلق صعوبات في عملية تشغيل النظام، ويمكن إزالة هذه المشكلة باستخدام ما يسمى بـ "مفتاح إزالة تأثير وثبة التلامس" Bounce elimination switch .

مثال (3-6) :

وضح أن الدائرة الموجودة في شكل (a-19-6) تعمل كـ "مفتاح إزالة تأثير وثبة التلامس".

الحل :

يبين شكل (b-19-6) أشكال الموجة لكل من: \bar{S} ، \bar{R} ، Q ، و \bar{Q} ، ويبدأ عمل المفتاح عند الزمن: $t = 0$ ، بتحريكه من الموضع A إلى الموضع B.

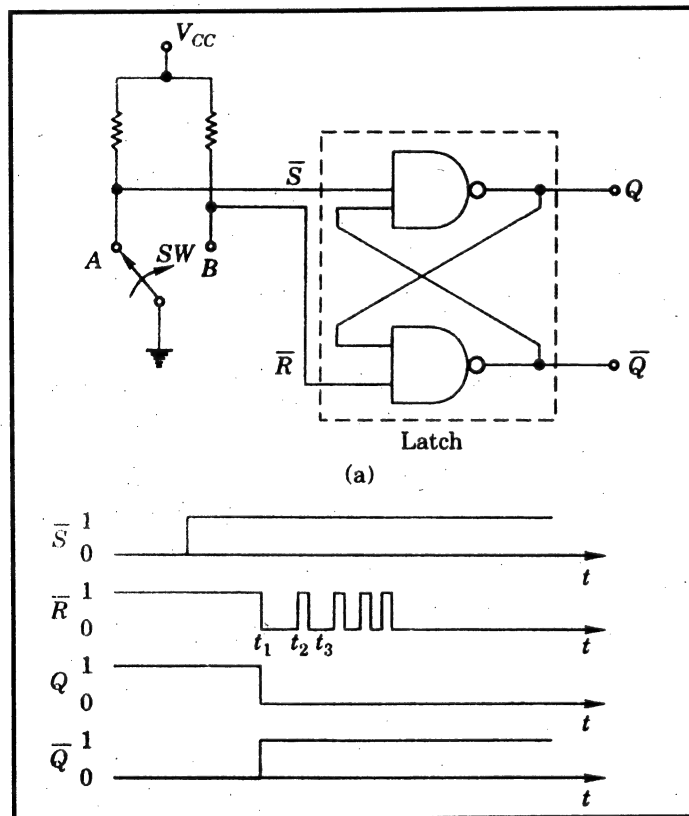
وعند الزمن: $t = 0^+$ ، يكون الجهد عند \bar{S} مساوياً: V_{CC} (أي منطق 1)، وسيظل هكذا ما لم يعود المفتاح للموضع A مرة ثانية.

وعند الزمن: $t = 0^-$ ، يكون الجهد عند \bar{R} مساوياً: V_{CC} (أي منطق 1)، إلا أنه عند الزمن: t_1 (وهو زمن تأخير المفتاح) يصبح مساوياً: 0V (أي منطق 0)، إلا أنه

عند هذا الزمن (وهو الزمن الذي يتصل فيه ذراع المفتاح بالنقطة B) سيظل الذراع يتأرجح، وبالتالي يسبب ذلك في تأرجح مستوى \bar{R} ما بين 0، و 1 لبعض الوقت، وكما هو مبين في شكل الموجة \bar{R} المرسومة.

وما بين الزمنين: $t = 0$ ، و $t = t_1$ ، يكون كلا الدخيلين \bar{S} ، و \bar{R} عند المنطق 1، وهنا لا يتغير الخرج Q ، إلا أنه يتغير ويصبح عند المنطق 0 عند الزمن t_1 .

والآن حتى ولو تغير \bar{R} عند الأزمنة t_2 ، و t_3 ، و... إلخ، فلن يؤدي ذلك إلى تغير الخرج Q الذي سيظل عند المنطق 0، مما يبين أن هذا المفتاح يزيل تأثير وثبات التلامس.



شكل (6-21) a- مفتاح إزالة الوثبة

b- أشكال الموجة لكل من: \bar{S} و \bar{R} و Q و \bar{Q}

والماسك المستخدم في شكل (a-19-6) يمكن إستبداله بالدائرة التكاملية 74279،

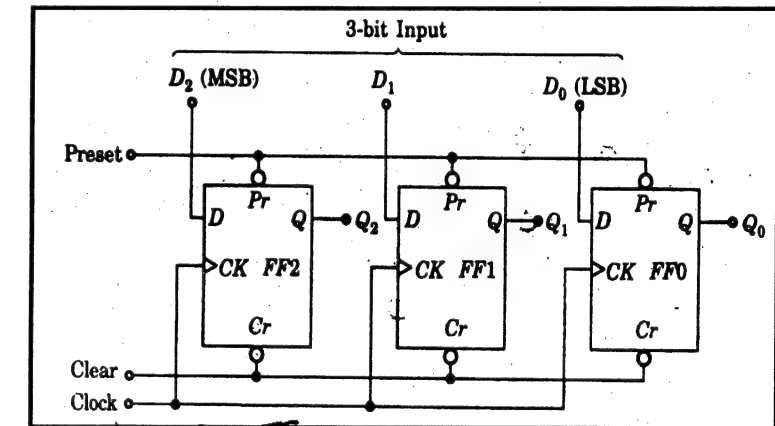
وهي ماسك $\bar{R} - \bar{S}$ رباعي .

2-4-6 المسجلات Registers :

المسجل عبارة عن جهاز لتخزين مجموعة من البتات (والتي تكون كلمة)، وهو يتكون من مجموعة من القلابات عددها N إذا كان المطلوب تخزين كلمة مكونة من عدد N بت (أى يقوم كل قلاب بتخزين بت واحد).

ويبين شكل (20-6) مسجل 3-بت يستخدم القلابات إشعال-الحافة الموجبة Positive-edge triggered F.Fs. رقم 7474 ، وفيها تطبق البتات المراد تخزينها وعددها 3 عند الدخول D ، وفي هذا المسجل يلزم أن تكون البيانات الداخلة على شكل متوازي.

وسوف يتم مناقشة أنواع أخرى من المسجلات بالتفصيل في الأقسام التالية.



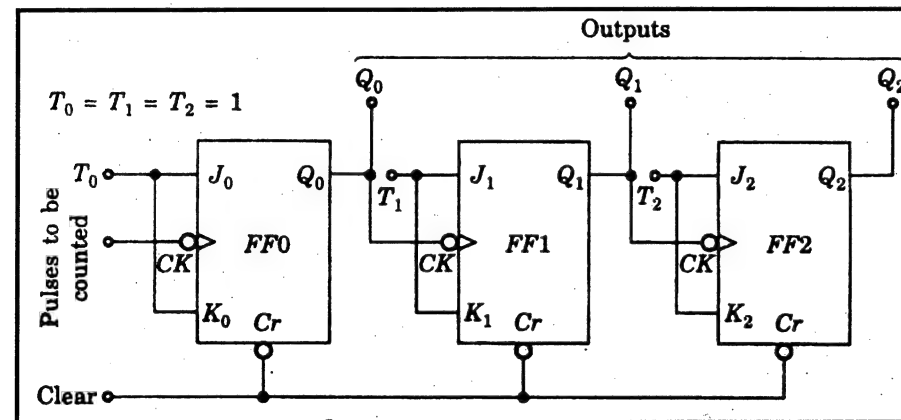
شكل (20-6) مسجل 3 بت يستخدم القلابات

3-4-6 العدادات Counters :

غالبا نحتاج للعدادات الرقمية لإحصاء حدث ما، مثل إحصاء حبات الدواء التي تملا زجاجة، فيتم توليد نبضات كهربية مناظرة لهذا الحدث وذلك باستخدام محول طاقة Traseducer، ثم القيام بإحصاء هذه النبضات باستخدام العداد.

وتتركب العدادات من مجموعة من القلابات ، فمثلا وكالموضح في شكل (6-6) يتكون عداد 3-بت من 3 قلابات (ملحوظة : دائرة العداد المكونة من قلابات عددها n تقوم بالإحصاء حتى 2^n) ، وهنا فإن عداد 3-بت يمكنه الحساب من الرقم العشري 0 حتى الرقم العشري 7 .

والقلابات المستخدمة هنا من النوع 74107 " قلابات J-K متبوع-تابع " وتستخدم كنوع-T.



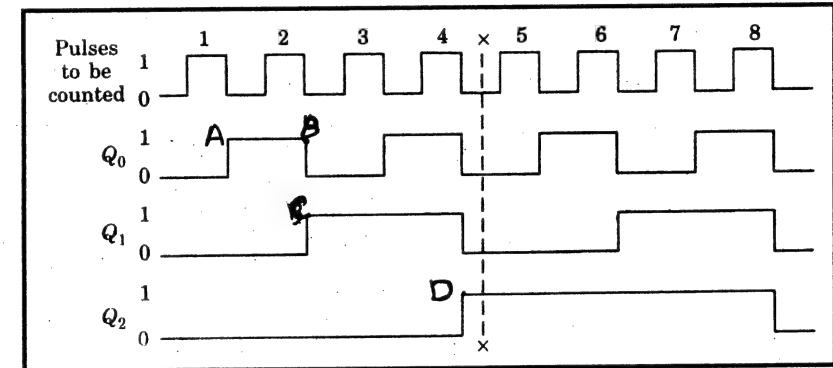
شكل (21-6) عداد 3-بت مكون من 3 قلابات

ويتم توصيل النبضات المراد إحصاؤها إلى مدخل الساعة Clock input للقلاب FF0، وتوصيل خرج Q_0 إلى مدخل الوقت للقلاب FF1، وبالمثل يوصل خرج Q_1 إلى مدخل الوقت للقلاب FF2، ويتم تنقية القلابات بتطبيق منطق 0 لحظيا عند طرف مدخل التنقية Clear input terminal، والتي تظل عند المنطق 1 أثناء عملية الإحصاء الطبيعية .

ويوضح شكل (22-6) النبضات وأشكال الموجة للعداد المبين في شكل (21-6).

حيث يبدأ العداد في الإحصاء بتطبيق منطق 0 لحظيا عند طرف مدخل التنقية، أى يكون العدد المحمل به العداد في البداية هو صفر عشري، وعند الحافة السالبة لكل نبضة يتغير منطق الخرج Q_0 (حيث أن : $T_0 = 1$)، فمثلا عند الحافة السفلى للنبضة الأولى يتغير منطق الخرج Q_0 من منطق 0 إلى منطق 1 (النقطة A)، وعند

الحافة السفلى للنمضة الثانية يتغير منطق الخرج Q_0 من منطق 1 إلى منطق 0 (النقطة B) وهكذا ، وبالمثل يتغير منطق الخرج Q_1 عند الحافة السفلى للخرج Q_0 (لأن الخرج Q_0 هنا يعمل كنمضة توقيت CK للقلاب FF1 ، وأن $T_1 = 1$) ، حيث يتغير منطق الخرج Q_1 من منطق 0 إلى منطق 1 عند الحالة السفلى للمنطق 1 للخرج Q_0 (النقطة C) ، وبالمثل أيضا يتغير منطق الخرج Q_2 عند الحافة السفلى للخرج Q_1 (لأن الخرج Q_1 هنا يعمل كنمضة ساعة CK للقلاب FF2 ، وأيضا $T_2 = 1$) ، حيث يتغير منطق الخرج Q_2 من منطق 0 إلى منطق 1 عند الحالة السفلى للمنطق 1 للخرج Q_1 (النقطة D) .



شكل (22-6) النبضات وأشكال الموجة للعداد المبين في شكل (25-6)

ويكون المكافئ العشري لأي عدد ثنائي $Q_2Q_1Q_0$ عند أي زمن هو عدد النبضات المحصاة حتى ذلك الزمن، فمن الشكل وعلى سبيل المثال وعند الزمن (X) يكون عدد النبضات المحصاة: 100 بما يكافئ العدد العشري 4، وتتحرك الدائرة بعد إحصاء 8 نبضات.

وتوجد أعداد كثيرة من العدادات وسوف يتم مناقشة بعضاً منها بالتفصيل في الأقسام التالية.

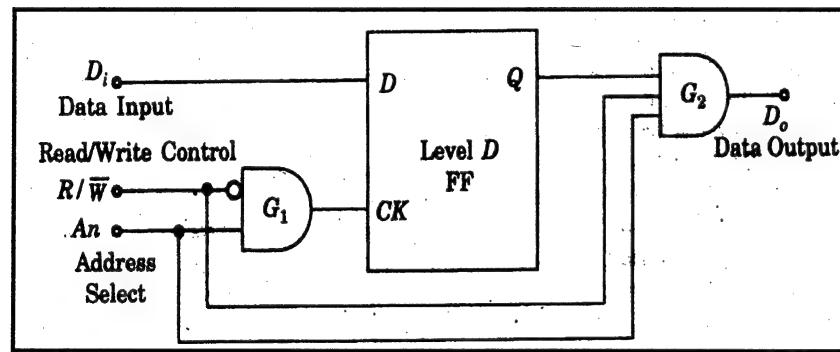
4-4-6 ذاكرة الدخول العشوائي Random-Access Memory :

في الحاسبات وأنظمة التحكم الرقمية وأنظمة معالجة المعلومات.. إلخ، يكون من الضروري تخزين بيانات رقمية ثم إستعادتها عند الحاجة، وقديماً ولهذا الغرض كانت الذاكرات المغناطيسية هي الممكنة، أما في هذه الأيام فقد أصبح من الممكن

تصنيع أجهزة الذاكرات من أشباه الموصلات والتي أصبحت مفضله لإستخدامها المريح ولصغر أحجامها (فهى مُصنعة على شكل دوائر متكاملة)، وفي الفصل الثامن سوف يتم تناول مختلف ذاكرات أشباه الموصلات.

ويمكن إستخدام القلابات لعمل الذاكرات والتي عن خلالها يمكن تخزين المعلومات لأي مدة من الزمن ثم الإطلاع عليها أو قراءتها متى تطلب هذا، وفي مثل هذه الذاكرات يمكن وضع البيانات في الذاكرة (أي كتابتها في الذاكرة)، أو إستعادتها (إى قراءتها من الذاكرة) بطريقة عشوائية وهذه الطريقة تُعرف بـ "ذاكرة الدخول العشوائي".

وشكل (6-23) يبين ذاكرة قراءة/كتابة لـ 1 بت، والتي تمثل عنصر الذاكرة الأساسى، وحيث تبني الدوائر التكاملية للذاكرات من خلال نظام يتأسس على هذه الخلية.



شكل (23-6) خلية ذاكرة قراءة/كتابة لـ 1 بت

في هذه الخلية يستخدم قلاب مستوى من نوع D- خرج Q والذي يتبع الدخل D، طالما كانت نهاية CK موصلة على منطق 1، وفي لحظة تغير CK من منطق 1 إلى منطق 0 فلا يتغير الخرج Q ويظل محتفظاً بمستوى الدخل D الموجود قبل هذا التغير في منطق CK من 1 إلى 0، وهذا الدخل يستخدم لإختيار خلية الذاكرة.

* وفي خلية الذاكرة المبينة توجد 3 مداخل :

1- مدخل البيانات (Data Input (D).

2- إختيار العنوان (A_n) Address select .

3- تحكم قراءة/كتابة (R/\bar{W}) Read/Write control .

* ويوجد مخرج واحد هو : مخرج البيانات (D_0) Data output .

وعند $A_n = 1$ ، تتمكن الخلية من تنفيذ عملية القراءة أو الكتابة، فعندما يكون

المدخل R/\bar{W} في المنطق 1 يُمكن من قراءة ما بالخلية، بينما يُمكن من الكتابة عليها عندما يكون في المنطق 0، وتتوقف فعالية كل مداخل ومخرج الخلية عند: $A_n = 0$ ، بينما تظل الخلية في وضع Mode ماسكة وعنده تكون البيانات المُخزنة محمية.

ويمكن تفهم الوظيفة الكاملة لهذه الخلية من الجدول الوظيفي المبين في جدول (7-6)، فعملية القراءة لمرة واحدة لا تنتهي عملية التخزين، أي ان البت المُخزن يمكن قراءته عدة مرات بدون إفساده، كما أن البت المُخزن يظل في حماية طالما أن القدرة موصلة، ولذلك يسمى هذا النوع من الذاكرات بـ " الذاكرة المتطايرة " Volatile memory.

وطالما أن عملية الكتابة في الذاكرة هي محور الإهتمام، فليس مطلوباً أن تسمح قبل إدخال البت الجديد، ومتى دخل هذا البت الجديد، فإن البت القديم يزال آلياً.

جدول (7-6)

الدخول			الحالة
A_n	R/\bar{W}	D_i	
0	X	X	إمسك ، $D_0 = 0$
1	0	0	كتابة 0 في الذاكرة ، $D_0 = 0$
1	0	1	كتابة 1 في الذاكرة ، $D_0 = 0$
1	1	X	قراءة ، و D_0 يخزن بت الدخل D_i

5-6 المسجلات :

تعد المسجلات مع العدادات من أهم الدوائر التتابعية الواسعة الإستخدام في الأنظمة الرقمية، وعرفنا مما سبق أن القلاب يمثل العنصر الأساسي لنظام المنطق التتابعي. وكما عرفنا أن القلاب يمكنه تخزين أو تذكر 1 بت (1 أو 0) كمعلومة رقمية، وهو المعروف بـ "المسجل 1-بت" 1-bit register، ولتخزين معلومة ثنائية يتطلب ذلك منظومة من القلابات، ويكون عدد القلابات المطلوبة لتخزين كلمة ثنائية Binary word مساوياً لعدد البتات التي تتكون منها هذه الكلمة (تخصيص قلاب لكل بت) وفي النهاية نحصل على ما نشير إليه بالمسجل.

وتتواجد تطبيقات المسجلات في مختلف الأنظمة الرقمية بما فيها المعالجات الدقيقة، فعل سبيل المثال نجد ان المعالج الدقيق Intel's 8085 يحتوى على 7 مسجلات 8-بت والمعروف بـ "المسجل العمومي" General purpose register، كما يحتوى على 5 مسجلات 1-بت والمعروفة بـ "العلامات" Flags.

وفي المسجلات يمكن إدخال البيانات على التوالي (1 بت في كل زمن) والتي تعزى إلى التشفير الموقت Temporal code (وهو ترتيب زمني للبتات)، أو على التوازي (جميع البتات في تزامن واحد) والتي تعزى إلى التشفير الحيزي أو الفضائي Spacial code، كما يمكن إسترجاع هذه البيانات على شكل التوالي أو التوازي.

وببين شكل (a-24-6) معلومة من 4-بت (1010) على شكل التوالي، كما يبين شكل (b-24-6) نفس المعلومة على شكل التوازي، وفيما يخص مداخل ومخارج البيانات التي على شكل التوالي فإن ذلك يتطلب خط واحد فقط للدخل، وخط واحد للخروج، بينما في البيانات على شكل التوازي فإن ذلك يتطلب عدداً من الخطوط تعادل عدد الدخول (أي عدد البتات)، وكذلك عدداً من الخطوط تعادل عدد الخروج (أي عدد البتات).

واعتماداً على طريقة إدخال البيانات وإسترجاعها ، يتم تقسيم المسجلات إلى 4 حالات من التشغيل هي :

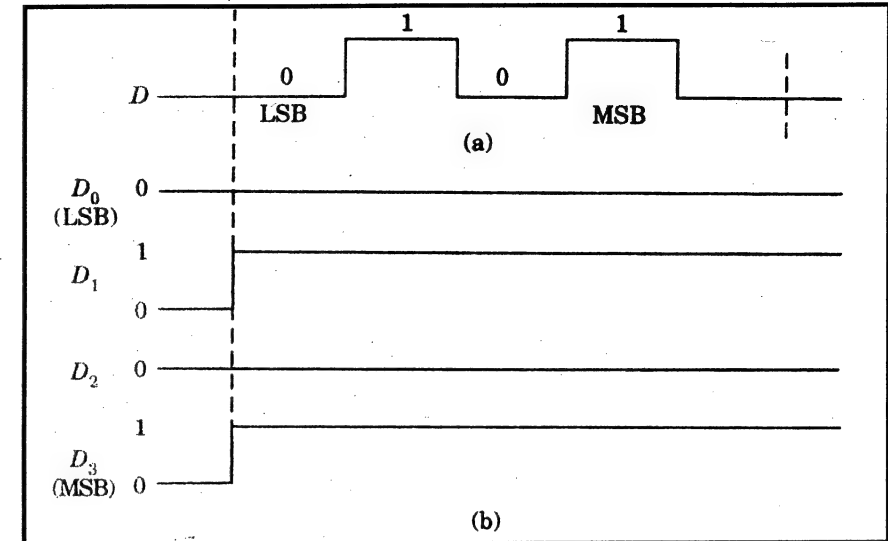
control، ومن أمثلتها الدائرة التكاملية 74295A، أما المسجل المسمى بـ "مسجل عمومي" Universal register، فيمكنه العمل في كل الحالات الأربعة (SISO و SIPO و PISO و PIPO)، بالإضافة إلى عمله كثنائي اتجاه، وتعد الدائرة التكاملية 74194 من أمثلة المسجلات العمومية.

جدول (6-8)

رقم الدائرة التكاملية	الوصف
7491A ، 7491	SISO 8-بت
7494	PISO 4-بت
7495	SIPO 4-بت ، أو PIPO 4-بت (إزاحة يمين/يسار)
7496	SISO 5-بت ، أو PIPO 5-بت
7499	ثنائي الاتجاه 4-بت ، عمومي
74164	SIPO 8-بت
74165	SISO 8-بت ، أو PISO 8-بت
74166	SISO 8-بت ، أو PISO 8-بت
74178 ، 74179	ثنائي الاتجاه 4-بت ، عمومي
74194	ثنائي الاتجاه 4-بت ، عمومي
74195	SIPO 4-بت ، أو PIPO 4-بت
74198	ثنائي الاتجاه 8-بت ، عمومي
74199	SIPO 8-بت ، أو PIPO 8-بت
74295A	ثلاثي حالة TRI-STATE ، ثنائي الاتجاه (SIPO 4-بت ، أو PIPO 4-بت)
74395	ثلاثي حالة TRI-STATE (SISO 4-بت ، أو PIPO 4-بت ، أو SIPO 4-بت ، أو PISO 4-بت) يمكن تتاليها

6-5-1 مسجل الإزاحة :

يبين شكل (6-25) مسجل إزاحة 5-بت يستخدم قلابات S-R متبوع-تابع، ويمكن استخدام هذه الدائرة لأي حالة من الحالات الأربعة للمسجلات.



شكل (6-24) تمثيل البيانات a- على شكل التوالى

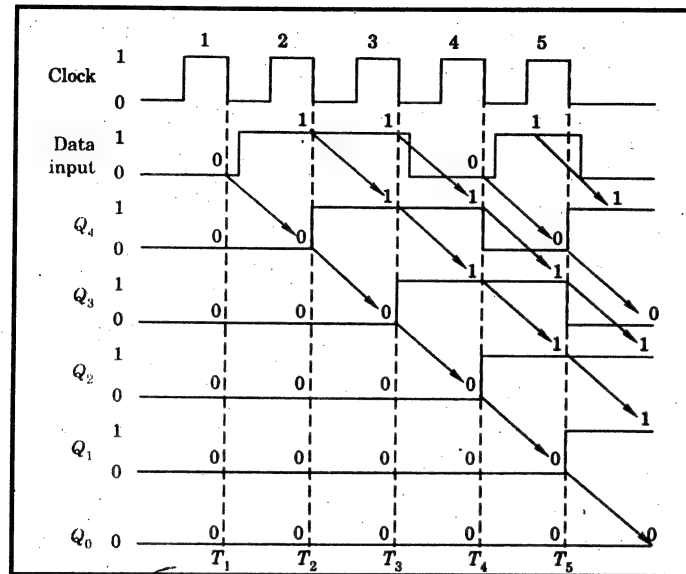
b- على شكل التوازي

- 1- إدخال البيانات توالى Serial-in ، وخروجها توالى Serial-out (SISO).
 - 2- إدخال البيانات توالى Serial-in ، وخروجها توازي Parallel-out (SIPO).
 - 3- إدخال البيانات توازي Parallel-in ، وخروجها توالى Serial-out (PISO).
 - 4- إدخال البيانات توازي Parallel-in ، وخروجها توازي Parallel-out (PIPO).
- ويمكن تصميم المسجلات باستخدام قلابات محددة (S-R أو J-K أو نوع-D)، كما أن هذه المسجلات متاحة كأجهزة MSI، ويبين جدول (6-8) المسجلات المتاحة في سلسلة TTL 54/74.

والمسجلات التي تدخل فيها أو تخرج منها البيانات في شكل التوالى تعرف بـ "مسجلات الإزاحة" Shift registers، حيث تزاح البتات في القلابات في وجود نبضات الوقت إما في الاتجاه الأيمن (فنحصل على مسجل إزاحة يمين Right-shift register)، أو تزاح في الاتجاه الأيسر (فنحصل على مسجل إزاحة يسار Left-shift register)، أما مسجلات الإزاحة الثنائية Bidirectional-shift register ففيها تزاح البيانات من اليمين إلى اليسار، أو في عكس الاتجاه مستخدماً تحكم الحالة Mode

$$Q_4 = 1$$

$$Q_3 = Q_2 = Q_1 = Q_0 = 0$$



شكل (26-6) أشكال الموجة لمسجل إزاحة لدخل توالى

وبنفس الطريقة يتم تطبيق الدخل المناظر لكل بت حتى الوصول لـ بت التأثير الأعلى وتستمر البتات في التحرك والإزاحة من اليسار إلى اليمين عند حافة الهبوط لكل نبضة ساعة، وكما هو مبين في شكل (26-6)، حتى نصل إلى نهاية نبضة الساعة رقم 5، وتكون عندها خروج القلايات كالتالى:

$$Q_4 = 1$$

$$Q_3 = 0$$

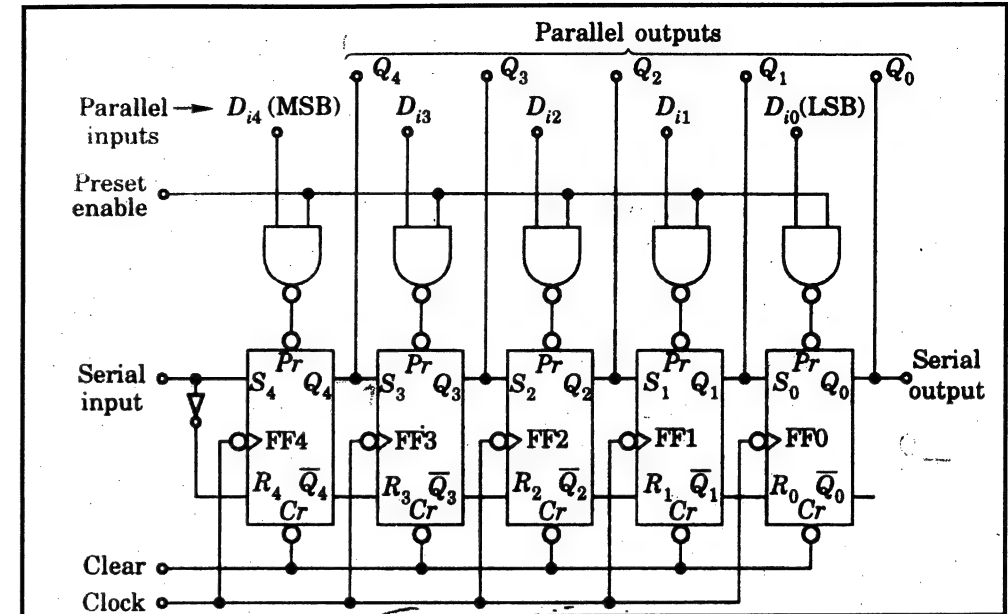
$$Q_2 = 1$$

$$Q_1 = 1$$

$$Q_0 = 0$$

وهي نفس البتات المطلوب تخزينها.

وهنا نقول أن عدد نبضات الساعة المطلوبة لإدخال البيانات يكون مساوياً لعدد البتات، كما تسمى عملية إدخال البيانات بـ "الكتابة" Writing على المسجل.



شكل (25-6) مسجل إزاحة 5-بت

وسيتم شرح عمل الدائرة بفرض إدخال بيان من 5-بت هو: 10110، وحيث يتشابه عمل الدائرة في حالة أى بيان آخر مكون من 5-بت.

البيانات في دخل توالى :

باستخدام خط التحرير Clear line، يتم تحرير القلايات أولاً، ثم تطبيق بيانات الكلمة على هيئة التوالى كما هو مبين في شكل (a-24-6)، كما يتم تمكين مدخل التحرير عند منطق 0، فيظل بالتالى كل مداخل P_r للقلايات عند منطق 1، ويبين شكل (26-6) أشكال الموجة للدخل والخروج.

وتبدأ عملية إدخال الكلمة الرقمية بإدخال البيان المناظر لبت التأثير الأدنى (0)، وأول نبضة ساعة، وعند حافة الهبوط لأول نبضة ساعة (T_1) يكون خرج القلاب FF4 (أى الخرج: Q_4) مساوياً: 0، كما تكون كل خروج القلايات الأخرى مساوية: 0 حيث تكون كل دخولها مساوية: 0، وبعد ذلك تدخل البت التالية (1) عند حافة الهبوط لثانى نبضة ساعة (T_2) وتصبح مخارج القلايات كالتالى:

ويمكن إسترجاع هذه البيانات المخزنة (وتسمى هذه العملية بـ "القراءة" Reading) طريقتين: إما بالخرج المتتالي، أو بالخرج المتوازي.

ففي الإسترجاع بطريقة الخرج المتتالي، يتم الحصول على البيان المخزن عند المخرج Q_0 عند تطبيق نبضات ساعة والتي يكون عددها مساويا لعدد البتات أي : 5 في مثالنا هذا، أما الإسترجاع بطريقة الخرج المتوازي، فيتم الحصول على البيان المخزن عند الخرج $Q_0 Q_1 Q_2 Q_3 Q_4$ بدون الحاجة لتطبيق نبضات ساعة. في حالة الإسترجاع بالخرج المتتالي، وبعد نبضة الساعة n (بعد البت الأخير n من البيان) يصبح خرج كل القلايات: 0، مما يعنى أن من أنه بمجرد إسترجاع البيان، يصبح المسجل خاليا، بينما على الجانب الآخر وعند الإسترجاع بالخرج المتوازي فإنه يمكن إسترجاع أو قراءة البيان عدة مرات لحين القيام بعملية تخزين جديدة في المسجل.

في حالة مسجل الإزاحة SISO، يمكن أن يختلف معدل نبضات الساعة في البيان الداخل عنه في البيان الخارج، ومن هنا يمكن إستغلال هذا في تغيير المباعدة الزمنية Spacing in time في الشفرة الثنائية، وبما يُعرف بـ "العزل" Buffering.

البيانات في دخل متوازي :

يمكن إدخال البيان على شكل التوازي باستغلال مداخل التحرير Preset inputs، فبعد تحرير القلايات وعند تطبيق البيان على الدخول المتوازية: D_{14} و D_{13} و D_{12} ، و D_{11} ، و D_{10} ، ومع تطبيق مستوى 1 على مدخل التحرير، فسوف يكتب البيان في المسجل، وهذا ما يُعرف بالتحميل الغير متزامن Asynchronous loading.

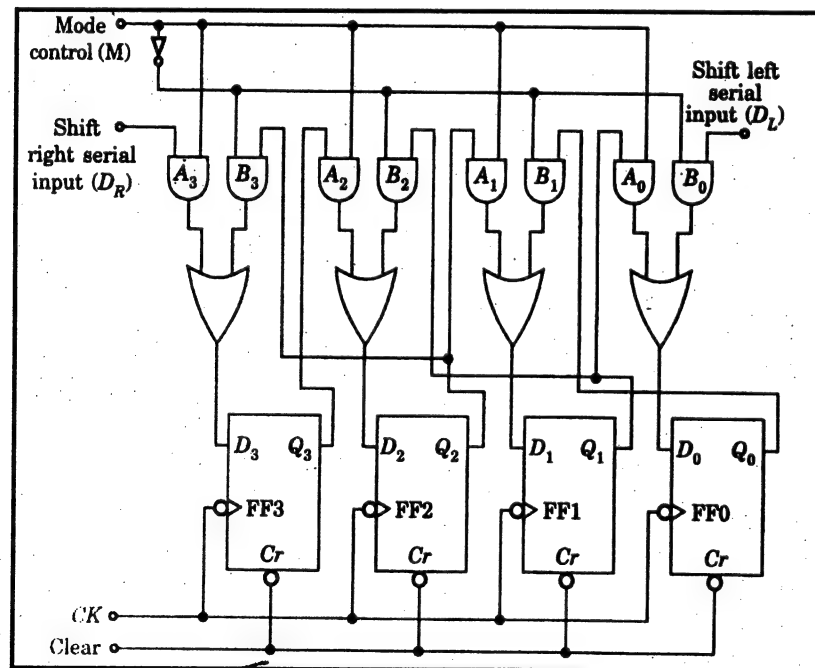
ويمكن إدخال البيان في شكل التوازي، باستخدام القلايات نوع-D والموصلة بالطريقة كما هو موضح في شكل (6-20)، وهنا نجد أن البيان يتم تحميله عند تطبيق نبضة ساعة، وهذا ما يُعرف بالتحميل المتزامن Synchronous loading.

المسجل ثنائي الإتجاه :

توجد بعض التطبيقات يتطلب فيها إزاحة البيانات إلى اليمين أو إلى اليسار، فمثلا يمكن قسمة العدد الثنائي على 2 بإزاحته مرحلة إلى اليمين، في هذه العملية

يمكن أن يُفقد بت التأثير الأدنى (مالم تُستخدم دائرة إضافية لحمايته) مسببا خطأ قيمته: 0.5 إذا كان العدد فردي، وبالمثل يمكن ضرب العدد الثنائي المخزن في مسجل إزاحة في 2 بإزاحته مرحلة إلى اليسار بشرط عدم إزاحة البت 1 والمحتمل وجوده لخارج مرحلة بت التأثير الأقصى.

وبين شكل (6-27) مسجل إزاحة 4-بت ثنائي إتجاه، فعندما يكون تحكم الحالة: $M = 1$ ، تصبح جميع دخول البوابات AND (A_0 و A_1 و A_2 و A_3) مُمكنة Enabled، بينما تصبح جميع دخول البوابات AND (B_0 و B_1 و B_2 و B_3) مُمنعة Inhibited، فيزاح البيان D_R عند تطبيق نبضات الساعة إلى اليمين، ويحدث العكس عندما يكون تحكم الحالة: $M = 0$ ، تصبح جميع دخول البوابات AND (B_0 و B_1 و B_2 و B_3) مُمكنة Enabled، بينما تصبح جميع دخول البوابات AND (A_0 و A_1 و A_2 و A_3) مُمنعة Inhibited، فيزاح البيان D_L عند تطبيق نبضات الساعة، ويجب مراعاة تحويل تحكم الحالة M ، من 0 إلى 1، أو العكس فقط في عدم وجود نبضات ساعة ($CK = 0$) وإلا فربما يتغير البيان المخزن.



شكل (6-27) مسجل إزاحة 4-بت ثنائي الإتجاه

6-5-2 تطبيقات مسجلات الإزاحة :

عرفنا أن الإستخدام الأساسي لمسجلات الإزاحة هو التخزين المؤقت للبيانات والتعامل مع البتات، وسوف نناقش بعض من تطبيقات مسجلات الإزاحة.

خط التأخير Delay line :

يمكن إستخدام مسجل الإزاحة من نوع SISO للحصول على تأخير زمني في الإشارات الرقمية بقيمة Δt ، يُعرف من العلاقة:

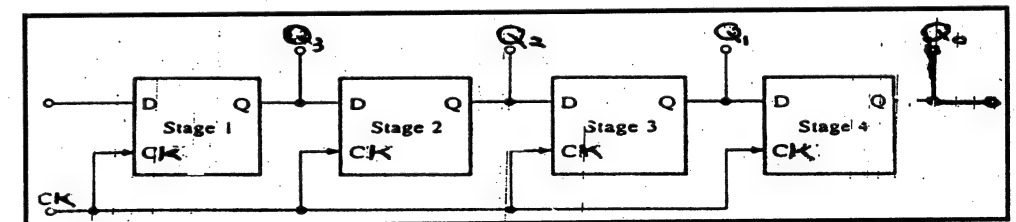
$$\Delta t = N \times 1/f_c \quad (6-2)$$

حيث: N يمثل عدد مراحل المسجلات، f_c تردد نبضات الساعة.

وعلى هذا يظهر قطار نبضات الدخل متأخراً في الخرج بزمان قدره Δt ، كما نجد من العلاقة أنه يمكن التحكم في قيمة التأخير عن طريق التحكم في عدد مراحل المسجل، وتردد نبضات الساعة.

التحويل من التوالى إلى التوازي :

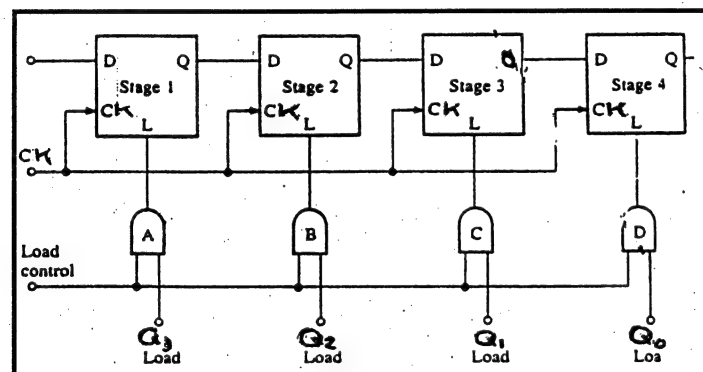
فيمكن تحويل البيانات من شكل التوالى إلى شكل التوازي باستخدام مسجل إزاحة من نوع SIPO، مكون من عدد من القلايات نوع-D مساويا لعدد البتات وكما هو مبين في شكل (6-28)، حيث تدخل البيانات من مدخل التوالى Serial in، وتخرج من مخارج التوازي (عدد هذه المخارج يساوى عدد البتات)، كما يحتاج البيان الثنائي لعدد من نبضات الساعة مساوية لعدد البتات، فمثلا عند دخول البيان الثنائي 1101 على مدخل التوالى، فبعد 4 نبضات ساعة تكون الخرج عند المخارج: Q_3 و Q_2 و Q_1 و Q_0 هي: 1 و 1 و 0 و 1 على التوالى.



شكل (6-28) التحويل من التوالى إلى التوازي

التحويل من التوازي إلى التوالى :

يمكن تحويل البيانات من شكل التوازي إلى شكل التوالى باستخدام مسجل إزاحة من نوع PISO، مكون من عدد من القلايات نوع-D مساويا لعدد البتات وكما هو مبين في شكل (6-29) حيث تدخل البيانات من مدخل التوالى Parallel in، وتخرج من مخرج التوالى Serial out (وهو مخرج واحد) وهنا تمثل النهاية "تحكم الحمل" Load control والتي تسمح بدخول البتات إلى مداخل التوازي عندما تكون في الحالة العالية HIGH، فمثلا عند دخول البيان الثنائي 1001 على مداخل التوازي: Q_3 و Q_2 و Q_1 و Q_0 ، فبمجرد وصول نبضة الساعة الأولى، يصبح خرج القلايات: 1 و 0 و 0 و 0 على التوالى.



شكل (6-29) التحويل من التوازي إلى التوالى

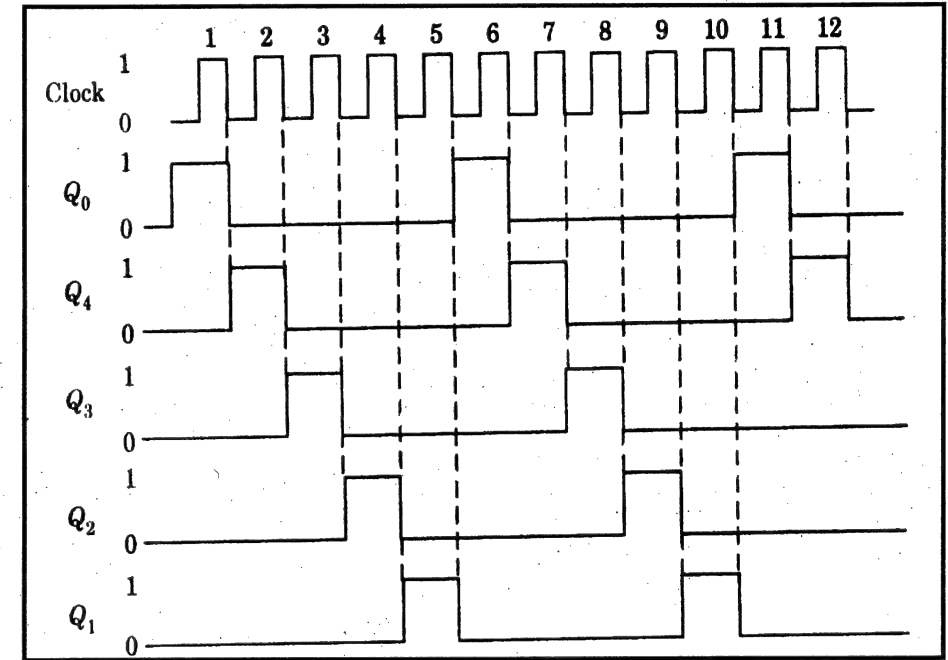
6-5-3 العداد الدائري :

إذا تم توصيل خرج التوالى Q_0 في مسجل الإزاحة الموجود في شكل (6-25) عكسيا لدخل التوالى، عندئذ سنحصل على نبضة محقونة تظل دوارة Circulating، وتعرف هذه الدائرة بـ "العداد الدائري" Ring counter. ويتم حقن النبضة بإدخال: 00001 على شكل توازي بعد مسح القلايات، فعند تطبيق نبضات الساعة ينتقل هذا 1 خلال الدائرة، ويبين شكل (6-30) أشكال الموجة عند المخارج Q .

وتكون الخرج نبضات تتابعية وغير متراكبة Non-overlapping، وهي ذات فائدة لعدادات حالة التحكم Control-state counters، والمحركات الخطوية Stepper

motors (أى الذى يتحرك فى خطوات) والتي تتطلب نبضات تتابعية لتدويرها من موضع للتالى.

ويمكن استخدام هذه الدائرة أيضا فى إحصاء عدد النبضات، ويمكن قراءة عدد النبضات بملاحظة أى قلاب يكون فى الحالة 1، بدون الحاجة إلى دائرة تفسير شفرة Decoding circuitry، ونظراً لوجود نبضة واحدة فى الخرج عند كل عدد من نبضات ساعة مقداره N، فإن هذه الدائرة تعرف بـ "عداد قاسم على N". Divided-by-N counter "N"



شكل (32-6) أشكال الموجة لعداد الحلقة

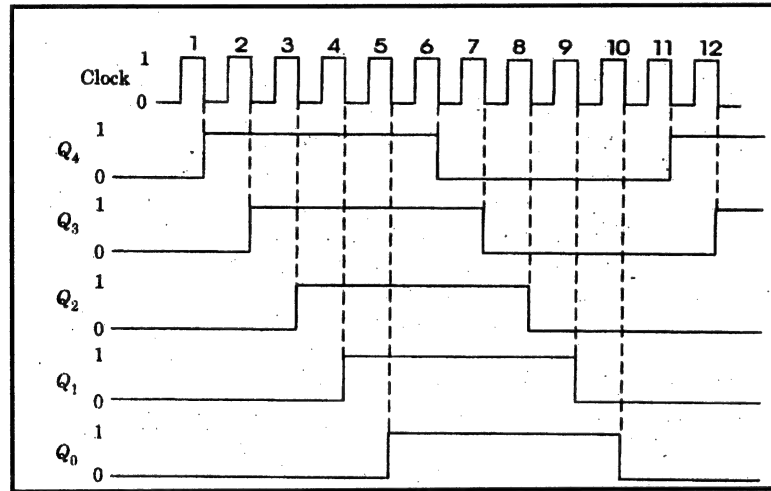
4-5-6 العداد الدائرى المجدول :

فى مسجل الإزاحة الموضح فى شكل (27-6)، إذا تم توصيل الخرج \bar{Q}_0 بدخل التوالى نحصل على دائرة تعرف بـ "العداد الدائرى المجدول" Twisted-ring counter

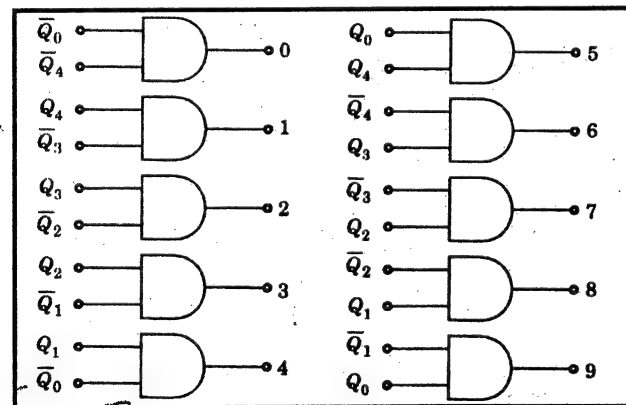
وبعد مسح القلابات وتطبيق نبضات الساعة نحصل على اشكال موجة مربعة Square Waveforms عند خروج Q كالموجودة فى شكل (32-6) .

وكما فى التتابع فى العداد الدائرى ، فإن هذا العداد ذو فائدة لعدادات حالة التحكم Control-state counters، وأيضا لتوليد نبضات الساعة المتعددة الوجه، كما أن هذا العداد بـ "عداد قاسم على 2N" Divide-by-2N counter .

ولكشف العدد، فإنه يتطلب بوابات AND بمدخلين، ويبين شكل (34-6) دائرة كشف عداد لـ 5 مراحل.



شكل (31-6) أشكال الموجة لعداد الحلقة الغير متزن

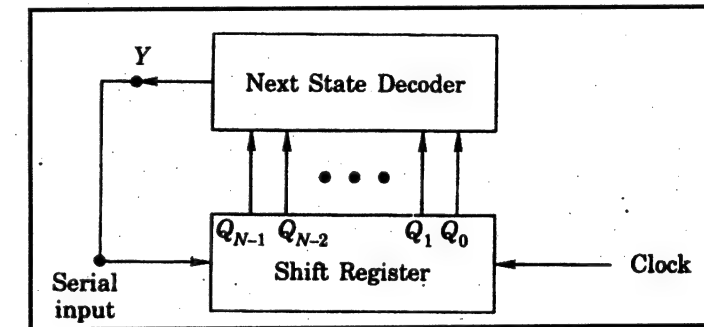


شكل (32-6) دائرة كشف لعداد 5 مراحل حلقة غير متزنة

5-5-6 مولد التعاقب Sequence generator:

مولد التعاقب Sequence generator هي دائرة تقوم بتوليد تعاقب محدد من البتات يتزامن مع نبضات الساعة، ويمكن استخدام هذه المولدات في الآتي:

- 1- العدادات Counters .
 - 2- مولدات البتات العشوائية Random bit generators .
 - 3- مولدات الشفرة Code generators .
- ويبين شكل (6-33) التركيب الأساسي لمولد التعاقب .



شكل (6-33) التركيب الأساسي لمولد التعاقب

ويكون الخرج Y دالة في الخرج: $Q_0, Q_1, \dots, Q_{N-1}, Q_N$ ، وهذا النظام يشبه العداد الدائري ($Y = Q_0$)، أو العداد الدائري المجدول ($Y = \bar{Q}_0$) والتي تعتبر حالات خاصة من مولد التعاقب، ويمكن توضيح تصميم الكاشف من المثال (6-4).

مثال (6-4) :

مطلوب تصميم مولد تعاقب لتوليد التعاقب ...1101011...

الحل :

تحدد العلاقة التالية أقل عدد من القلايات N المطلوبة لتوليد تعاقب طوله S :

$$S \leq 2^N - 1 \quad (6-3)$$

352

وفي مثالنا هذا نجد أن: $S = 7$ ، ومن العلاقة السابقة فإن أقل عدد من القلايات المطلوبة لتحقيق هذا التعاقب هو: $N = 3$ ، إلا أن هذا ليس ضماناً كافياً يؤدي إلى الحل، فإذا أدى التتابع المعطى (...1101011...) إلى 7 حالات محددة، فإن 3 قلايات تكون كافية، وإلا فيكون من المحتم زيادة عددها، فنكتب حالات الدائرة كما في جدول (6-9) وفيه يظهر التتابع المقرر تحت Q_2 ، أما التتابعين الموجودين تحت Q_1 و Q_0 فهما يشابهان التتابع تحت Q_2 ولكنهما متأخران بنبضة ساعة للخرج Q_1 ، ونبضتين ساعة للخرج Q_0 .

ومن الجدول نلاحظ أن كل الحالات غير محددة، وهذا يعني أن عدد 3 قلايات غير كاف، وهنا نفرض عدد 4 قلايات والقيام بتجهيز جدول الحقيقة (6-10) لعدد 4 قلايات بنفس الطريقة التي تم فيها تجهيز جدول الحقيقة (6-9).

جدول (6-10)

عدد نبضات الساعة	خروج القلايات		
	Q_2	Q_1	Q_0
1	1	1	1
2	1	1	1
3	0	1	1
4	1	0	1
5	0	1	0
6	1	0	1
7	1	1	0

ويعطى العمود الأخير دخل التوالى Serial input المطلوب للحصول على التغير المطلوب في الحالة عند تطبيق نبضة الساعة، ويمكن الحصول على ذلك باستخدام قلايات نوع-D وملاحظة العمود Q_3 ، فمثلاً عند الحافة الهابط لنبضة الساعة الأولى يكون الخرج: $Q_3 = 1$ ، وتكون نبضة الساعة الثانية التي تنتج: $Q_3 = 1$ لا بد أن يكون دخل القلاب نوع-D لها مساوياً: 1، وبنفس الطريقة يتم تحديد كل الدخول في العمود Y .

ويبين شكل (6-34) خريطة K-map للجدول (6-11)، أما التعبير المبسط فيُعبّر عنه بالعلاقة التالية:

$$Y = \overline{Q_3} + \overline{Q_1} + \overline{Q_0}$$

(6-4)

جدول (11-6)

عدد نبضات الساعة	خروج القلابات				دخل توالي
	Q_3	Q_2	Q_1	Q_0	
1	1	1	1	1	1
2	1	1	1	1	0
3	0	1	1	1	1
4	1	0	1	1	0
5	0	1	0	1	1
6	1	0	1	0	1
7	1	1	0	1	1
1	1	1	1	0	1
2	1	1	1	1	0
3	0	1	1	1	1
*	1	0	1	1	0
*	0	1	0	1	1
*	1	0	1	0	1

شكل (34-6) خريطة K-map للجدول (11-6)

ومن هنا نرى أنه يمكن تصميم دائرة مولد التعاقب من عدد 4 مراحل من قلابات نوع-D ، بينما يمكن التعبير عن دائرة الكاشف بالعلاقة (4-6).

6-6 العدادات الغير متزامنة أو المتوجة :

تسمى الدائرة المستخدمة في إحصاء النبضات بـ "العداد" Counter .

وفي القسم السابق تم التعرف على نوعين من العدادات، وفيها وجدنا أن عدد الحالات States في عداد دائري بعدد N مراحل يكون مساوياً: N وتعرف هذه العدادات بـ "المعامل-N Modulo N" (أو القاسمة على N)، بينما تكون عدد الحالات في عداد دائري مجلدول: 2N، وتعرف هذه العدادات بـ "المعامل-2N Modulo 2N" (أو القاسمة على 2N)، وحيث يعبر N، أو 2N عن عدد الحالات للعداد.

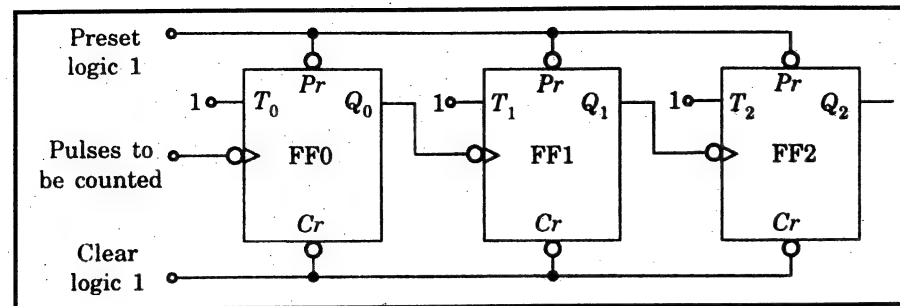
وعند تطبيق النبضات المراد إحصاؤها على العداد، فإن هذه النبضات تأخذ في التغير من حالة إلى حالة، حيث تقوم القلابات الموجودة في دائرة العداد بكشف الخرج لقراءة العدد، ثم تعود الدائرة إلى حالة البدء بعد إحصاء نبضات عددها: N في حالة العداد من نوع المعامل-N ونجد أن كلا النوعين من العدادات (الدائري والدائري المجدول) لا يستغل القلابات بالفعالية الكافية، فكل قلاب حالتين، ولهذا فإن عدد N من القلابات يحقق حالات عددها 2^N ، أي أنه من الممكن عمل عداد من نوع "المعامل- 2^N " باستخدام قلابات عددها N.

وأساساً يوجد نوعان من مثل هذه العدادات :

1- العدادات الغير متزامنة Asynchronous، أو ماتسمى بالعدادات المتوجة Ripple counters .

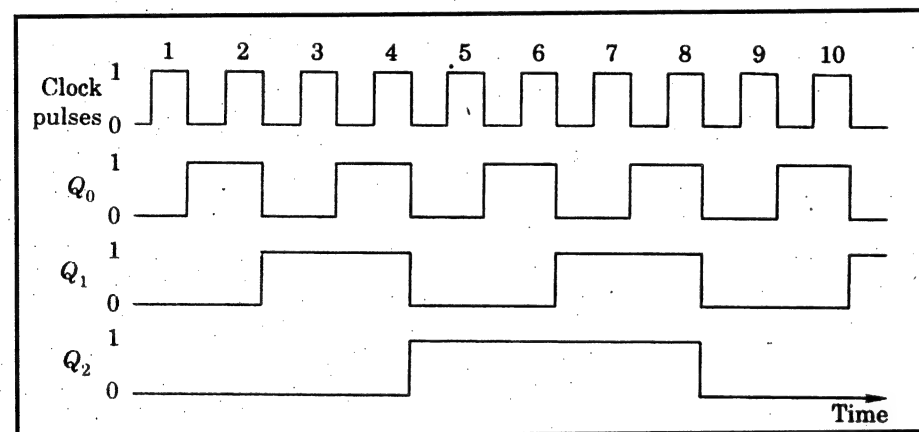
2- العدادات المتزامنة Synchronous .

وفي العدادات الغير متزامنة لا يتم توقيت جميع القلابات في نفس الوقت، بينما توقيت جميعاً في نفس الوقت في العدادات المتزامنة، وتعد العدادات الدائرية، والعدادات الدائرية المجدولة من أمثلة العدادات المتزامنة.



شكل (9-35) دائرة عداد من 3 بت

كما يبين شكل (9-36) أشكال الموجة لخروج العداد.



شكل (9-36) أشكال الموجة لخروج العداد

كما يبين شكل (9-37) دائرة الكشف لكشف الإحصاء، وفيه يكون الخرج المناظر للرقم المحصى فعال منخفض (Active-low).

في خرج الكاشف نجد نبضات كاذبة بمدى زمني Duration قصير تسمى هذه النبضات بـ "المديبات" Spikes ، ويحدث هذا عند تغير حالة قلابات العداد.

ويحدث هذا بسبب تأخير الانتشار للقلابات مما يسبب في عدم تغير حالة القلابات بدقة عند نفس الوقت، أو تتغير حالة قلاب واحد فقط عند أي نبضة ساعة ويمكن التخلص من هذه المشكلة باستخدام دخل نبضة وميض Strobe pulse input

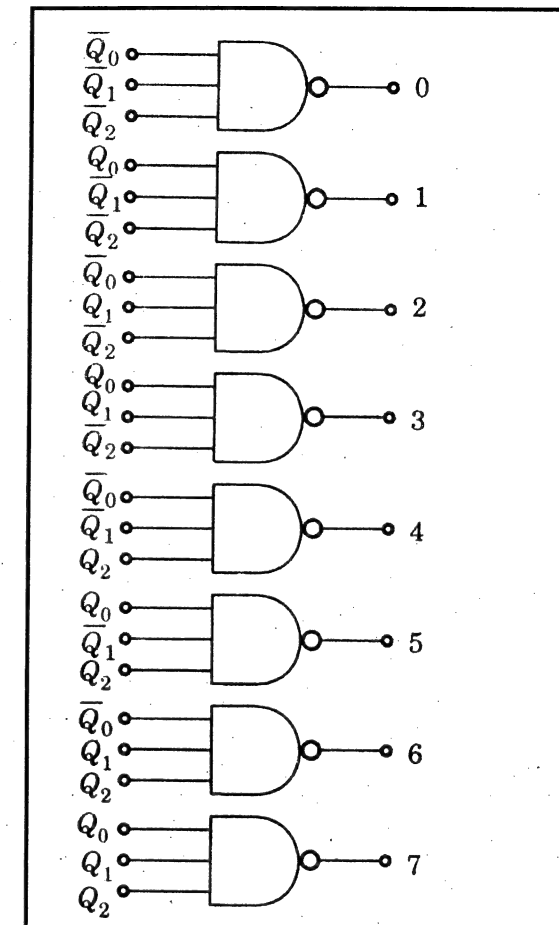
فإذا فرضنا أن الإحصاء المتعاقب Count sequence لعداد من 3-بت موجود في جدول (6-11) ، فنجد أن عدد الحالات في هذا التعاقب مساوياً: 8، ومن هنا نحتاج إلى عدد N قلاب يُحدد من العلاقة: $(8 = 2^N)$ ، ومنه يكون: $(N = 3)$ ، أي نحتاج لعداد 3 قلابات، وتكون Q_0 و Q_1 و Q_2 هي خروج هذه القلابات والتي يفترض أنها من نوع متبوع-تابع.

جدول (6-11)

حالة العداد	العد		
	Q_2	Q_1	Q_0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

ونلاحظ من الجدول أن خرج قلاب التأثير الأدنى Q_0 يتغير مع كل نبضة ساعة، وهذا يمكن تحقيقه باستخدام قلاب نوع-T ومع: $T_0 = 1$ ، ونجد أن الخرج Q_1 يحدث له إنتقاله (أي يتغير من 0 إلى 1، أو يتغير من 1 إلى 0) عند أي تغير للخروج Q_0 من 1 إلى 0، ولهذا فعند توصيل الخرج Q_0 بدخل الساعة للقلاب نوع-T التالي (FF1)، وعند: $T_1 = 1$ ، فإن الخرج Q_1 يتغير متى تغير الخرج Q_0 من 1 إلى 0 (حافة الهبوط لنبضة الساعة)، بالمثل يتغير الخرج Q_2 عند أي تغير للخرج Q_1 من 1 إلى 0 وهذا يمكن تحقيقه بتوصيل الخرج Q_1 بدخل الساعة لقلاب التأثير الأعلى نوع-T التالي (FF2)، ومع: $T_2 = 1$ ، وفي النهاية نحصل على الدائرة الموضحة في شكل (6-35).

والتي بواسطتها يحدث الكشف فقط عند وصول القلابات للحالة المستقرة Steady state.



شكل (37-6) دائرة الكشف لعداد 3-بت ثنائي

ويمكن تحديد تردد نبضات الساعة اللازم للتشغيل السليم للعداد من العلاقة:

$$1/f \geq (N \cdot t_d) + T_s \quad (6-5)$$

حيث :

N : عدد القلابات.

t_d : تأخير الانتشار للقلاب الواحد .

T_s : عرض نبضة الوميض .

مثال (5-6) :

في عداد متموج مكون من 4 مراحل، إذا كان تأخير الانتشار للقلاب الواحد: 50 ns وكان عرض نبضة الوميض: 30 ns، فأوجد أعلى تردد يلزم للتشغيل السليم للعداد.

الحل :

من العلاقة (5-6) يكون أقصى تردد مايلي :

$$f_{max} = 1/\{(4 \times 50 \times 10^{-9}) + (30 \times 10^{-9})\}$$

$$= (1/230) \times 10^9 = 4.35 \times 10^6 \text{ Hz} = 4.35 \text{ MHz}$$

6-6-1 العدادات النصاعية والتنازلية:

يتم الإحصاء في العداد المبين في شكل (35-6) في الإتجاه التصاعدي، أى يزداد العدد العشري المكافئ لخرج العداد عند تعاقب نبضات الساعة، ومن الممكن أيضاً عمل عداد يقل فيه العدد العشري المكافئ لخرج العداد عند تعاقب نبضات الساعة، أى أن العداد يعمل في الإتجاه التنازلي، ويعرف النوع الأول بالعداد التصاعدي UP Counter، بينما يعرف النوع الثاني بالعداد التنازلي DOWN Counter، ويمكن تصميم العداد ليحصى في أى إتجاه حيث يعتمد الإتجاه على إتجاه دخل التحكم.

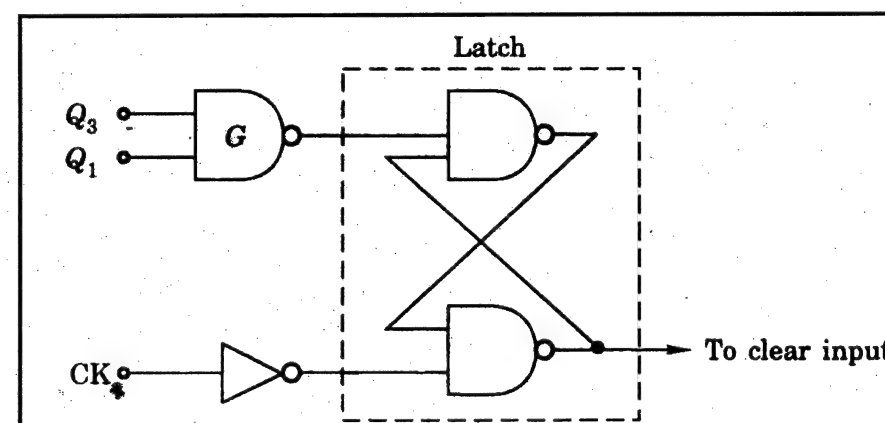
6-6-2 معامل العداد :

تعرف العدادات السابقة بالعدادات المتموجة، حيث أن النبضات المطبقة تتموج من مرحلة إلى مرحلة وهى تعد كما ذكرنا حتى n حيث: $n = 2^N$ ، فإذا أردنا الحصول على عداد يحصى m مثلاً فنختار عدد القلابات من العلاقة (6-6) كأقل عدد من القلابات التى تحقق المعادلة:

$$m \leq 2^N \quad (6-6)$$

فمثلاً إذا كانت عدد القلايات: ($N = 4$) فإن أى قيمة لـ m تأخذ من 9 إلى 16، فإذا كانت ($m = 16$)، فيمكن تصميم الدائرة كما نوقش ذلك من قبل، أما إذا كانت m أقل من 16، وفرضاً $= 10$ ، فسيتم استخدام 10 حالات فقط من 16 حالة، بينما لن تستخدم الـ 6 حالات الأخرى، وعلى العداد أن يصبح محرراً (أى ينتهى العد الطبيعي) بنهاية نبضة الساعة رقم 10، ويمكن تحقيق هذا بتوليد إشارة منطق 0 مباشرة بنهاية نبضة الساعة رقم 10، وتطبيقها على جميع دخول المسح Clear inputs للقلايات، وفى عداد العشرة Decade counter تستخدم الدائرة الموضح فى شكل (6-38) لتحرير العداد بعد نبضة الساعة رقم 10.

فعند نهاية نبضة الساعة رقم 10، ($Q_3 = Q_1 = 1$)، ومن ذلك يصبح خرج البوابة NAND (G): 0، مما يجعل خرج الماسك: 0 وهذا ما يحرر العداد، ومن هنا نجد أن الماسك يستخدم لإبقاء خط المسح عند: 0 لحين مسح القلايين.



شكل (6-38) دائرة للحصول على عد 10 من عداد 16

6-6-3 سلاسل 54/74 للدوائر التكاملية للعدادات غير المتزامنة:

مما سبق تمت دراسة تصميم العدادات غير المتزامنة، وتتاح هذه العدادات فى الدوائر المتكاملة MSI والمبينة فى جدول (6-12) مع توضيح أهم ما يميز به كل دائرة.

وتنقسم هذه المجموعة من الدوائر التكاملية كما هو موضح فى الجدول إلى 3 مجموعات رئيسية: A و B و C، كما أن جميع هذه الدوائر التكاملية مكونة من 4 قلايات من نوع المتبوع-التابع.

المجموعة A للدوائر التكاملية للعدادات الغير متزامنة:

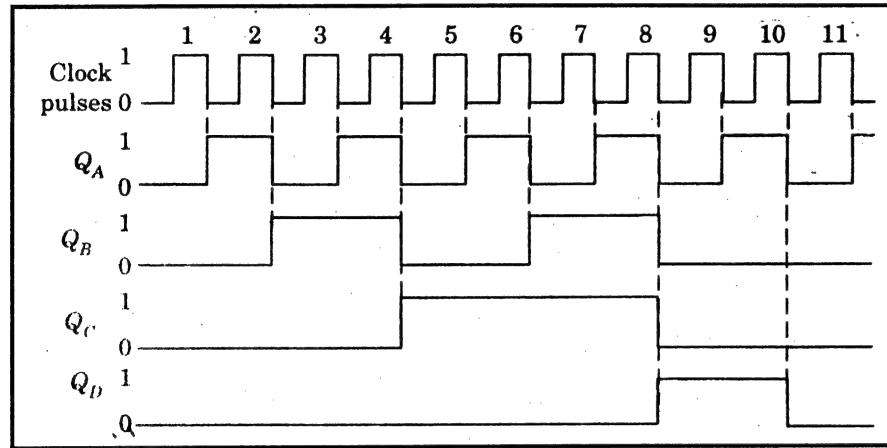
ومن أهم ما يميزها أنها عدادات إمساك وتحرير Set, Reset counters، يبين شكل (6-39) التركيب الداخلى الأساسى للدائرة 7490، والمكونة من عدد 4 قلايات موصلة داخليا للحصول على عداد معامل-2 mod-2، وعداد معامل-5 mod-5، والذي يمكن عملهما منفصلين، أو مرتبطين، ويعمل القلاب FFA كعداد mod-2، بينما ترتبط القلايات FFB و FFC و FFD لتعمل كعداد mod-5، ويمثل R_1 و R_2 مدخلى تحرير موصلين بمستوى منطق 1 لمسح جميع القلايات، كما يؤدى توصيل مدخلى الإمساك S_1 و S_2 بمستوى منطق 1 إلى إمساك العداد عند: 1001.

جدول (6-12)

المجموعة	الوصف	رقم الدائرة التكاملية
A	عداد BCD	74290 ، 7490
B	عداد قاسم على 12	7492
B	عداد ثنائى 4 بت	74293 ، 7493
C	عداد BCD قابل للتحرير Presettable	74176 ، 74196
C	عداد ثنائى 4 بت قابل للتحرير Presettable	74197 ، 74177
B	عداد عشرة مزدوج	74390
B	عداد ثنائى 4 بت مزدوج	74393
A	عداد BCD مزدوج	74490

أما الدائرة 74490 فهى تمثل عدادين BCD ولكنهما منفصلين، ويتكون كل منهما من 4 قلايات موصلة جميعا داخليا لتكوين عداد العشرة، كما أن لكل عداد مدخل الإمساك، ومدخل التحرير والموصلين بفعال عند المستوى العالى Active-high.

ويلاحظ أنه عند تغير Q_A من 0 إلى 1، لا تتغير حالة العداد mod-5 (ففي الصفين الأولين يتغير Q_A من 0 إلى 1، وتظل حالة العداد 000)، بينما عند تغير Q_A من 1 إلى 0 تتغير حالة العداد mod-5 إلى الحالة التالية (عند تغير التتابع العددي من 5 إلى 6 يتغير Q_A من 0 إلى 1، وتتغير حالة العداد mod-5 من 010 إلى 011)، ويبين شكل (40-6) أشكال الموجة للخروج Q, S .

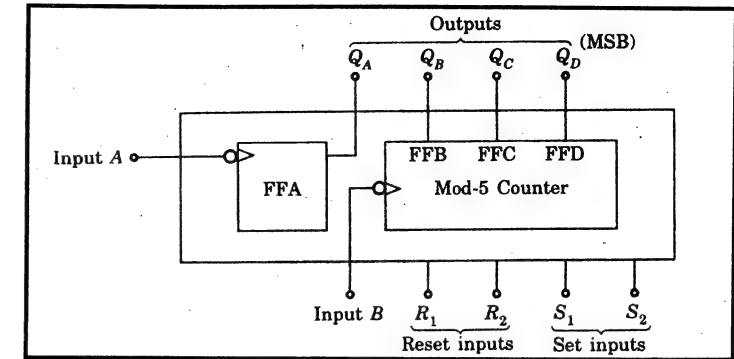
شكل (40-6) أشكال الموجة للخروج Q, S

مثال (6-7) :

في الدائرة التكاملية 7490، إذا تم توصيل الخرج Q_D بالدخل A ويتم تطبيق النبضات عند الدخل B، إوجد العد التتابعي، وأشكال الموجة عند الخروج Q, S .

الحل :

بتوصيل الخرج Q_D بالدخل A وتطبيق النبضات عند الدخل B، نحصل على العداد mod-5 متبوعاً بالعداد mod-2، ونحصل على العد التتابعي كما في جدول (14-6).



شكل (39-6) التركيب الداخلي الأساسي للدائرة 7490

مثال (6-6) :

في الدائرة التكاملية 7490، إذا تم توصيل الخرج Q_A بالدخل B، مع تطبيق النبضات عند الدخل A، إوجد العد التتابعي، وأشكال الموجة عند الخروج Q, S .

الحل :

بتوصيل الخرج Q_A بالدخل B، نحصل على العداد mod-2 متبوعاً بالعداد mod-5، ونحصل على العد التتابعي كما في جدول (13-6).

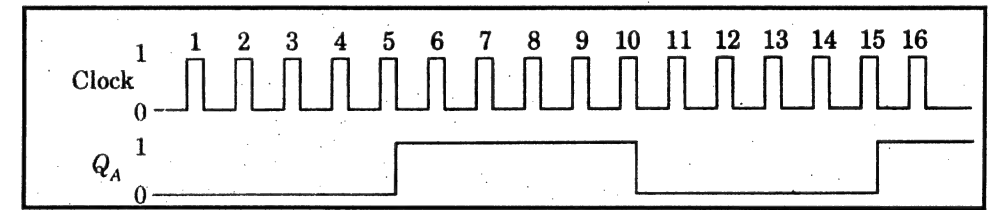
جدول (13-6)

حالة العداد	خروج القلاب			
	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	0	0	0	0

جدول (6-14)

حالة العداد	خروج القلاب			
	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	0	0	0	1
6	0	0	1	1
7	0	1	0	1
8	0	1	1	1
9	1	0	0	1
10	0	0	0	0

وهنا نجد أن حالات العداد mod-5 تتغير بطريقة تتابع طبيعية، بينما يتغير الخرج Q_A متى تغير Q_D من 1 إلى 0، ويبين شكل (6-41) أشكال الموجة للخروج Q_A وهي عبارة عن موجة مربعة Square wave.



شكل (6-41) أشكال الموجة للخروج Q_A

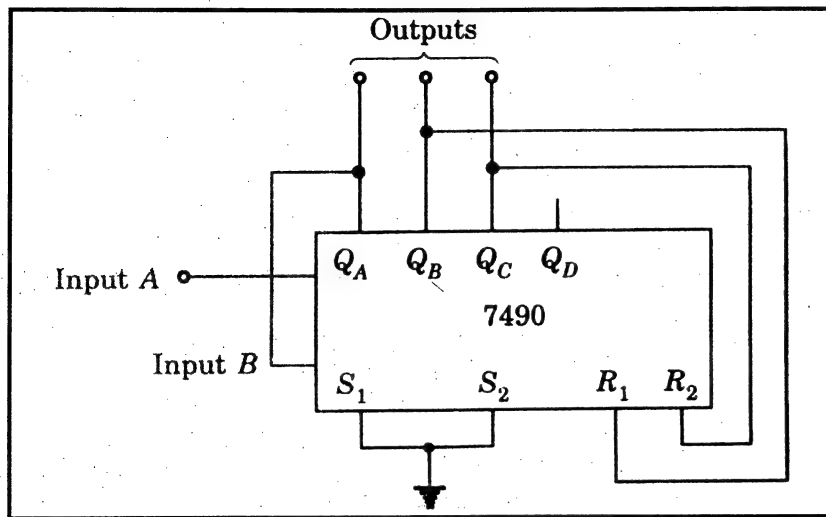
مثال (6-8) :

مطلوب تصميم عداد قاسم على 6، باستخدام الدائرة التكاملية 7490.

الحل :

يتم أولاً توصيل العداد كعداد قاسم على 10 للعد التثائي التتابعي العادي كما في المثال (6-7)، ويتم توصيل المخارج Q_B و Q_C بمدخل الإمسك R_1 و R_2 ، فبمجرد

وصول كلا الخرجين Q_B و Q_C إلى 1، يتحرر العداد ويصبح 000، ويبين شكل (6-42) العداد المتموج القاسم على 6.



شكل (6-42) العداد المتموج القاسم على 6

المجموعة B للدوائر التكاملية للعدادات الغير متزامنة :

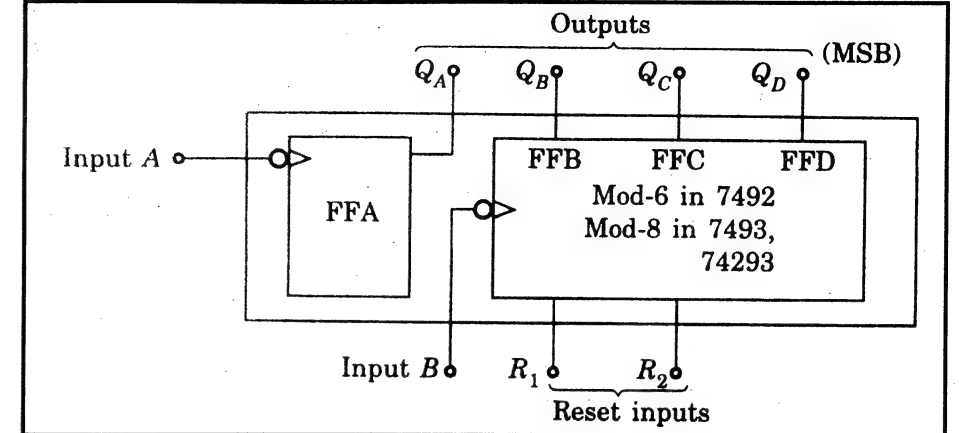
ومن أهم ما يميزها أنها عدادات إمساك Set counters، ويبين شكل (6-43) التركيب الداخلي الأساسي للدوائر 7492 و 7493 و 74293، وهي تماثل في عملها الدائرة 7490 فيما عدا أنه لا يتم تحرير مداخل الإمساك، كما أن العداد mod-6 لا يقوم بالعد بتتابع ثنائي مباشر، ويبين جدول (6-14) تتابع العداد mod-6، ولاتستخدم هذه الدوائر المتكاملة كعدادات، وإنما تستخدم كمقسمات تردد Frequency division، أما الدائرة 74390 فهي تمثل عدادين BCD، ولكنهما منفصلين (مثل الدائرة 74490 في المجموعة A) ولكل عداد مدخل إمساك، أما العداد 74393 فهو عداد ثنائي 4 بت مزدوج بمدخل تحرير واحد لكل عداد بفعال-عالي Active-high.

جدول (6-16)

Q_D	Q_C	Q_B	Q_A
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1

المجموعة C للدوائر التكاملية للعدادات الغير متزامنة :

ومن اهم مايميزها أنها عدادات تحرير وحمل Reset , load counters ، ويبين شكل (6-44) التركيب الداخلي الأساسي للدوائر التكاملية لهذه المجموعة. وكل من الدائرتين 74176 و 74196 عبارة عن عداد BCD الفرق الوحيد بينهما يكون في أقصى تردد الساعة الذي يعمل عندها كلاهما، وهو نفس الفرق الذي يفرق بين الدائرتين 74177 و 74197 وكلاهما عبارة عن عداد ثنائي 4 بت، وهذان القسمان ماهما إلا إصدارين لعدادات من نوع القابلة للتحرير Presettable للعدادين 7490 و 7493 على التوالي، وفيها يتم مسح العداد بتوصيل منطق 0 على دخل المسح (فعال-سالب Active-low)، وتقف عملية العد عند إمساك دخل الحمل Load input عند منطق 0 ودخل المسح عند المنطق 1، وعندها يتحمل Loaded أى رقم ثنائي موجود عند مداخل التحرير إلى داخل العداد.



شكل (6-43) التركيب الداخلي الأساسي للدوائر 7492 ، و 7493 ، و 74293

جدول (6-15)

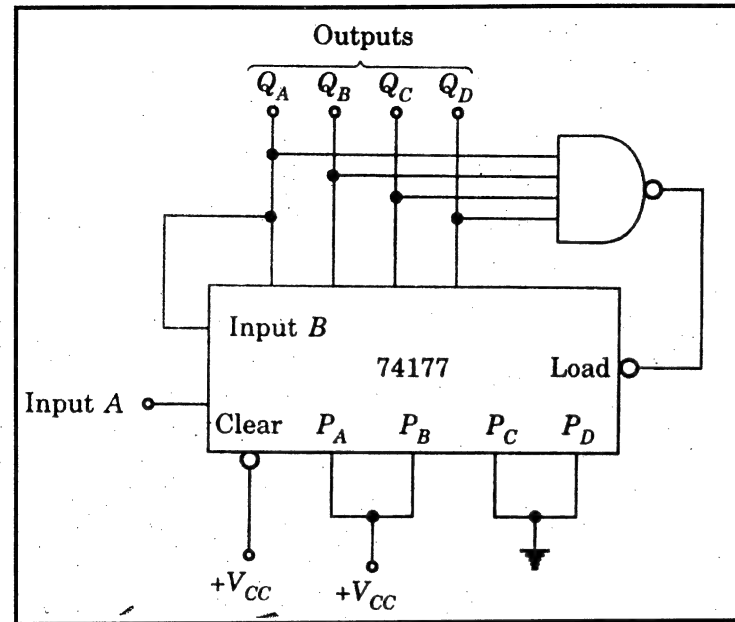
Q_D	Q_C	Q_B
0	0	0
0	0	1
0	1	0
1	0	0
1	0	1
1	1	0

مثال (6-9) :

في العداد قاسم على 12 للدائرة التكاملية 7492، إذا تم توصيل الخرج Q_A بالدخل B ، وتم تطبيق النبضات عند الدخل A، أوجد العد التتابعي.

الحل:

يبين جدول (6-16) العد التتابعي، ومنه يمكن ملاحظة حدوث قسمة متزامنة على 2 عند الخرج Q_A ، وعلى 6 عند الخرج Q_C ، وعلى 12 عند الخرج Q_D .



شكل (6-45) دائرة عداد قاسم على 12 باستخدام الدائرة التكاملية 74177

تتالي الدوائر التكاملية للعدادات المتموجة :

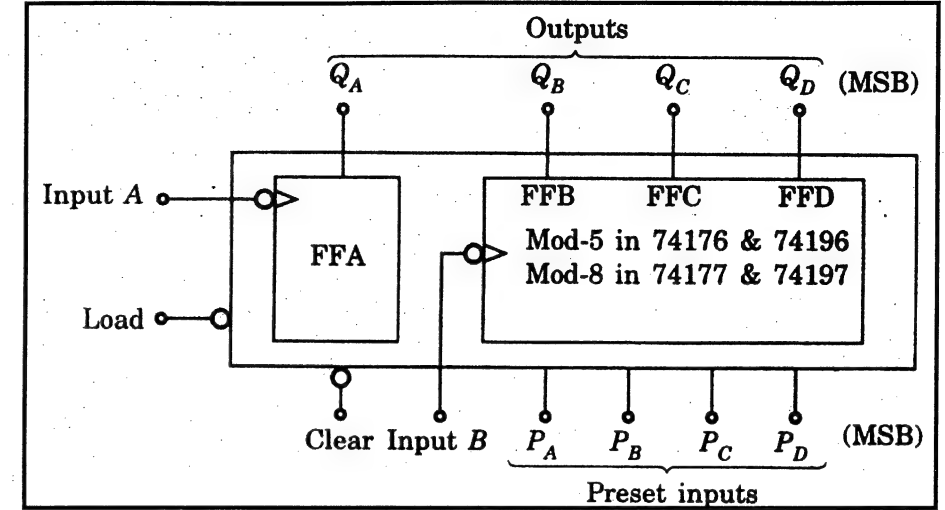
يمكن الحصول على أى دورة طول Cycle length من العدادات المتموجة بعمل تتالي Cascading للدوائر التكاملية التى تمت مناقشتها مسبقاً، ويتم كشف هذا الطول مع استخدامه لتحرير كل العدادات إلى 0 (لا بد من استخدام نبضة الوميض لإزالة البيانات الكاذبة False data).

ويكون ترتيب التوالى لجميع الدوائر التكاملية للعدادات الغير متزامنة متطابقاً حيث يذهب خرج المرحلة السابقة Q_D إلى نهاية طرف دخل نبضة الساعة للمرحلة التالية، مع توصيل جميع مداخل الحمل والتحرير للدائرة ببعضها.

مثال (6-11) :

مطلوب تصميم تتالي لعدادين BCD باستخدام الدائرة المتكاملة 74390.

الحل :



شكل (6-44) التركيب الداخلى الأساسى للدوائر التكاملية للمجموعة C

ولإجراء عملية عد طبيعى صاعد UP، يلزم توصيل مدخلى الحمل والمسح للمنطق 1.

ويمكن استخدام العداد الثنائى 4 بت كأى عداد متغير mod-n حيث يصل العد إلى (15 - P)، حيث P عدد ثنائى موصل لمداخل التحرير، وبكلام آخر عند تصميم عداد mod-n، تكون قيمة P مساوية: (15 - n)، وعند وصول العداد للعدد: 1111، فيجب أن يُحْمَل العداد ثانية، وهذا ممكن بتوصيل بوابة NAND بـ 4 مداخل بين المخارج Q_s ودخل الحمل.

مثال (6-10) :

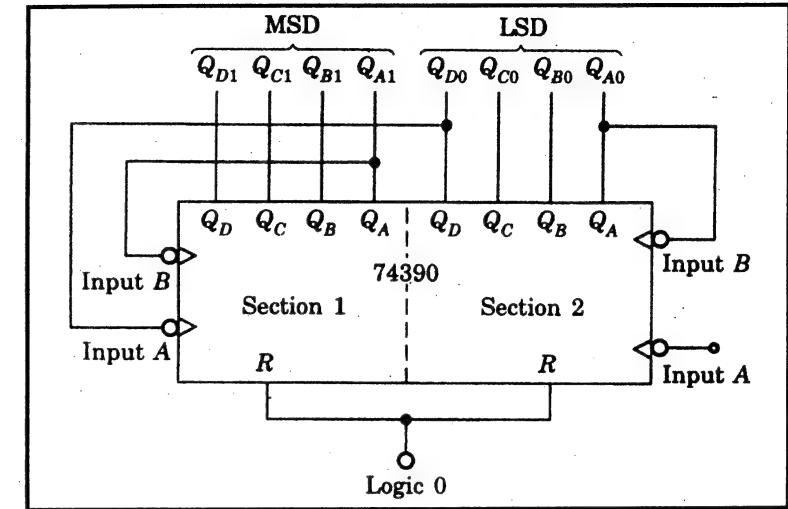
مطلوب تصميم عداد قاسم على 12 باستخدام الدائرة التكاملية 74177 .

الحل :

دائرة عداد قاسم على 12 باستخدام الدائرة التكاملية 74177، مبينة فى شكل (6-45)، فبمجرد وصول الخرج إلى 1111، يُحْمَل العداد بـ P، حيث:

$$P = 1111 - 1100 = 0011$$

من المعروف أن الدائرة التكاملية 74390 عبارة عن عداد مزدوج BCD، ولهذا تستخدم دائرة متكاملة واحدة لتصميم تتالي لعددين BCD، وكما هو مبين في شكل (46-6).



شكل (46-6) تتالي لعددين BCD باستخدام دائرة متكاملة 74390

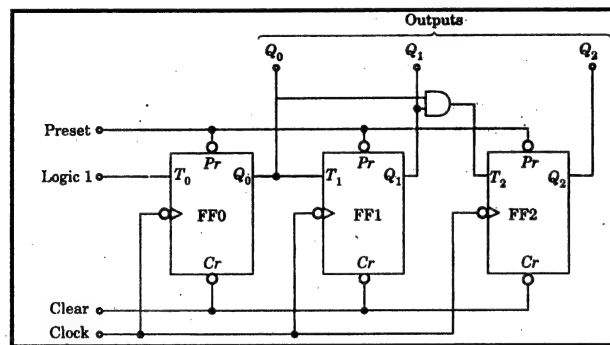
7-6 العدادات المتزامنة :

تتميز العدادات الغير متزامنة -التي تمت مناقشتها- بالبساطة (حيث تستخدم القلابات فقط)، إلا أنها تكون ذات سرعات بطيئة بسبب فعل التموج Ripple action، فعندما يتحول الخرج من 111.....1 إلى 000.....0، فإن ذلك يحتاج لأقصى وقت، وهذا يقيد أو يحدد ترددات تشغيلها.

ويمكن تحسين سرعات التشغيل بحيث تعمل كل القلابات في توقيت واحد، ويؤدي ذلك إلى حصولنا على مايسمى بـ "العدادات المتزامنة" Synchronous counters.

ويمكن تصميم هذه العدادات بأى تتابع عددي (لايحتاج لأن يكون ثنائى مباشر)، وقبل التصدى لطرق تصميمها فسوف نمعن فى الطريقة البديهية.

وبالرجوع إلى العد التتابعى الموجود فى جدول (6-11)، نجد أن خرج قلاب التأثير الأدنى Q_0 يتغير مع كل نبضة ساعة، وهذا يمكن تحقيقه باستخدام قلاب نوع-T ومع: $T_0 = 1$ ، ونجد أن الخرج Q_1 يتغير عند أى تغير للخرج Q_0 من 1 إلى 0، ولهذا فعند توصيل الخرج Q_0 بالدخل T_1 للقلاب التالى (FF1)، فإن الخرج Q_1 سيتغير (من 1 إلى 0 أو من 0 إلى 1) عندما يكون: $Q_0 = 1$ (أى: $T_1 = 1$)، وسيظل هذا الخرج Q_1 غير متأثر عند: $(Q_0 = T_1 = 1)$ ، بالمثل يلاحظ من الجدول أن الخرج Q_2 يتغير عندما يصبح كلا من: Q_1 ، و Q_0 مساويا: 1، وهذا يمكن تحقيقه بجعل الدخل T_2 لقلاب التأثير الأعلى (FF2) مساويا: (Q_0, Q_1) ، وفى النهاية نحصل على الدائرة الموضحة فى شكل (47-6).



شكل (47-6) عداد 3-بت متزامن

7-6-1 تصميم العدادات المتزامنة :

يمكن تصميم العدادات المتزامنة بأى إحصاء عددي ومعامل Modulus بالطريقة التالية:

- 1- باستخدام المعادلة (6-6)، يتم حساب عدد القلابات.
- 2- بشكل جدولى مشابه لجدول (6-11)، يتم كتابة التتابع العددي.
- 3- تحديد مداخل القلاب المفروض وجودها لتنفيذ الحالة المرغوبة التالية بعد الحالة الحالية، باستخدام جدول الإثارة للقلاب، أى جدول (6-6).

4- تجهيز خريطة كارنوف لكل دخل قلاب بدلالة المخارج ومتغيرات الدخل Input variables، ثم تبسيط الخرائط والحصول على التعبيرات المختصرة.

5- توصيل الدائرة باستخدام القلابات والبوابات الأخرى والمحققة للتعبيرات المختصرة. ويمكن فهم الخطوات السابقة جيداً من الأمثلة التالية .

مثال (6-12) :

مطلوب تصميم عداد تزامن 3-بت باستخدام قلابات J-K.

الحل :

يكون عدد القلابات المطلوبة 3، ونفرض أنها: FF0 و FF1 و FF2، ونفرض أن مداخلها، ومخارجها كالتالي:

القلاب	المداخل	الخروج
FF0	J_0, K_0	Q_0
FF1	J_1, K_1	Q_1
FF2	J_2, K_2	Q_2

وبين جدول (6-17) العد التتابعي، والدخول المطلوبة للقلابات .

جدول (6-17)

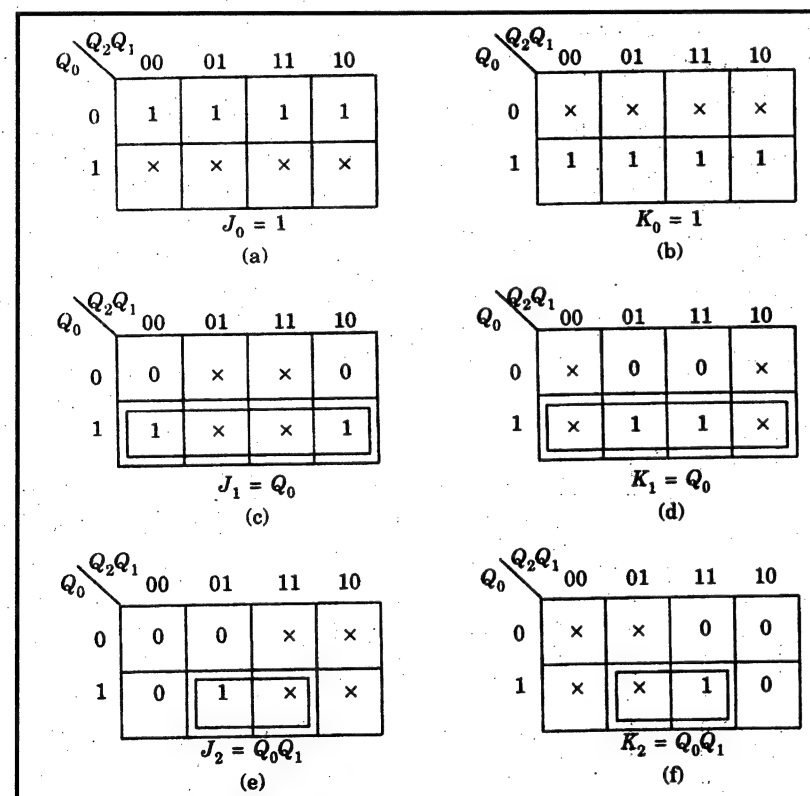
حالة العداد			دخول القلابات					
Q_2	Q_1	Q_0	FF0		FF1		FF2	
			J_0	K_0	J_1	K_1	J_2	K_2
0	0	0	1	X	0	X	0	X
0	0	1	X	1	1	X	0	X
0	1	0	1	X	X	0	0	X
0	1	1	X	1	X	1	1	X
1	0	0	1	X	0	X	X	0
1	0	1	X	1	1	X	X	0
1	1	0	1	X	X	0	X	0
1	1	1	X	1	X	1	X	1
0	0	0						

ويتم تحديد مداخل القلابات بالوسيلة التالية :

بالنظر إلى الأعمدة (Q_2, Q_1, Q_0) لحالة العداد Counter state والتركيز في أحد هذه الأعمدة ككل ومبتدئين من أول صف من العمود، ولنختار العمود Q_0 ، فقبل أول

نبضة، كان: $Q_0 = 0$ ، ومطلوب أن يصبح: 1 عند نهاية نبضة الساعة الأولى، ومن هنا ولتحقيق هذا الشرط، يجب أن تكون قيم J_0 و K_0 للقلاب FF0 (طبقاً لجدول الإثارة - الصف الثاني) هي: 1 و X على التوالي، فيتم إدخالها في الجدول في كل الصفوف المناظرة للنبضة 0 للقلاب FF0، وإيضاً مطلوب أن يصبح الخرج: Q_0 عند نهاية النبضة الثانية مساوياً: 0، ولتحقيق هذا الشرط، يجب أن تكون قيم J_0 و K_0 للقلاب FF0 (طبقاً لجدول الإثارة - الصف الثاني) هي: X و 1 على التوالي، فيتم إدخالها في الجدول في كل الصفوف المناظرة للنبضة 1 للقلاب FF0، وبنفس الأسلوب يتم تطبيق ما سبق على العمودين Q_1 و Q_2 ، وإدخال القيم J_1 و K_1 للقلاب FF1، والقيم J_2 و K_2 للقلاب FF2 .

يتم تجهيز خرائط كارنوف باعتبار: Q_2 و Q_1 و Q_0 متغيرات دخل، ومداخل القلابات كمتغيرات خرج كما هو موضح في شكل (6-48).



شكل (6-48) خرائط K-maps للمثال (6-13)

من خرائط كارنوف نحصل على التعبيرات المختصرة كالآتي :

$$J_0 = 1, \quad K_0 = 1$$

$$J_1 = Q_0, \quad K_1 = Q_0$$

$$J_2 = Q_0 Q_1, \quad K_2 = Q_0 Q_1$$

وتكون دائرة العداد الناتجة مثل دائرة الشكل (47-6) .

مثال (13-6) :

مطلوب تصميم عداد ثنائي 3-بت صاعد/نازل بتحكم إتجاه M ، مستخدماً قلابات J-K .

الحل :

يبين جدول (18-6) التتابع العددي، ويعمل العداد كعداد صاعد عندما يكون تحكم الإتجاه: (M = 0)، بينما يعمل كعداد هابط عندما يكون تحكم الإتجاه: (M = 1)، ويكون عدد القلابات المطلوبة: 3، كما يتم تحديد مداخلها بنفس الأسلوب المستخدم في المثال السابق .

جدول (18-6)

إتجاه التحكم M	حالة العداد			دخول القلابات					
	Q ₂	Q ₁	Q ₀	J ₀	K ₀	J ₁	K ₁	J ₂	K ₂
0	0	0	0	1	X	0	X	0	X
0	0	0	1	X	1	1	X	0	X
0	0	1	0	1	X	X	0	0	X
0	0	1	1	X	1	X	1	1	X
0	1	0	0	1	X	0	X	X	0
0	1	0	1	X	1	1	X	X	0
0	1	1	0	1	X	X	0	X	0
0	1	1	1	X	1	X	1	X	1
1	0	0	0	1	X	1	X	1	X
1	1	1	1	X	1	X	0	X	0
1	1	1	0	1	X	X	1	X	0
1	1	0	1	X	1	0	X	X	0
1	1	0	0	1	X	1	X	X	1
1	0	1	1	X	1	X	0	0	X
1	0	1	0	1	X	X	1	0	X
1	0	0	1	X	1	0	X	0	X
	0	0	0						

ومن الجدول نجد أن :

$$J_0 = K_0 = 1$$

ويبين شكل (49-6) خرائط K-maps للدخول : J₁ و K₁ و J₂ و K₂ .

MQ_2 Q_1Q_0		00	01	11	10
00	00	0	0	1	1
	01	1	1	0	0
11	11	×	×	×	×
	10	×	×	×	×

J_1

MQ_2 Q_1Q_0		00	01	11	10
00	00	×	×	×	×
	01	×	×	×	×
11	11	1	1	0	0
	10	0	0	1	1

K_1

MQ_2 Q_1Q_0		00	01	11	10
00	00	0	×	×	1
	01	0	×	×	0
11	11	1	×	×	0
	10	0	×	×	0

J_2

MQ_2 Q_1Q_0		00	01	11	10
00	00	×	0	1	×
	01	×	0	0	×
11	11	×	1	0	×
	10	×	0	0	×

K_2

شكل (49-6) خرائط K-maps للمثال (13-6)

ومن خرائط كارنوف نحصل على التعبيرات المختصرة كالآتي :

$$J_1 = K_1 = Q_0 \bar{M} + \bar{Q}_0 M$$

$$J_2 = K_2 = \bar{M} Q_1 Q_0 + M \bar{Q}_1 \bar{Q}_0$$

ويمكن رسم دائرة العداد باستخدام التعبيرات عاليه .

مثال (6-14) :

مطلوب تصميم عداد عشرة تصاعدي مستخدما قلابات J-K .

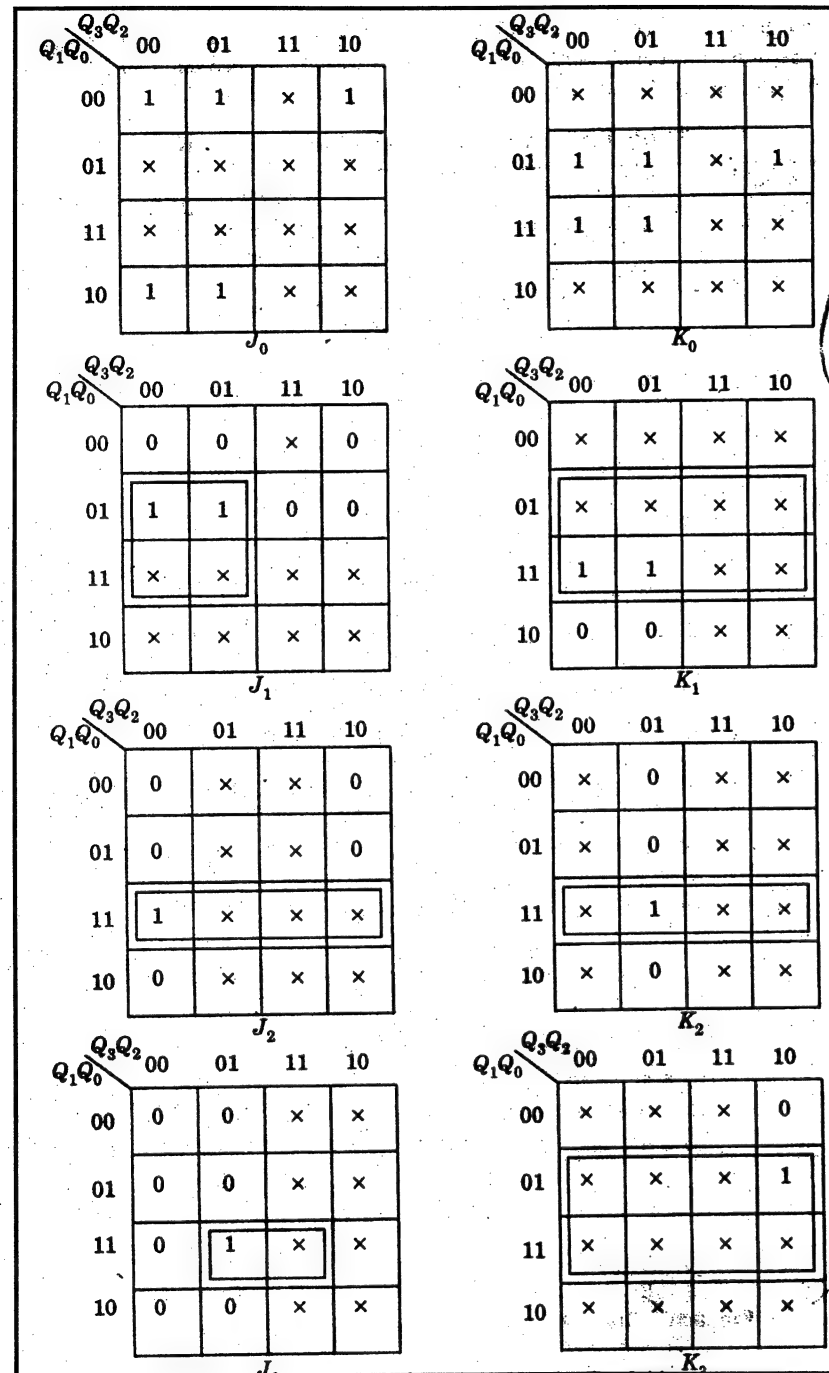
الحل :

من المعروف ان عداد العشرة له 10 حالات، مما يستدعي استخدام 10 قلابات، وتكون الحالات الستة الباقية غير مستخدمة، ويوضح جدول (6-19) التتابع العددي، وكذلك مداخل القلابات.

جدول (6-19)

حالة العداد				دخول القلابات							
Q_3	Q_2	Q_1	Q_0	J_0	K_0	J_1	K_1	J_2	K_2	J_3	K_3
0	0	0	0	1	X	0	X	0	X	0	X
0	0	0	1	X	1	1	X	0	X	0	X
0	0	1	0	1	X	X	0	0	X	0	X
0	0	1	1	X	1	X	1	1	X	0	X
0	1	0	0	1	X	0	X	X	0	0	X
0	1	0	1	X	1	1	X	X	0	0	X
0	1	1	0	1	X	X	0	X	0	0	X
0	1	1	1	X	1	X	1	X	1	1	X
1	0	0	0	1	X	0	X	0	X	X	0
1	0	0	1	X	1	0	X	0	X	X	1
0	0	0	0								

وبين شكل (6-50) خرائط كارنوف للدخول : J_0 و K_0 و J_1 و K_1 و J_2 و K_2 و J_3 و K_3 .



شكل (6-50) خرائط K-maps للمثال (6-15)

من خرائط كارنوف نحصل على التعبيرات المختصرة كالآتي:

$$\begin{aligned} J_0 &= 1, & K_0 &= 1 \\ J_1 &= Q_0 \bar{Q}_3, & K_1 &= Q_0 \\ J_2 &= Q_0 Q_1, & K_2 &= Q_0 Q_1 \\ J_3 &= Q_0 Q_1 Q_2, & K_3 &= Q_0 \end{aligned}$$

ويمكن رسم دائرة العداد باستخدام التعبيرات عاليه .

2-7-6 الغلق Lock out :

في العداد الموصف في جدول (6-19)، نجد أن الحالات المنطقية: $Q_3 Q_2 Q_1 Q_0$ الستة والغير مستخدمة هي: 1010 و 1011 و 1100 و 1101 و 1110 و 1111، ولكن وبطريق المصادفة يمكن أن يتواجد العداد في أحد هذه الحالات، ولا يمكن معرفة الحالة التالية، كما يمكن أن يذهب العداد من حالة غير مستخدمة إلى حالة أخرى غير مستخدمة، ولا يمكن وصوله إلى حالة من الحالات المستخدمة، وهنا يكون العداد غير ذي فائدة في تأدية الغرض المراد منه، ويقال عن العداد الذي تتخذ حالاته الغير مستخدمة هذا الظهور من أنه يعاني الغلق Lock out.

وللتأكد من أنه عند نقطة البدء يكون العداد في حالته الابتدائية، أو يأتي لحالته الابتدائية في خلال دورات ساعة قليلة (لحدوث خطأ في العد بسبب وجود ضوضاء ما)، يتم التذود بدائرة منطقية خارجية .

وللتأكد من عدم حدوث القفل، يتم تصميم العداد مفترضين أن الحالة التالية تكون هي الحالة الابتدائية من كل حالة من الحالات الغير مستخدمة، وبعد ذلك تستمر خطوات التصميم كما تم مناقشته مسبقاً.

3-7-6 سلاسل 54/74 للدوائر المتكاملة للعدادات المتزامنة :

مما سبق تمت دراسة طريقة تصميم العدادات المتزامنة باستخدام القلابات، وبهذه الطرق يمكن تصميم العدادات بأي إحصاء عددي ومعامل، وتتاح بعض هذه العدادات في الدوائر المتكاملة MSI، وهي مبينة في جدول (6-20) مع توضيح أهم

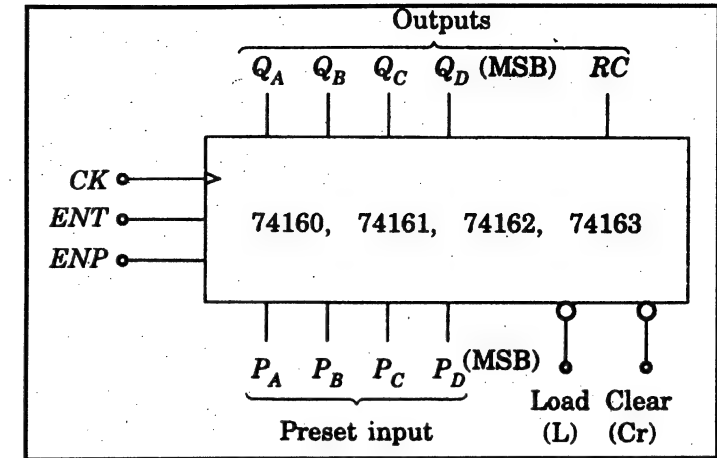
ما تتميز به كل دائرة، ومع العلم بأن كل هذه الدوائر المتكاملة من النوع ذات الإشعال بالحافة الموجبة Positive-edge-triggered، أى أن تغيير الحالة والتحميل المتزامن وكذلك المسح يحدث عند الحافة الذاهبة الموجبة لدخل نبضة الساعة، كما أن هذه الدوائر تُقسم أساسياً إلى 4 مجموعات: A و B و C و D، وسوف نناقش ملخص/ لكل من هذه المجموعات.

جدول (6-20)

رقم الدائرة	الوصف	أهم ما يميزها	المجموعة
74160	عداد عشرة صاعد	Preset تزامنى ، ومسح غير تزامنى	A
74161	عداد ثنائى صاعد 4-بت	Preset تزامنى ، ومسح غير تزامنى	A
74162	عداد عشرة صاعد	Preset ومسح تزامنى	A
74163	عداد ثنائى صاعد 4-بت	Preset ومسح تزامنى	A
74168	عداد عشرة صاعد/نازل	Preset تزامنى ، وبدون مسح	B
74169	عداد ثنائى صاعد/نازل 4-بت	Preset تزامنى ، وبدون مسح	B
74100	عداد عشرة صاعد/نازل	Preset غير تزامنى ، وبدون مسح	C
74191	عداد ثنائى صاعد/نازل 4-بت	Preset غير تزامنى ، وبدون مسح	C
74192	عداد عشرة صاعد/نازل	Preset غير تزامنى ، ومسح	D
74193	عداد ثنائى صاعد/نازل 4-بت	Preset غير تزامنى ، ومسح	D

المجموعة A للدوائر التكاملية للعدادات المتزامنة :

يبين شكل (a-51-6) المخطط الوظيفي لهذه الدوائر التكاملية، كما يبين شكل (b-51-6) الجدول الوظيفي، حيث يوجد لهذه الدوائر دخلى تمكين Enable منفصلين ENT و ENP، وبإمسك أى من هذين الدخلين عند المنطق 0، يتوقف العد بغير تزامن، وعادة يكون الخرج RC (محمول متموج Ripple carry) عند المنطق: 0 إلا أنه يتغير للمنطق 1 متى وصل العداد لأقصى عد له (1001 للعدادات BCD، و 1111 للعدادات الثنائية 4-بت)، كما أن إمساك دخل التمكين ENT عند 0 يمنع تغيير الخرج RC من المنطق 0 إلى المنطق 1.



شكل (a-51-6) المخطط الوظيفي للمجموعة A للدوائر التكاملية للعدادات المتزامنة

الحالة	CK	Cr	ENT	ENP	الحمل L
Preset	↑	1	X	X	0
توقف العد	X	1	1	0	1
توقف العد ، و RC غير متمكن	X	1	0	X	1
تحرير إلى الصفر	*	0	X	X	X
عد صاعد	↑	1	1	1	1

شكل (b-51-6) الجدول الوظيفي للمجموعة A للدوائر التكاملية للعدادات المتزامنة

* تعني X للدوائر 74160 و 74161 وتعني ↑ للدوائر 74162 و 74163.

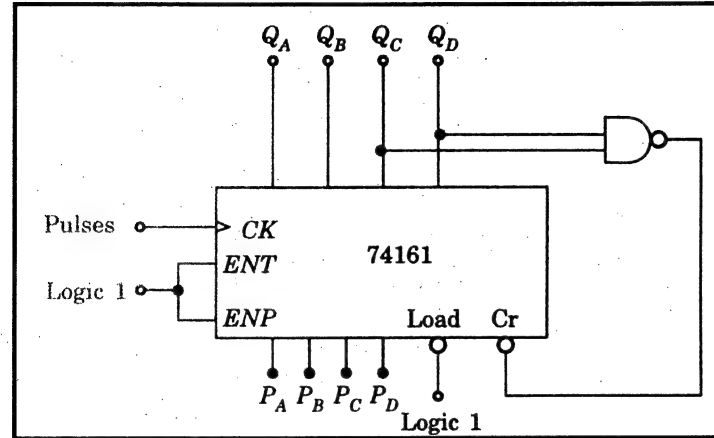
مثال (15-6) :

مطلوب تصميم عداد معامل 12 mod-12 باستخدام الدائرة التكاملية 74161 .

الحل :

الدائرة المطلوب استخدامها هي لعداد ثنائي صاعد 4-بت، كما أن مواصفاتها تدخل ضمن الصف الأخير من الجدول الوظيفي (b-51-6)، ويتم توصيل الخرجين

Q_D و Q_C من خلال بوابة NAND بطرف المسح C_r ، والذي يسمح العداد بمجرد وصول الخرج إلى 1100، وتكون حالات العداد من 0000 إلى 1011، ويبين شكل (52-6) العداد mod-12.



شكل (52-6) عداد mod-12

ومن المثال السابق، نجد انه يمكن إيقاف العد عند أي عدد، ويمكن الحصول على أي عداد بأي معامل (حتى أقل من 16 للعداد الثنائي، وحتى أقل من 10 لعداد العشرة)

مثال (16-6) :

مطلوب تصميم عداد قاسم-على-11 Divide-by-11 باستخدام الدائرة 74163، مستغلا الخرج RC ودخول التحضير المسبقة Preset inputs.

الحل :

للحصول على عداد قاسم-على-11، يُحضر العداد مسبقاً Preset عند العدد الثنائي 0101 (عدد عشري 5)، وعند وصول العد إلى 1111 يتغير الخرج RC إلى المنطق 1، والذي يستخدم لتحميل البيانات الموجودة عند دخول التحضير المسبقة Preset inputs إلى داخل العداد، ويبين شكل (53-6) دائرة العداد المطلوب.

العدد المناظر للعدد المطلوب، وتوصيل خرج البوابة لنهاية الطرف لدخل الحمل، أما دخول التحضير المسبقة Preset inputs، فيمكن تحضيرها حالة البدء المطلوبة للعداد.

الحمل L	ENP	ENT	U/D	CK	الحالة
0	X	X	X	↑	تحضير مسبق Preset
1	1	0	X	X	توقف العد
1	X	1	X	X	توقف العد ، و RC غير متمكن
1	0	0	1	↑	عد تصاعدي
1	0	0	0	↑	عد تنازلي

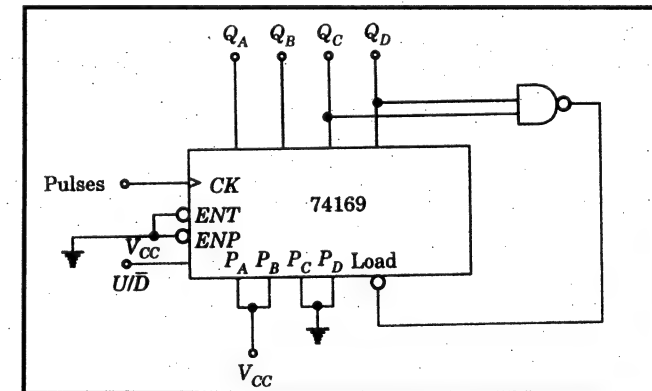
شكل (b-55-6) الجدول الوظيفي للمجموعة B للدوائر التكاملية للعدادات المتزامنة

مثال (6-17) :

مطلوب تصميم عداد بحالات من 0011 إلى 1100 باستخدام عداد دائرة 74169.

الحل :

يكون دخل التحضير المسبق 0011، ويجب أن يعود الخرج للحالة الأصلية بمجرد وصوله للقيمة 1100، ولهذا يجب كشف الرقم المناظر للحالة الأعلى المطلوبة وذلك لتحميل العداد ، ويظهر العداد في شكل (6-56).



شكل (6-56) عداد المثال (6-17)

إذا كان مطلوب للعداد أن يعد حتى القيمة الأقصى/الأدنى، فيجب توصيل الخرج RC بدخل الحمل، حيث يتم تحميل العد الأصلي عند النبضة التالية لما بعد الوصول للقيمة الأقصى/الأدنى.

ويكون تردد شكل الموجة للخرج (f_{out}) عند الخرج RC مرتبطاً بتردد الساعة (f_{in}) كالآتي:

لعداد الثنائي 74169:

$$f_{out} = f_{in} / (N + 1) \quad 1 \leq N \leq 15 \quad \text{للعدي التنازلي} :$$

$$f_{out} = f_{in} / (16 - N) \quad 0 \leq N \leq 14 \quad \text{للعدي التصاعدي} :$$

لعداد العشرة 74168 :

$$f_{out} = f_{in} / (N + 1) \quad 1 \leq N \leq 9 \quad \text{للعدي التنازلي} :$$

$$f_{out} = f_{in} / (10 - N) \quad 0 \leq N \leq 8 \quad \text{للعدي التصاعدي} :$$

حيث N هو المكافئ العشري لدخل التحضير المسبق.

ويشابه تتالي عدادات المجموعة B التتالي المتتابع لعدادات المجموعة A.

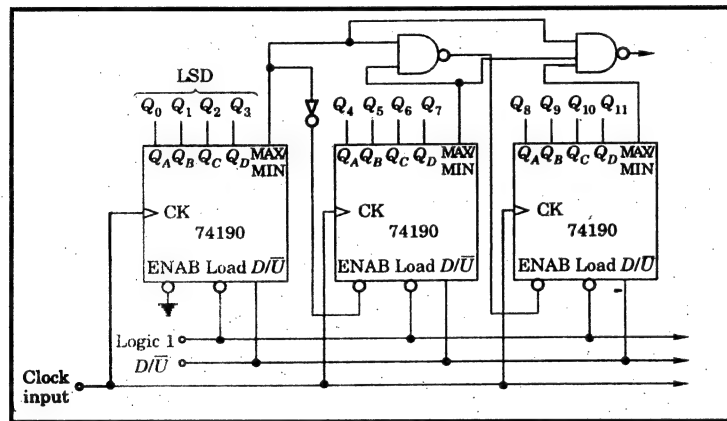
المجموعة C للدوائر التكاملية للعدادات المتزامنة :

هذه المجموعة من الدوائر المتكاملة لها دخل تمكين واحد ENAB وهو فعال-منخفض Active-Low، ويستخدم الخرج MAX/MIN لكشف قيمة العد الأقصى/الأدنى، وهو عادة يكون عند المنطق 0، ثم يصل للمنطق 1 عند وصول العد لأقصاه (أي إلى 1001 للعداد 74190، وإلى 1111 للعداد 74191) للعد التصاعدي، أو عند وصول العد لأدناه (أي 0000) للعد التنازلي، كما أن الخرج RC يكون عادة عند المنطق 0، ثم يصل للمنطق 1 عند وصول العداد للنقطة MAX/MIN ويكون دخل CK منخفض، ويبين شكل (a-57-6) المخطط الوظيفي لهذه الدوائر التكاملية، كما يبين شكل (b-57-6) الجدول الوظيفي.

يتم توصيل الخرج RC لكل مرحلة إلى الدخل ENAB للمرحلة التالية، مع توصيل كل مداخل الساعة CK ببعضها وتطبيق نبضات الساعة عند نهاية الدخل CK المشترك.

3- عمل تتالي للدوائر المتكاملة المتزامنة مع محمول متوازي :

وبين شكل (6-58) 3 عدادات عشرة متزامنة متتالية التوصيل بمحمول متوازي، وتصل سرعة التشغيل لأقصاها في هذا النوع من التوصيل المتتالي، كما يراعى تقييد عدد المراحل بسبب تحميل الخرج MAX/MIN بالبوابات الخارجية.



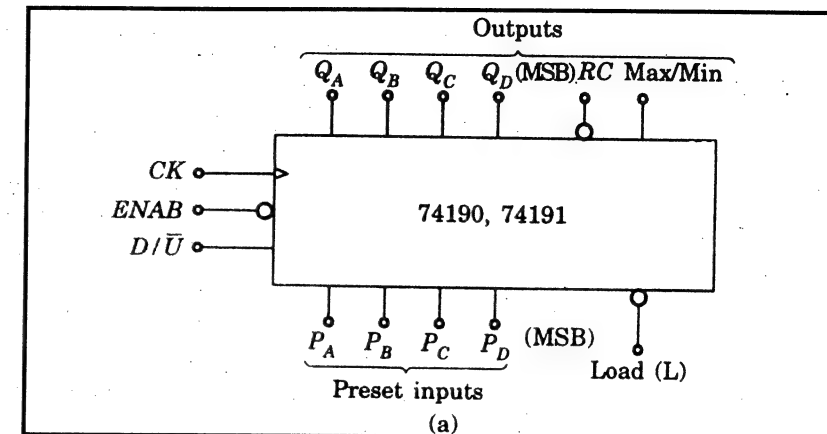
شكل (6-58) 3 عدادات عشرة متزامنة باستخدام الدائرة التكاملية

متوالية توصيل بمحمول متوازي

المجموعة D للدوائر التكاملية للعدادات المتزامنة :

في هذه العدادات: عند العد التصاعدي تطبق نبضة الساعة عند النهاية الطرفية CK-UP مع توصيل النهاية الطرفية CK-DOWN بمنطق 1، وعند العد التنازلي تطبق نبضة الساعة عند النهاية الطرفية CK-DOWN مع توصيل النهاية الطرفية CK-UP بمنطق 1، وعادة يكون مخرجا الناقل والإقتراض عند المنطق 1.

ويهبط خرج الناقل إلى 0 عندما يظهر العداد عده الأقصى في العد التصاعدي ويكون CK-UP عند المنطق 0، ويظل دخل الإستعارة عند المنطق 1 طالما تعمل



شكل (6-57a) المخطط الوظيفي للمجموعة C للدوائر التكاملية للعدادات المتزامنة

الحمل L	ENAB	D/ \bar{L}	CK	الحالة
X	1	X	X	توقف العد
0	0	X	X	تحضير مسبق Preset
1	0	0	↑	عد تصاعدي
1	0	1	↑	عد تنازلي

شكل (6-57b) الجدول الوظيفي للمجموعة C للدوائر التكاملية للعدادات المتزامنة

التوصيل المتتالي لعدادات المجموعة C :

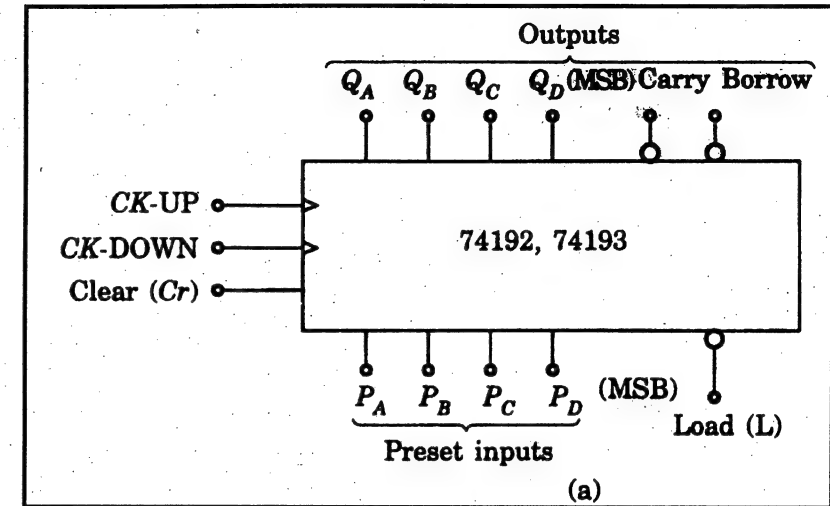
يتم تنفيذ التوصيل المتتالي لعدادات هذه المجموعة بثلاث طرق مختلفة:

1- عمل تتالي للدوائر المتكاملة المتزامنة كدوائر متكاملة غير متزامنة:

يتم توصيل الخرج RC لكل مرحلة إلى الدخل CK للمرحلة التالية وتطبيق نبضات الساعة عند الدخل CK للمرحلة الأولى، وفي هذا ستصبح كل دائرة متزامنة داخل نفسها، أما فيما بين المراحل يصبح النظام ككل كعداد متموج.

2- عمل التتالي للدوائر المتكاملة المتزامنة مع محمول متموج Ripple Carry بين المراحل:

الدائرة من الدخل CK-UP، ويبين شكل (a-59-6) المخطط الوظيفي لهذه الدوائر التكاملية، كما يبين شكل (b-59-6) الجدول الوظيفي.



شكل (a-59-6) المخطط الوظيفي للمجموعة D للدوائر التكاملية للعدادات المتزامنة

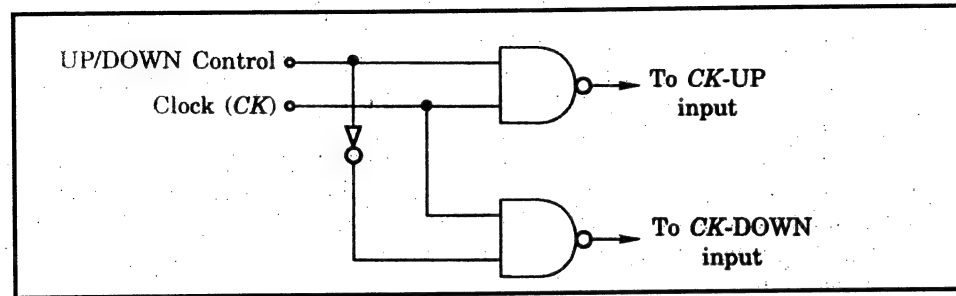
الحالة	CK-DOWN	CK-UP	مسح Cr	الحمل L
تحضير مسبق Preset للصفر	X	X	1	X
عد تصاعدي	1	↑	0	1
عد تنازلي	↑	1	0	1
تحضير مسبق Preset	X	X	0	0
توقف العد	1	1	0	1

شكل (b-59-6) الجدول الوظيفي للمجموعة B للدوائر التكاملية للعدادات المتزامنة

التوصيل المتتالي لعدادات المجموعة D :

لتنفيذ التوصيل المتتالي لعدادات هذه المجموعة، يتم توصيل كل من مخرج المحمول، ومخرج الاستعارة لكل مرحلة، بكل من دخل CK-UP ودخل CK-DOWN للمرحلة التالية على الترتيب، وتستخدم الدائرة في الشكل (60-6) في تغيير دفة

دخل الساعة إلى الدخل CK-UP بغرض العد التصاعدي، أو إلى الدخل CK-DOWN بغرض العد التنازلي.



شكل (60-6) دائرة تغيير دفة دخل الساعة إلى CK-DOWN / CK-UP

* وفي نهاية الفصل يمكننا القول :

في هذا الفصل تم التقديم للعنصر الرئيسي في الدوائر التتابعية وهو القلاب، وهو عنصر الذاكرة الأساسي المستخدم في تخزين معلومة رقمية عبارة عن 1 بت، ولقد تمت تغطية الأنواع الأربعة الشائعة من أنواع القلابات بالتفصيل مشتملة تصميمها باستخدام البوابات وهي: S-R و J-K و نوع T ونوع D.

كما تمت مناقشة بعض أنظمة الإشعال Triggered systems والتي تساعد بقوة في فهم التشغيل التفصيلي للقلابات والدوائر الأخرى التي تشتمل على قلابات.

كما تم التعرض لأمثلة بسيطة من أمثلة استخدام القلابات وأجهزة MSI في المسجلات، والعدادات.

تدريبات

تدريب (1-6) :

بين أن الدائرة الموضحة في شكل (4-6)، هي نفس الدائرة المرسومة في شكل (3-6)، عندما : $S = R = 0$.

تدريب (2-6) :

في الدائرة الموضحة في شكل (4-6)، بين أن الخرج لا يتغير إذا:

أ- تغيرت الدخول من : $S = 1$ و $R = 0$ إلى : $S = R = 0$.

ب- تغيرت الدخول من : $S = 0$ و $R = 1$ إلى : $S = R = 0$.

تدريب (3-6) :

حاول القيام بتصميم دائرة ماسك S-R باستخدام بوابتين NOR كل منها بمدخلين .

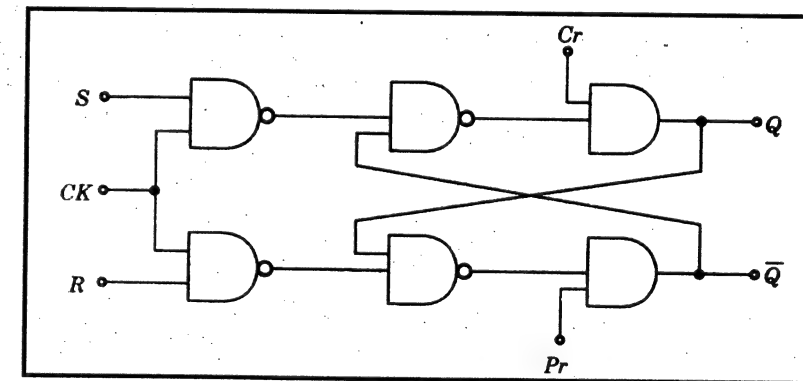
تدريب (4-6) :

في دائرة القلاب المبينة في شكل (61-6) وضح مايلي:

أ- عند : $Pr = 0$ و $Cr = 1$ ، فإن : $Q = 1$ (غير معتمد على : S و R و CK).

ب- عند : $Pr = 1$ و $Cr = 0$ ، فإن : $Q = 0$ (غير معتمد على : S و R و CK).

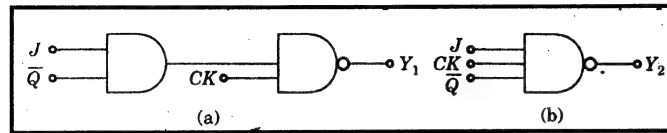
ج- عند : $Pr = Cr = 1$ ، تؤدي الدائرة وظيفة قلاب متزامن S-R.



شكل (61-6) دائرة قلاب التدريب (4-6)

تدريب (5-6) :

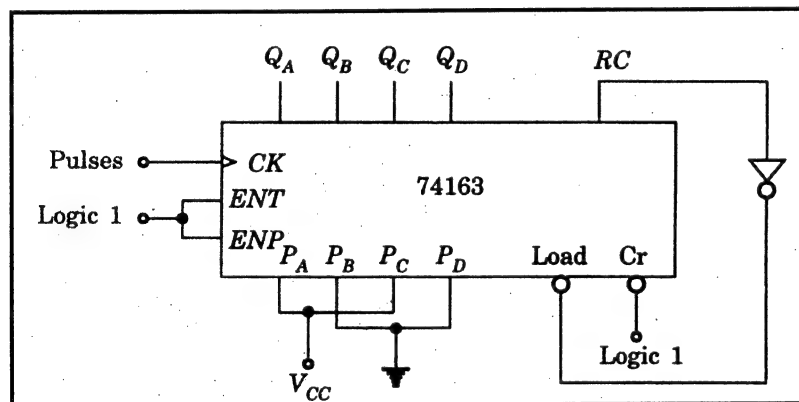
عين الخرج Y_1 في دائرة الشكل (a-62-6)، وكذلك الخرج Y_2 في دائرة الشكل (b-62-6)، ووضح أن : $Y_1 = Y_2$.



شكل (62-6) أشكال تدريب (5-6)

تدريب (6-6) :

حقق الخرج Q ، و \bar{Q} للقلاب المتزامن J-K المبين في شكل (63-6).



شكل (63-6) دائرة التدريب (6-6)

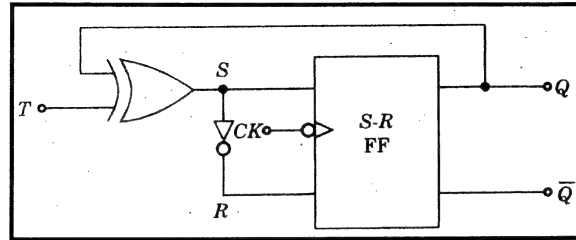
تدريب (7-6) :

في الدائرة الموضحة في شكل (64-6)، يتم تطبيق نبضات الساعة والدخل، والمبين أشكال الموجة لهما في شكل (65-6). مطلوب رسم أشكال الموجة للخروج

Q ، و \bar{Q} إذا كان القلاب مُشعل بالحافة Edge-triggered.

تدريب (6-10) :

مطلوب تجهيز جدول الحقيقة للدائرة المشار إليها في شكل (6-67)، وبين أنها تؤدي عمل قلاب من نوع-T.



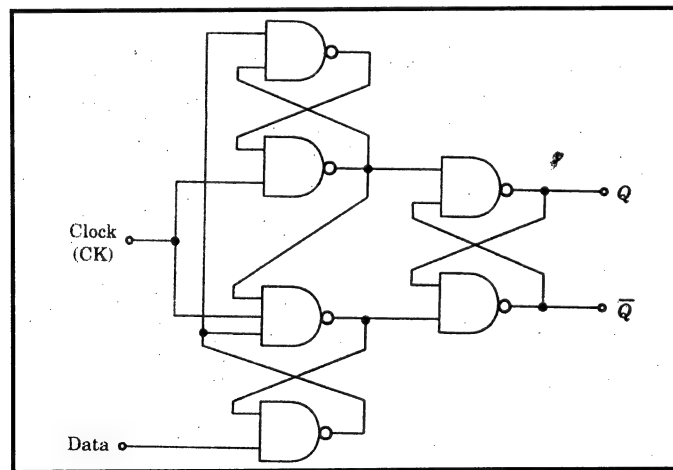
شكل (6-67) دائرة التدريب (6-10)

تدريب (6-11) :

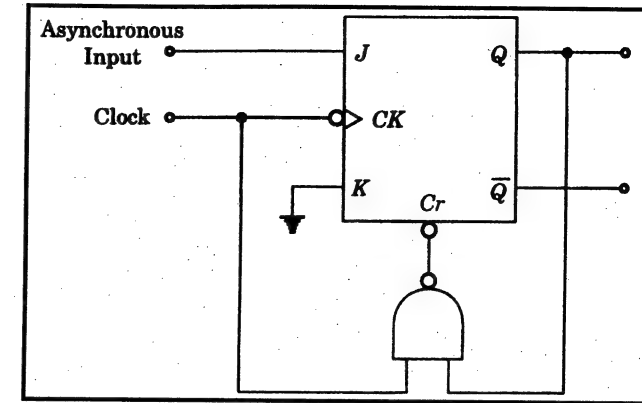
تحقق من أنه إذا تم توصيل الخرج \bar{Q} بالدخل D لقلاب نوع-D، فإنه يعمل كمفتاح تبديل Toggle switch.

تدريب (6-12) :

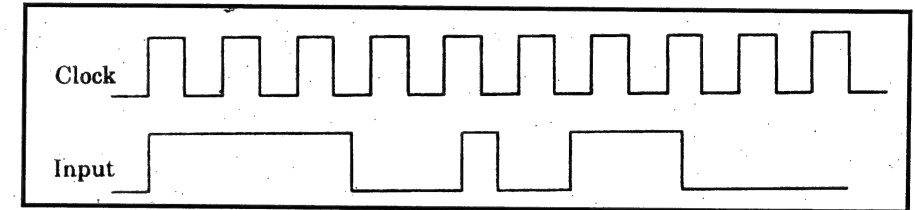
مطلوب تحقيق تشغيل القلاب نوع-D المبين في شكل (6-68)، والذي يعمل بحافة الإشعال الموجبة Positive-edge-triggered.



شكل (6-68) دائرة التدريب (6-12)



شكل (6-64) دائرة التدريب (6-7)



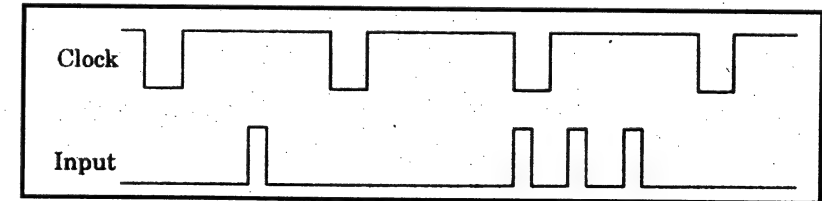
شكل (6-65) أشكال الموجة للتدريب (6-7)

تدريب (6-8) :

كرر المطلوب في تدريب (6-7) معتبرا القلاب متبوع-تابع.

تدريب (6-9) :

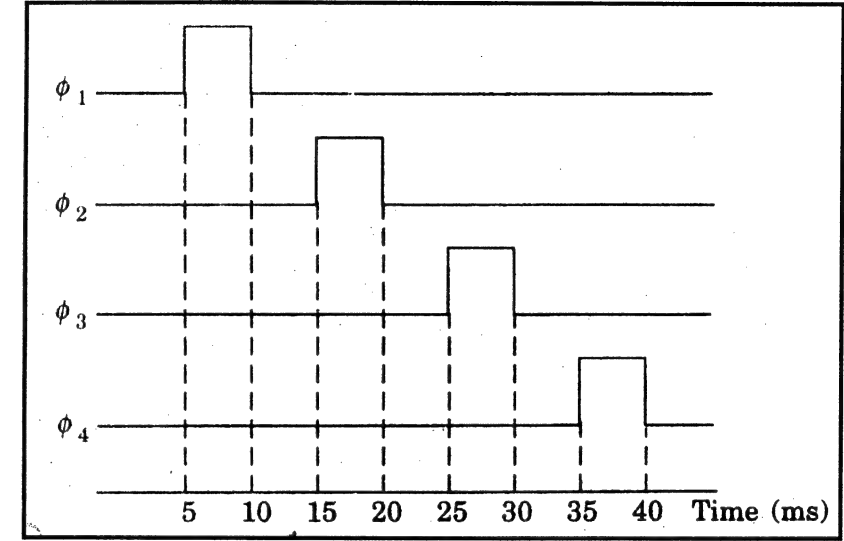
في أشكال الموجة المبينة في شكل (6-66)، ومعتبرا القلاب من نوع متبوع-تابع، مطلوب رسم شكل الموجة للخرج Q.



شكل (6-66) أشكال الموجة للتدريب (6-9)

تدريب (6-13) :

يحتاج محرك خطوى لـ: 4 إشارات كالمبينة أشكالها الموجية في شكل (6-69)، مطلوب تصميم مولد تعاقب لتزويد هذه الإشارات للمحرك.



شكل (6-69) أشكال الموجة لتدريب (6-13)

تدريب (6-14) :

اكتب التتابع العددي لعداد تنازلي ثنائي 3-بت ، وصمم عداد متموج لهذا التتابع باستخدام القلايات.

تدريب (6-15) :

صمم عداد متموج ثنائي 4-بت تصاعدي/تنازلي مستخدما تحكم لتنفيذ العد التصاعدي/التنازلي .

تدريب (6-16) :

صمم باستخدام القلايات ، العدادات المتموجة التالية :

أ- قسمة على 5.

ب- قسمة على 7.

تدريب (6-17) :

في الدائرة الرقمية 7492 وتمثل عداد متموج قسمة على 12، فعند توصيل المخرج Q_D بالمدخل A مع تطبيق النبضات عند المدخل B ، فأوجد تتابع العد.

تدريب (6-18) :

باستخدام الدائرة الرقمية 7492 كما أستخدمت في التدريبين السابقين، صمم العدادات التالية :

أ- قسمة على 7.

ب- قسمة على 9.

ج- قسمة على 11.

تدريب (6-19) :

حول الدائرة التكاملية 7493 إلى عداد 4-بت تنازلي.

تدريب (6-20) :

صمم عداد قاسم على 128 باستخدام دوائر تكاملية 7493.

تدريب (6-21) :

صمم عداد قاسم على 96 باستخدام دوائر تكاملية 7490 .

تدريب (6-22) :

صمم عداد قاسم على 78 باستخدام دائرة تكاملية 7493، ودائرة تكاملية 7492 تستخدم كقاسم على 6.

تدريب (6-23) :

إرسم أشكال موجة الخرج للعداد المرسوم في شكل (6-52).

تدريب (6-24) :

إرسم أشكال موجة الخرج للعداد المرسوم في شكل (6-53).

تدريب (6-25) :

إشرح عمل الدائرة فى شكل (6-54).

تدريب (6-26) :

مطلوب تصميم عداد معامل-12 mod-12 تصاعدى باستخدام الدائرة التكاملية 74193، وقارنها بالدائرة المبينة فى شكل (6-54).

الفصل السابع

دوائر التوقيت والمحولات

1-7 مقدمة

2-7 استخدام البوابات المنطقية فى دوائر التوقيت

3-7 مكررات الضربات واستخدامها فى دوائر التوقيت

4-7 الدوائر التكاملية لاشغال شحنة

5-7 الدوائر التكاملية للمذبذبات احادية الاستقرار

6-7 المؤقتة 555

7-7 المحولات

7-1 مقدمة :

تحتاج معظم الأنظمة الرقمية إلى بعض الأنواع من أشكال الموجة ذات التوقيت Timing، فمثلاً تحتاج كل الأنظمة التتابعية الموقّعة clocked إلى مصدر من نبضات الإشعال.

وغالباً ما يُفضل في الأنظمة الرقمية استخدام أشكال الموجة المستطيلة Rectangular waveforms (بخلاف الأنظمة التناظرية والتي غالباً يُفضل فيها استخدام الإشارات الجيبية Sinusoidal signals)، وتعرف تلك الأجهزة المستخدمة في توليد أشكال الموجة المستطيلة بـ "المذبذبات المتعددة" Multivibrators، والتي يوجد منها 3 أنواع:

- 1- المذبذب الغير مستقر Astable M.V.، أو الحر Free-running.
- 2- المذبذب أحادي الإستقرار Monostable M.V.، أو مذبذب الطلقة الواحدة One-shot.
- 3- المذبذب الثنائي الإستقرار Biostable M.V.، أو القلاب F.F.

1- المذبذب الغير مستقر Astable M.V.:

ما هو إلا جهاز تذبذب Oscillator يقوم بتوليد نبضات مستطيلة، وله حالتين شبه مستقرتين Quasi-stable ولا يحتاج لأي إشعال، ومن هنا جاءت تسميته بالمذبذب الحر، ويستخدم كمصدر لنبضات الساعة في الدوائر التتابعية.

2- المتذبذب الأحادي الإستقرار Monostable M.V. :

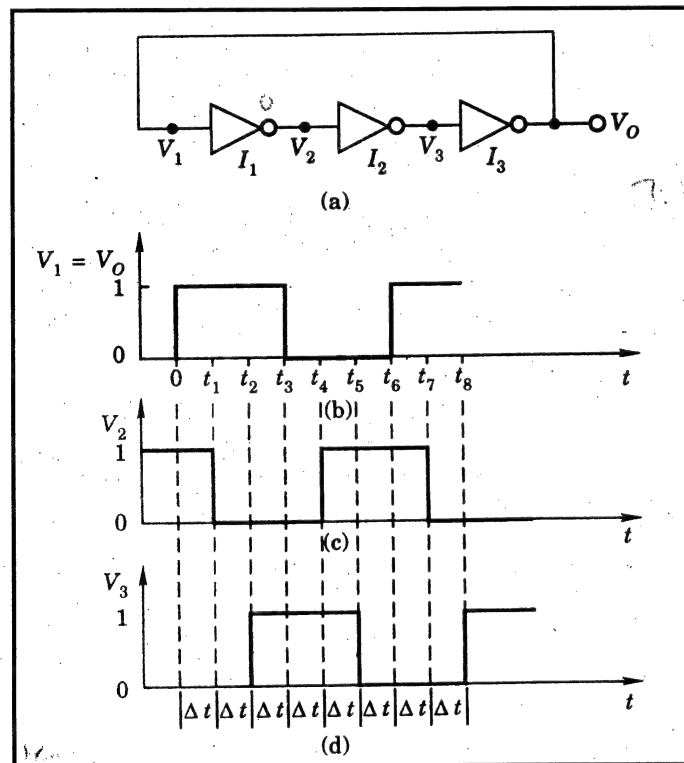
له حالة إتران واحدة، بمعنى أنه تحت ظروف الحالة الثابتة Steady-state conditions يكون خرج ثابتاً (أى يكون إما منخفضاً LOW أو عالياً HIGH)، وعند تطبيق نبضة إشعال خارجية على الدائرة تتحول حالة الإتران إلى الحالة الأخرى (أى تتحول الحالة من الحالة المنخفضة LOW إلى الحالة العالية HIGH، أو تتحول الحالة من الحالة العالية HIGH إلى الحالة المنخفضة LOW) وتستمر حالة الدائرة كهذا لفترة زمنية Time duration تعتمد على قيم العناصر المستخدمة في الدائرة، وتعرف حالة الدائرة عندئذ بالحالة الشبه مستقرة Quasi-stable state، حيث تعود

2-7 استخدام البوابات المنطقية في دوائر التوقيت :

يمكن استخدام البوابات المنطقية في توليد النبضات المطلوبة في الأنظمة الرقمية، ويتم تصميم وتحليل دوائر هذه البوابات بسهولة، إلا أن فقر هذه الدوائر إلى الدقة في هذه الدوائر يؤدي إلى تقييد استخدامها نوعاً ما في التطبيقات.

1-2-7 المذبذب الغير مستقر :

يبين شكل (a-1-7) دائرة مبسطة لمذبذب غير مستقر يستخدم البوابات، وتعمل دائرة هذا المذبذب بنفس قاعدة مذبذب RC إزاحة الإتحاء "RC phase-shift oscillator"، حيث أن إزاحة الإتحاء مشروطة بزمن تأخير الإنتشار للعاكسات Invertors.



شكل (1-7) a- مذبذب حر يستخدم عاكسات

b- اشكال الموجه عند المخارج المختلفة

الدائرة ثنائية إلى الحالة الثابتة دون أية نبضات إشعال خارجية، ويكون عرض نبضة الإشعال Pulse width صغيراً جداً، كما يعتمد عرض نبضة الخرج على الفترة الزمنية التي تظل فيها حالة الدائرة في الحالة شبه المستقرة كما تعزى الدائرة أيضاً إلى دائرة الطلقة الواحدة One-shot، حيث أن نبضة واحدة تنتج نبضة واحدة إلا أنها تكون مختلفة العرض، وهذه الدائرة مفيدة في أنها تقوم بتوليد نبضة أطول نسبياً (في حدود بضعة عشرات من الميلي ثانية) من نبضة الإشعال الضيقة، فمثلاً يمكن لمعالج دقيق توصيل إشارة signal إلى جهاز خرج لطبع شيء ما بإرسال نبضة، وهذا الجهاز يكون في الغالب جهازاً كهروميكانيكياً أقل سرعة من المعالج، ومن هنا يحتاج إلى بقاء النبضة الواصلة لفترة زمنية أطول وهو ما يمكن تحقيقه بدائرة مواعمة مكونة من مذبذب أحادي إستقرار.

3- المذبذب الثنائي الإستقرار Biostable، أو القلاب F.F. :

هي الدائرة التي تكون فيها الحالتين مستقرتين، وهذه الدائرة تتحول من حالة إستقرار إلى حالة إستقرار أخرى فقط عند تطبيق نبضة إشعال، وغالباً ما يستخدم هذا النوع كعناصر ذاكرة في الأنظمة الرقمية، حيث تمت مناقشة هذه العناصر باستفاضة في الفصل السابق.

وفي الماضي كان تصميم المذبذبات يتم باستخدام أجهزة محددة كالصمامات المفرغة الثلاثية Vacuum triodes، أو BJTs، أو FETs... إلخ، إلا أنه بطل استخدامها بعد إمكانية تصنيع المذبذبات على دوائر تكاملية، ولهذا السبب سيتم التعامل مع دوائر المذبذبات المتعددة باستخدام الدوائر التكاملية المختلفة، حيث يمكن أن تكون الدوائر التكاملية المستخدمة كالتالي:

1- بوابات منطقية.

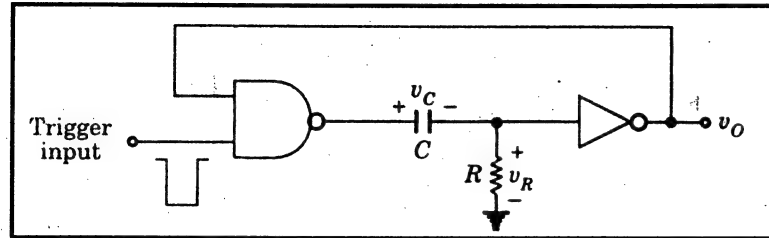
2- مكبرات العمليات Operational Amplifiers.

3- مذبذبات أحادية الإستقرار.

4- مؤقتات Timers.

2-2-7 مذبذب احادي استقرار:

يبين شكل (2-7) مذبذب احادي استقرار يستخدم البوابات.



شكل (2-7) مذبذب احادي استقرار

وتحت ظرف الحالة الثابتة، يكون الجهد على المقاومة R ($v_R = 0$)، أى يكون دخل العاكس عند المنطق 0، ومنه يصبح خرجه v_o عند المنطق 1، والآن وعند تطبيق نبضة الإشعال عند أحد مدخلى البوابة NAND (أى يصبح كلا من مدخليها عند المنطق 1)، وبالتالي يصبح خرجها منطق 0.

مما سبق نرى أن حالة الإتزان لهذه الدائرة تتحقق بوجود الخرج v_o عند المنطق 1، (ويمكن التأكد من أن وجود الخرج v_o عند المنطق 0 لا يحقق حالة إتزان للدائرة).

أما إذا تغيرت نبضة الإشعال من المنطق 1 إلى المنطق 0 (أى يصبح احد مدخلى البوابة NAND عند منطق 0) فبالتالى يصبح خرجها منطق 1، ومناظرة لذلك يصبح الجهد v_R عند المنطق 1، ومنه يتحول خرج العكس v_o إلى المنطق 0 والذي يعود لأحد دخلى بوابة NAND ممسكا خرجها عند المنطق 1، ومع إزدياد الخرج v_c أسيا بثابت زمن قدره: $\tau = RC$ ، يقل الجهد v_R إلى أن تصل قيمته إلى المنطق 0 والذي يؤدي بالتالى إلى تغير الخرج v_o إلى المنطق 1.

وبمجرد وصول دخلى البوابة NAND إلى المنطق 1، يصبح خرجه منطق 0 ويبدأ المكثف فى التفريغ خلال الدائرة الخارجية للبوابة NAND وتأتى الدائرة إلى الحالة الثابتة (ولا يجب إشعال الدائرة خلال فترة إستعادة الحالة).

فنفرض مثلاً انه عند الزمن: $t = 0$ يتغير V_1 (وهو دخل العاكس I_1) من منطق 0 إلى منطق 1، فيتغير الخرج V_2 إلى المنطق 0، إلا أنه وبسبب زمن تأخير الانتشار للعاكس Δt ، فإن هذا الخرج V_2 يظل منطق 1 لمدة هذا الزمن Δt ، وبعده (أى عند الزمن: $t = t_1$) يتغير إلى منطق 0، وهذا أيضاً يسبب تغير خرج العكس I_2 (دخله عند الزمن: $t = t_1$ كان منطق 0) إلا أنه وبسبب زمن تأخير الانتشار معاكس Δt ، فإن هذا الخرج يظل منطق 0 لمدة هذا الزمن Δt ، وبعده (أى عند الزمن: $t = t_2$) يتغير إلى منطق 1، وعند الزمن: $t = t_3$ ، يتغير V_1 من منطق 1 إلى منطق 0، وعند الزمن: $t = t_4$ يتغير الخرج V_2 من منطق 0 إلى منطق 1، كما يتغير الخرج V_3 من منطق 1 إلى منطق 0 عند الزمن: $t = t_5$ ، وتستمر هذه العملية بشكل غير محدد.

ويبين شكل (b,c,d-1-7) أشكال الموجة المختلفة، ومنها يمكن حساب زمن الدورة Time period للخرج، ويرمز له بالرمز T كالاتى:

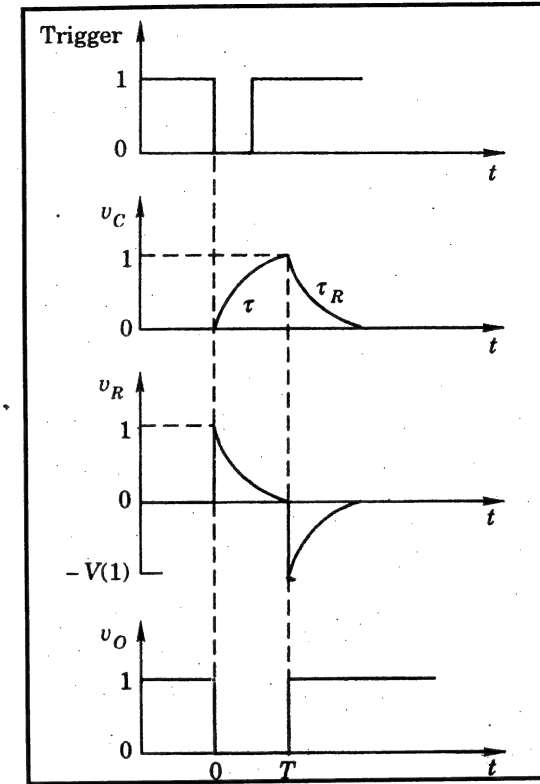
$$T = 6 \Delta t \quad (7-1)$$

ويكون Δt لبوابات المنطق TTL فى الحدود: 10 ns، أى أن: $T = 60$ ns، ومنها يصبح يصبح تردد عمل الدائرة:

$$f = 1/T = 1/60 \times 10^{-9} \\ \approx 16.6 \text{ MHz}$$

وفى هذه الدائرة لا يوجد أى نوع من التحكم فى تردد الموجة المربعة، كما أنه من الصعب تحديد زمن تأخير الانتشار للبوابة المنطقية بدقة وبالتالي تحديد قيمة تردد الموجة المربعة، ومن هنا لا يمكن إستخدامها فى نظام يتطلب ترددات دقيقة ومتزنة، إلا أنه وببساطة هذا النوع من الدوائر فإنها مفيدة متى تطلب الأمر الحصول على نبضات إشعال عالية التردد بدوائر رخيصة التكلفة، كما أنه من الممكن الحصول على تحكم فى تردد الموجة المربعة باستخدام عناصر زمنية (المقاومة والمكثف).

ويبين شكل (3-7) اشكال الموجة للمذبذب أحادي إستقرار .



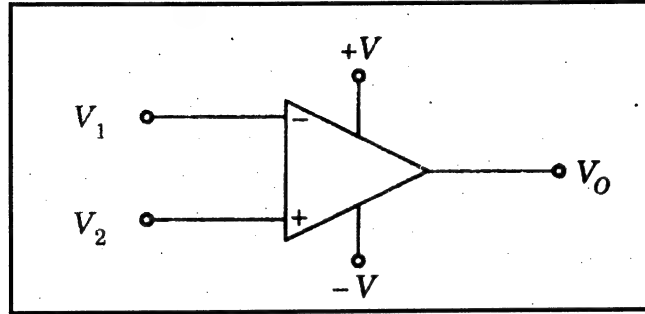
شكل (3-7) اشكال الموجة للمذبذب أحادي إستقرار

ومن الصعوبة الحصول على القيمة الدقيقة لفترة النبضة T وذلك بسبب عدم التأكد من قيم الجهود لمستوى المنطقيين 1 و 0 وأيضا زمن تأخير الإنتشار للبوابات، إلا أن هذه الدائرة مفيدة لبساطتها، ورخص ثمنها.

3-7 مكبرات العمليات وإستخداماتها في دوائر التوقيت:

مكبر العمليات Operational Amplifier (وللتبسيط يعرف بـ: OP AMP) هو مكبر تيار مستمر ذو كسب عالى جدا، وأساسا كان يُصمم باستخدام الصمامات المفرغة لأداء العمليات الحسابية كالجمع والضرب فى ثابت والتفاضل والتكامل... إلخ، كما أنه كان احد الأجزاء الأساسية فى بناء الحاسبات التناظرية، وبمرور الزمن أصبح

متوفراً كدائرة تكاملية خطية. وبسبب رخص ثمنها، وتعدد استخداماتها واعتماديتها أصبحت شائعة الأستعمال، ويتواجد هذا المكبر فى تطبيقات توليد أشكال الموجة المربعة والمثلثة والنبضية والماسحة Sweep والسلمية Staircase.



شكل (4-7) مكبر عمليات OP AMP

ويبين شكل (4-7) مكبر عمليات، وللمكبر مدخلين (-) و (+) ويعرف الأول بـ: المدخل العكس Inverting input بينما يعرف الآخر بـ: مدخل غير العكس Non-inverting input، ويطبق جهد الدخل V_1 بين المدخل العكس والأرضى، فى حين يطبق جهد الدخل V_2 بين المدخل غير-العكس والأرضى (والأرضى غير موجود فى الشكل، إلا أنه مأخوذ من أرضى المنابع +V و -V) أما الخرج V_O فمأخوذ بين نهاية المخرج والأرضى فإذا كان V_i هو فرق فى الجهد بين جهدى الدخل V_1 و V_2 أى أن:

$$V_i = V_1 - V_2$$

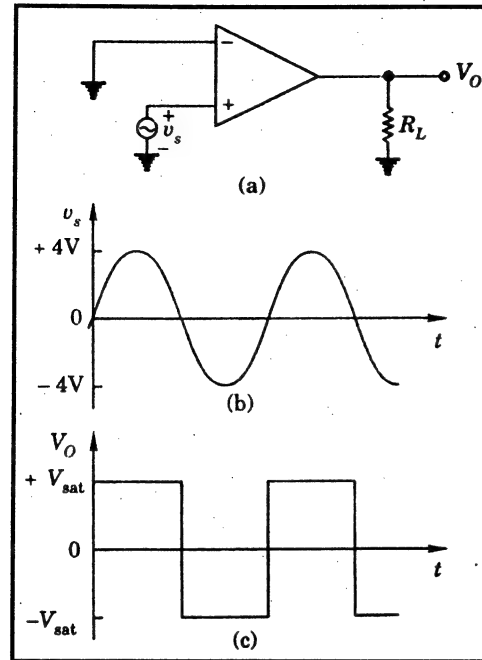
فإن جهد الخرج V_O يعتمد على هذا الفرق V_i بحيث يكون:

$$V_O = A_v \cdot V_i \quad (7-2)$$

حيث:

A_v : كسب الجهد للمكبر، والذي يؤول إلى قيمة سالبة كبيرة جداً (ومثالاً: $A_v \rightarrow -\infty$).

ومن المعادلة (2-7) نلاحظ أن قطبية جهد الخرج مثل قطبية جهد دخل غير-العكس، وعكس قطبية جهد دخل العكس.



شكل (5-7) الدائرة ، وأشكال الموجة للمثال (a-1-7)

فعند مرور الدخل بالصفر أثناء تغيره من القيمة السالبة إلى القيمة الموجبة، يتغير تبعاً لذلك الخرج من $-V_{sat}$ إلى $+V_{sat}$ ، وبالمثل عند مرور الدخل بالصفر أثناء تغيره من القيمة الموجبة إلى القيمة السالبة، يتغير تبعاً لذلك الخرج من $+V_{sat}$ إلى $-V_{sat}$.

ب- ومع توصيل مدخل غير-العكس بالأرضى وتطبيق جهد المنبع إشارة عند مدخل العكس كالدائرة المبينة في شكل (a-6-7)، كما يبين شكل (b-6-7) شكل الموجة للدخل V_s ، وشكل (c-6-7) شكل الموجة للخرج V_o .

ج- بتطبيق جهد مرجعي V_{ref} قيمته $+3V$ عند مدخل العكس، وتطبيق إشارة جيبية بقيمة $5V$ عند مدخل غير-العكس كالدائرة المبينة في شكل (a-7-7)، ومتى كان الجهد V_s أكبر من V_{ref} فيكون الخرج $+V_{sat}$ ، ومتى كان أقل من V_{ref} فيكون الخرج $-V_{sat}$ ، يبين شكل (b-7-7) شكل الموجة للدخل V_s ، وشكل (c-7-7) شكل الموجة للخرج V_o .

وحيث أن قيمة A_v كبيرة جداً (حيث تصل في الغالب إلى 200,000 أو أكثر)، فعلى هذا يكون جهد الدخل صغيراً جداً ($V_i \approx 0$) وبالتالي لايزيد جهد الخرج عن جهد التشبع الموجب $+V_{sat}$ ، أو السالب $-V_{sat}$ ، وتكون أقل بحوالي 2V من جهود المنبع $+V$ ، و $-V$ ، فإذا كان جهدا المنبع: ± 15 فيكون: $V_{sat} = +13V$ ، ويكون: $-V_{sat} = -13V$ ، ومنه يكون الخرج مقيداً بتأرجح قمة-قمة Peak-to-peak بقيمة: $\pm 13V$.

1-3-7 مكر العمليات كمقارن :

يمكن استخدام مكبر العمليات كمقارن تناظري في مقارنة إشارتين تناظريتين، حيث يتم تطبيق إشارتي المقارنة عند المدخلين وتبين المقارنة من قطبية جهد الخرج، كما تكون V_{sat} هي قيمة جهد الخرج، وهو يمثل وحدة البناء الأساسية المطلوبة في مولدات أشكال الموجة الغير جيبية.

مثال (1-7) :

إوجد أشكال موجة الخرج لمكبر عمليات تحت الظروف التالية:

- أ- مدخل العكس موصل بالأرضى، ومطبق إشارة جيبية بقيمة 4V عند مدخل غير-العكس.
- ب- مدخل غير-العكس موصل بالأرضى، ومطبق إشارة جيبية بقيمة 4V عند مدخل العكس.
- ج- مطبق جهد قيمته $+3V$ عند مدخل العكس، ومطبق إشارة جيبية بقيمة 5V عند مدخل غير-العكس.

الحل :

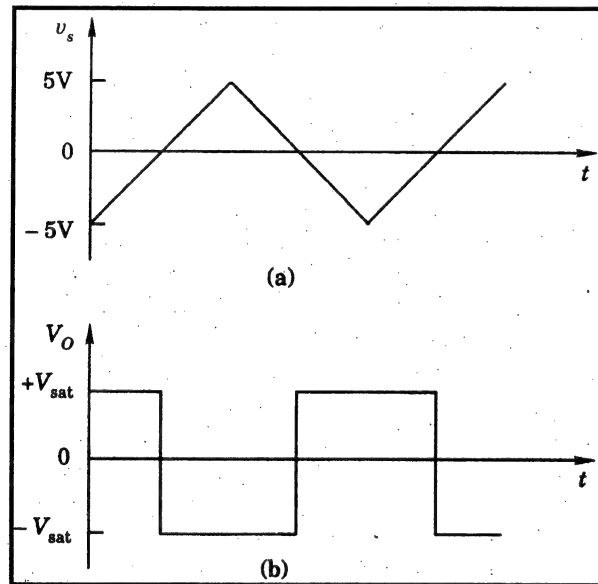
- أ- يبين شكل (a-5-7) الدائرة وفيها مدخل العكس موصل بالأرضى، بينما مدخل غير العكس موصل بجهد المنبع، كما يبين شكل (b-5-7) شكل الموجة للدخل V_s ، وشكل (c-5-7) شكل الموجة للخرج V_o .

مثال (2-7) :

عند تطبيق شكل الموجة المثلثة المبينه في شكل (a-8-7) على الدائرة المبينه في شكل (a-6-7)، فمطلوب معرفة شكل موجة الخرج، وعند تعرض الدائرة لضوضاء كما هو ممثل في شكل (a-9-7) فاوجد أشكال الموجة الدخل والخرج الفعالة.

الحل :

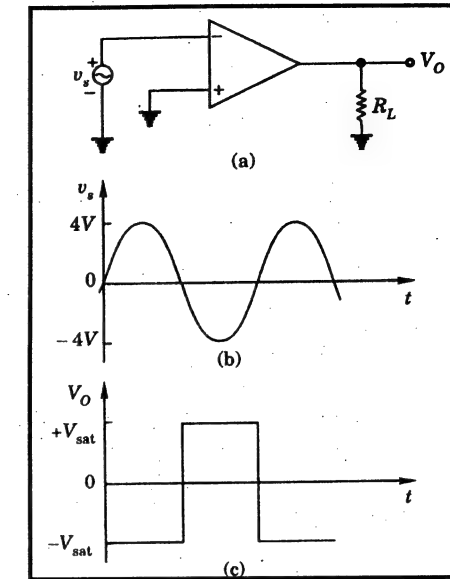
أ- في هذه الدائرة يكون: $V_{ref} = 0$ ، ولهذا يتغير الخرج متى مر الدخل بالنقطة صفر، ويبين شكل (b-8-7) شكل الموجة للخرج.



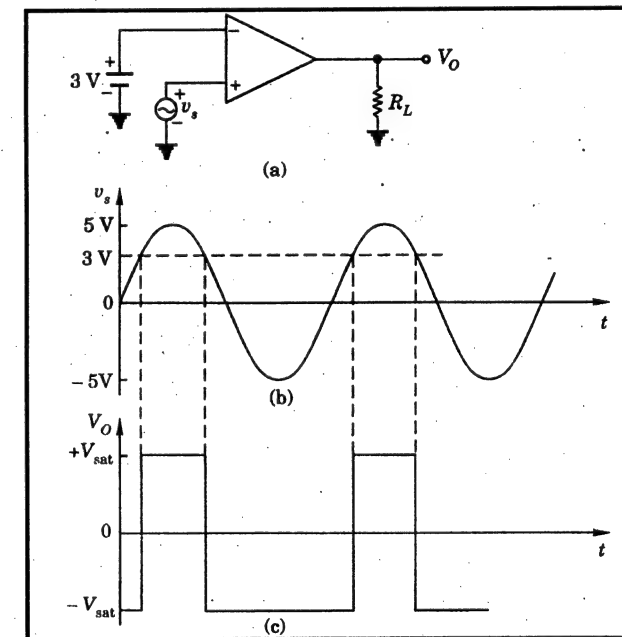
شكل (8-7) a- شكل موجة مثلثة مطبقة على دائرة المقارن في شكل (a-6-7)

b- أشكال الموجة للخرج

وللتبسيط ، نفرض أن جهد الضوضاء يأخذ شكل الجيب ، ويأخذ الدخل V_i خليط من شكل الموجة المثلثة والضوضاء كما هو مبين في شكل (b-9-7)، أما شكل (c-9-7) فيبين شكل الموجة للخرج والذي يبين التحول الإنتقالي الكاذب لشكل موجة الخرج بسبب الضوضاء.



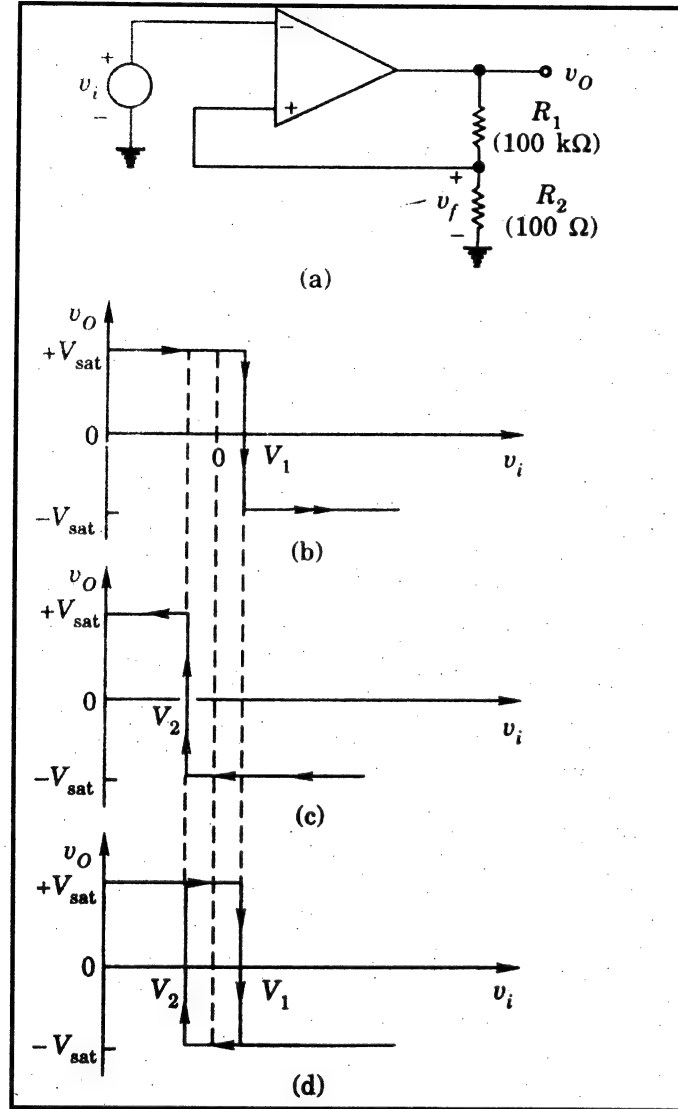
شكل (6-7) الدائرة وأشكال الموجة للمثال (b-1-7)



شكل (7-7) الدائرة وأشكال الموجة للمثال (c-1-7)

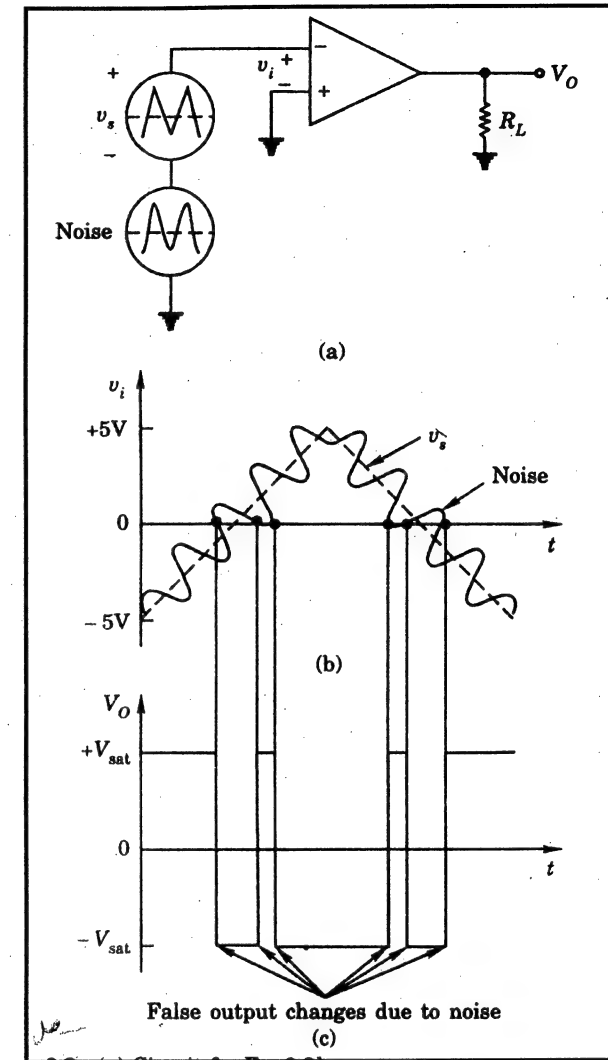
وبين شكل (a-10-7) دائرة إشعال شميت، حيث تطبق تغذية عكسية موجبة بأخذ جزء V_f من جهد الخرج Fraction وإدخاله على المدخل غير-العكس، حيث:

$$V_f = R_2 V_O / (R_1 + R_2)$$



شكل (10-7) a- دائرة عاكس إشعال شميت

b- منحنى الدخل-الخرج بازدياد V_i c- منحنى الدخل-الخرج بنقصان V_i
d- منحنى الدخل-الخرج الكامل



شكل (9-7) دائرة المثال (b-2-7)، أشكال الموجة للدخل والخرج

2-3-7 المقارن المتعدد:

حيث أنه من غير الممكن إزالة جهد الضوضاء فيكون من المستحسن منع الدائرة من الإحساس بهذه التغيرات الكاذبة عند الدخل، وهذا مايمكن تحقيقه باستخدام تغذية عكسية موجبة في الدائرة وبما يشار إليه بـ "المقارن المتعدد" Regenerative comparator والمعروف بـ "إشعال شميت" Schmitt trigger.

فلندع: $V_0 = +V_{sat}$ و $V_i < V_f$ ، فإذا كانت V_i في الإزدياد فسيظل الخرج V_0 ثابتاً عند القيمة V_{sat} ، ومنه يكون:

$$V_f = R_2 V_{sat} / (R_1 + R_2)$$

والذي يظل أيضاً ثابتاً حتى:

$$V_i = V_1 = \{ R_2 / (R_1 + R_2) \} \cdot V_{sat} \quad (7-3)$$

وعند هذا الجهد V_1 (والذي يعرف بـ "جهد الإشعال الأعلى" Upper-triggering Voltage V_{UT}) يتحول الخرج v_0 إلى $-V_{sat}$ ويظل هكذا طالما $V_i > V_1$ ، ويبين شكل (b-10-7) منحنى العلاقة بين الدخل والخرج.

وعند: $V_i > V_1$ يكون الجهد عند مدخل غير-العكس V_f :

$$V_f = -\{ R_2 / (R_1 + R_2) \} \cdot V_{sat}$$

وبنقصان v_i يظل الخرج عند $-V_{sat}$ حتى يصبح v_i مساوياً V_2 حيث:

$$V_2 = -\{ R_2 / (R_1 + R_2) \} V_{sat} \quad (7-4)$$

وعند هذا الجهد V_2 (والذي يعرف بـ "جهد الإشعال الأدنى" Lower-triggering Voltage V_{LT}) يتحول الخرج v_0 إلى $+V_{sat}$ ويظل هكذا طالما $V_i < V_2$ ، ويبين شكل (c-10-7) المنحنى المميز للعلاقة بين الدخل والخرج، كما يبين شكل (d-10-7) منحنى العلاقة بين الدخل والخرج الكامل، وحيث تقطع الأجزاء التي بدون أسهم في كلا الإتجاهين، بينما يمكن الحصول على الأجزاء ذات الأسهم بتغيير V_i كما هو مشار بالأسهم، كما يبين هذا المنحنى فعل التخلف Hysteresis في هذه الدائرة، ويسمى الفرق بين الجهدين V_{UT} و V_{LT} بجهد التخلف Hysteresis voltage ويرمز له V_H .

مثال (3-7) :

أ- في دائرة إشعال شميت الميينة في شكل (a-10-7)، إذا كان: $V_{sat} = 13 \text{ V}$ ، فأوجد: V_{UT} و V_{LT} .

ب- إذا كان: $v_i = 5 \sin \omega t$ ، فأوجد شكل الموجة لجهد الخرج.

الحل :

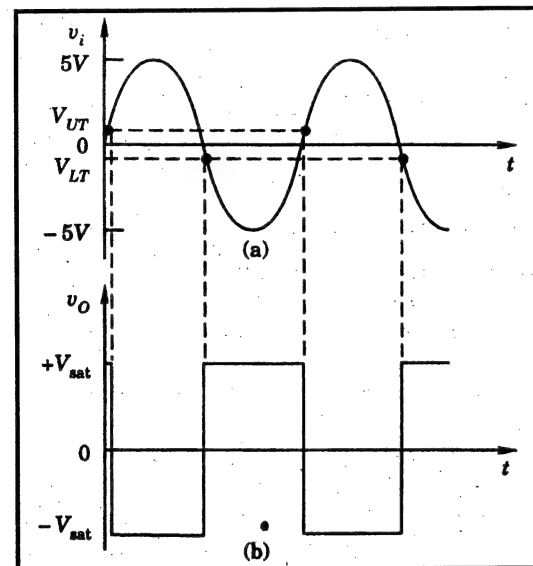
أ- * لإيجاد V_{UT} :

$$V_{UT} = \{ 0.1/100.1 \} \cdot 13 = 13 \text{ mV}$$

* لإيجاد V_{LT} :

$$V_{LT} = \{ 0.1/100.1 \} \cdot (-13) = -13 \text{ mV}$$

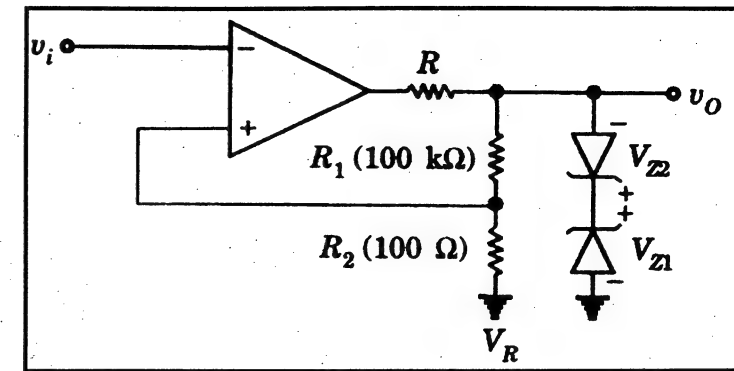
ب- يبين شكل (11-7) أشكال الموجة للدخل والخرج للدائرة.



شكل (11-7) أشكال الموجة للدخل والخرج لدائرة المثال (3-7)

تحديد جهد الخرج :

في مكبر العمليات نجد أن مستويات جهد الخرج محددة بين $+V_{sat}$ و $-V_{sat}$ ومعتمدة على جهود التغذية، ويمكن ألا تتناسب مستويات هذه الجهود لمستويات جهود مطلوبة لحمل خاص، فمثلاً تتطلب عائلة TTL جهود دخل في حدود $+5\text{V}$ و 0V ولتحديد جهود الخرج (والتي لا تعتمد على جهود قدرة التغذية) يستخدم عدد 2 زينر دايمود موصلة ظهر بظهر Back-to-back كما هو مبين في شكل (12-7)، وحيث تستخدم المقاومة R لتحديد التيار في الدايمودات.



شكل (7-12) دائرة مقارن بجهد خرج محدد

وفي هذه الدائرة حساب كل من جهد الإشعال الأعلى V_{UT} ، وجهد الإشعال الأدنى V_{LT} كالآتي:

$$V_{UT} = \frac{R_2}{R_1 + R_2} (V_{Z1} + V_D) + \frac{R_1}{R_1 + R_2} V_R \quad (5-7)$$

$$V_{LT} = -\frac{R_2}{R_1 + R_2} (V_{Z2} + V_D) + \frac{R_1}{R_1 + R_2} V_R \quad (5-8)$$

حيث :

V_D : جهد الإنحياز الأمامي للدايود ($\approx 0.7 V$).

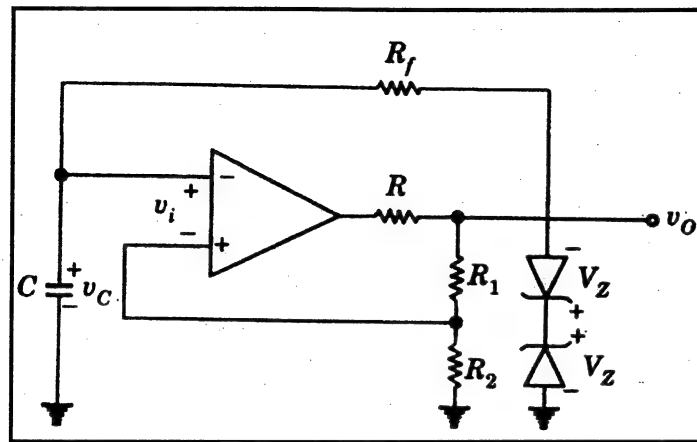
V_{Z1} ، و V_{Z2} : جهود الدايدوات.

وتكون جهود الخرج: $(V_{Z1} + V_D)$ و $(V_{Z2} + V_D)$ ، وإذا تم إدخال إشارة الدخل v_i بدلا من الجهد المرجعي V_R ، وإدخال الجهد المرجعي V_R عند مدخل العكس فنحصل على مقارن غير عكس.

7-3-3 المذبذب الغير مستقر:

المذبذب الغير مستقر هو مولد نبضات مربعة Square-wave generator، والشكل (7-13) عبارة عن دائرة المقارن التي تمت مناقشتها في الجزء السابق، وفيها دائرة مرشح تردد منخفض Low-pass RC (المكونة من المقاومة R_f و المكثف C) والتي

تقوم بدمج وتوحيد Integrate جهد الخرج V_0 ، كما أن الجهد خلال المكثف C يطبق على المدخل العكس بدلا من الإشارة الخارجية.



شكل (7-13) المذبذب الغير مستقر

فإذا كان: $V_i < 0$ ، فيكون:

$$V_0 = V_Z + V_D = V_0$$

أما إذا كان: $V_i > 0$ ، فيكون:

$$V_0 = -(V_Z + V_D) = -V_0$$

ونفرض أنه عند لحظة ما عندما يكون $V_i < 0$ ، لهذا يكون: $V_0 = V_0$ ، ويكون الجهد عند المدخل غير-العكس:

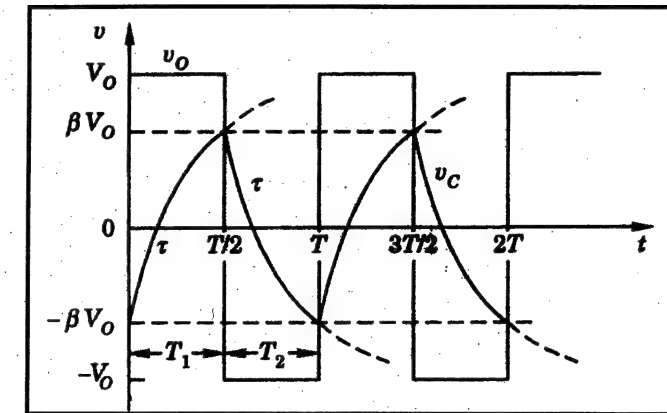
$$= R_2 V_0 / (R_1 + R_2)$$

$$= \beta V_0$$

$$\text{حيث: } \beta = R_2 / (R_1 + R_2)$$

ويبدأ المكثف C في الشحن أسياً في اتجاه الجهد V_0 بثابت زمني قيمته: $R_f C$ ، ويظل جهد الخرج ثابتاً عند القيمة V_0 حتى يصبح الجهد عبر المكثف مساوياً: βV_0 وهو في الوقت نفسه يكون مساوياً: V_{UT} ، فعنده يتغير جهد الخرج v_0 إلى الجهد $-V_0$ ، وهنا يتغير الجهد V_c أسياً في اتجاه الجهد $-V_0$ بنفس الثابت الزمني، ثم يتغير

الخرج V_0 مرة ثانية من $-V_0$ إلى $+V_0$ عندما يصبح الجهد عبر المكثف مساوياً: βV_0 ، وهو في الوقت نفسه يكون مساوياً: V_{LT} ، ويبين شكل (7-14) أشكال الموجة لكل من جهد المكثف V_C ، وجهد الخرج V_0 .



شكل (7-14) أشكال الموجة لكل من جهد المكثف V_C ، وجهد الخرج V_0

وتتحدد المدة الزمنية Time period والتي يرمز لها T والتي تخص شكل الموجة المربعة باستغلال الشحن والتفريغ للمكثف، حيث يحدد الجهد عبر المكثف V_C عند شحنه من βV_0 إلى V_0 كالتالي:

$$V_C = V_0 [1 - (1 + \beta) e^{-t/\tau}] \quad (7-7)$$

حيث: $\tau = R_f C$

فعند: $t = T/2$ ، يكون: $V_C = \beta V_0$ ، وعلى هذا يكون:

$$T = 2 \tau \ln \left\{ \frac{(1+\beta)}{(1-\beta)} \right\} = 2 R_f C \ln \left\{ 1 + \frac{2R_2}{R_1} \right\} \quad (7-8)$$

ولا يعتمد تردد الموجة المربعة: ($f = 1/T$) على الجهد V_0 ، ويكون للدائرة السابقة حالتين شبه استقرار، حيث يظل الخرج عند إحدى هاتين الحالتين لفترة زمنية T_1 ، ثم ينتقل فجائياً إلى الحالة الثانية ويظل فيها لفترة زمنية T_2 ، وتكرر هذه الدورة للفترة الزمنية ($T = T_1 + T_2$)، ومن هنا تعرف هذه الدائرة بالمذبذب الغير مستقر Astable M.V.، أو الحر Free-running.

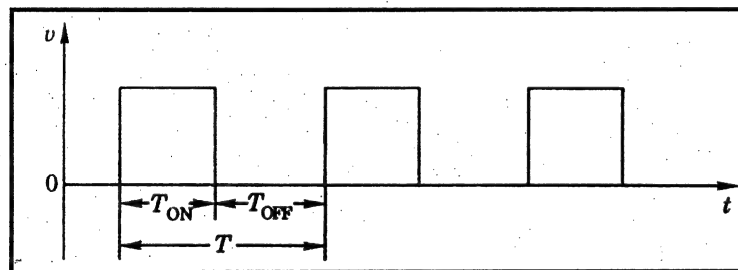
ويكون مولد النبضات المربعة هذا مفيداً عند مدى التردد من 10Hz إلى 10KHz، ويعتمد تماثل شكل موجة الخرج على مواعمة الداويدين، كما يمكن الحصول على عدم تماثل الموجة المربعة (أي أن $T_1 \neq T_2$) عند استخدام ثوابت زمنية مختلفة عند شحن المكثف إلى الجهدين V_0 ، و $-V_0$.

معامل دورة العمل (D.C.) Duty cycle :

ويطلق هذا المعامل على أشكال الموجة المربعة الغير متماثلة Unsymmetrical وهو يمثل النسبة المئوية لزمان بقاء الخرج عند المستوى العالي HIGH، أي:

$$D.C. = \{T_{ON} / (T_{ON} + T_{OFF})\} \cdot 100 \quad (7-9)$$

حيث: كل من T_{ON} و T_{OFF} مبيّنة في شكل (7-15)



شكل (7-15) تعريف T_{ON} و T_{OFF} لموجة مربعة متكررة

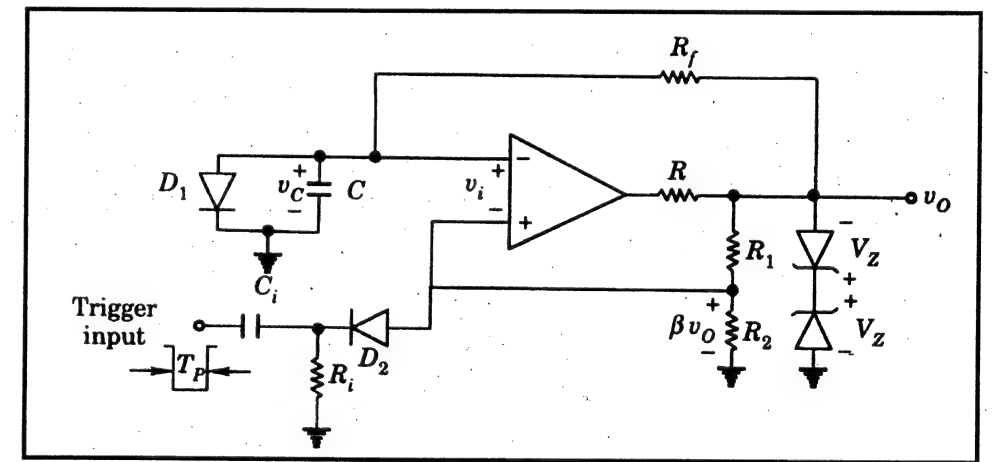
7-3-4 مذبذب أحادي الاستقرار:

المتذبذب الأحادي الاستقرار Monostable M.V. له حالة إتران واحدة يظل عليها حتى تُطبق نبضة إشعال تتحول الدائرة على أثرها إلى الحالة الأخرى (أي تتحول الحالة من الحالة المنخفضة LOW إلى الحالة العالية HIGH، أو تتحول الحالة من الحالة العالية HIGH إلى الحالة المنخفضة LOW)، وتعرف حالة الدائرة عندئذ بالحالة الشبة مستقرة Quasi-stable state، وتستمر حالة الدائرة كهذا لفترة زمنية Time duration، وتتوقف هذه الفترة الزمنية T على قيم العناصر المستخدمة في الدائرة، ثم تعود بعدها إلى حالة الاستقرار دون أية نبضات إشعال خارجية، ومن هنا نجد أن الدائرة تقوم بتوليد نبضة خرج مفردة كاستجابة لنبضة دخل مفردة،

ومن هنا جاءت تسميتها بدائرة الطلقة الواحدة One-shot، أو دائرة الطلقة المفردة Single-shot.

وقد تم تعديل المذبذب غير المستقر المبين في شكل (13-7) ليعمل كمذبذب أحادي إستقرار بتوصيل دايود D_1 على التوازي مع المكثف C بحيث يُمسك جهد المكثف V_C عند الجهد V_D (جهد الإنحياز الأمامي للدايود ويساوى تقريباً: 0.7 V) خلال الرحلة الموجبة.

وتحت ظرف الحالة الثابتة، تظل هذه الدائرة في حالتها المستقرة بجهد الخرج عند: V_0 ، ويُمسك جهد المكثف V_C عند الجهد V_D ، وعند: $V_1 < 0$ يجب ألا يقل الجهد V_D عن: βV_0 ، (ملحوظة: يمكن التأكد من أن هذه الدائرة - تحت ظرف الحالة الثابتة - لا يمكن أن تكون في حالة أخرى، كأن يكون جهد الخرج V_0 عند: $-V_0$)، ويمكن نقل حالة الدائرة إلى الحالة الأخرى، بتطبيق نبضة إشعال سالبة ذات سعة أكبر من: $(\beta V_0 - V_0)$ عند المدخل غير-العكس ومن خلال دائرة مرشح تردد عالى $(R_f C_i)$ High-pass RC ودايود D_2 ، وكما يتضح في الدائرة الكاملة للمذبذب أحادي الإتجاه في شكل (16-7).



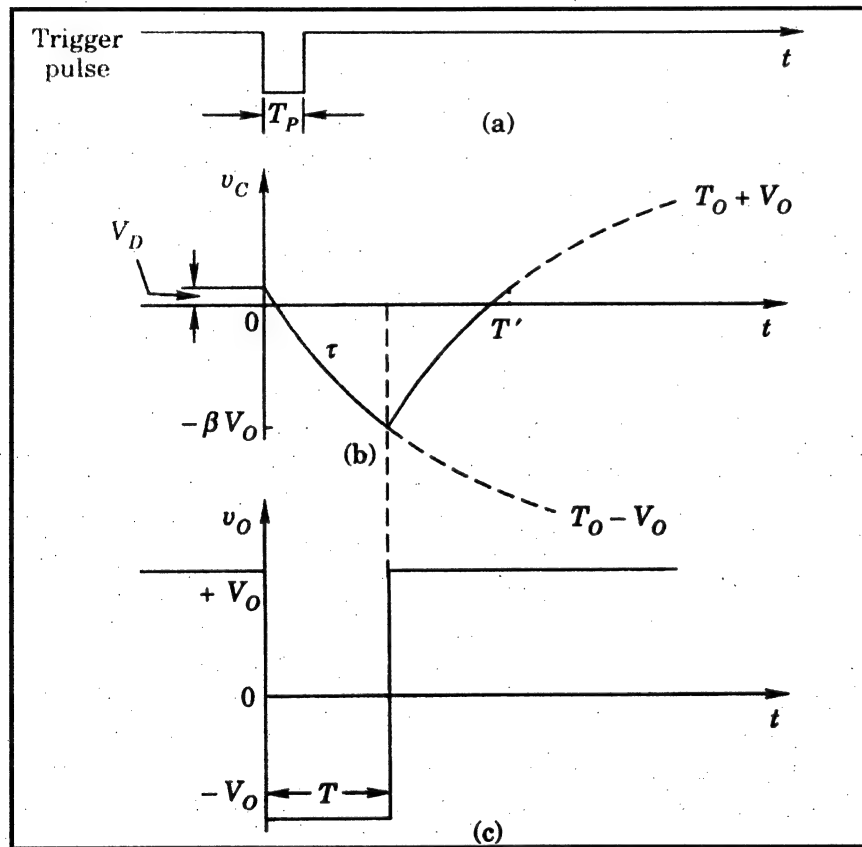
شكل (16-7) دائرة المذبذب أحادي الإتجاه

وعند تطبيق نبضة الإشعال يصبح جهد الدخل V_1 موجباً مسبباً تغير حالة الدائرة $(V_0 = -V_0)$ وهنا يُشحن المكثف C أسياً بثابت زمنى: $(\tau = R_f C)$ فى إتجاه $(-V_0)$

والدايود D_1 فى إنحياز عكسى، وعندما يصبح الجهد V_C أكثر سالبية من: βV_0 ، - يصبح جهد الدخل V_1 سالباً، وبالتالي يعود الخرج إلى الجهد $+V_0$.

ويتضح من التحليل السابق أن للدائرة حالة إستقرار واحدة، وحالة واحدة شبه مستقرة، كما أن عرض نبضة الإشعال T_P يجب أن يكون أقل بكثير من زمن نبضة الخرج T ، كما أن الدايود D_2 مستخدم لتفادى أى عطب Malfunction فى الدائرة يحدث بسبب أى سنون ضوضاء موجبة تتواجد فى خط الإشعال.

وبين شكل (17-7) نبضة الإشعال، وأشكال الموجة للجهدين V_C و V_0 .



شكل (17-7) نبضة الإشعال، وأشكال الموجة للجهدين V_C و V_0

وخلال حالة شبه الإستقرار، يحسب الجهد V_C من العلاقة:

$$V_C = -V_0 + (V_0 + V_D) e^{-t/\tau} \quad (7-10)$$

وعند $t = T$ ، يكون: $V_C = -\beta V_0$ وعلى هذا يكون:

$$T = \tau \ln \{(1+V_D/V_0)/(1-\beta)\} \quad (7-11)$$

وعادة يكون: $V_D \ll V_0$ ، أى أن $V_D/V_0 \approx 0$ ، ومنه:

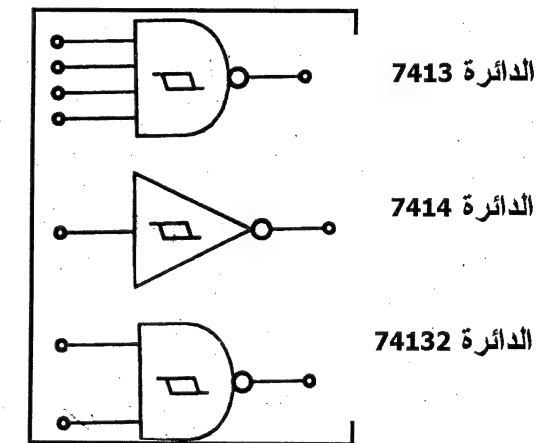
$$T = \tau \ln (1-\beta)$$

وبفرض أن: $R_1 = R_2$ ، ومنه يكون: $\beta = 0.5$ ، عندئذ يصبح:

$$T = 0.69 R_f \cdot C \quad (7-12)$$

وتصل الدائرة إلى ظرف الحالة الثابتة عند الزمن T' ، وتُعرف الفترة الزمنية:

($T - T'$) بزمن الاقافة Recovery time، كما يجب عدم إشعال الدائرة مرة ثانية قبل مرور زمن T' لضمان التشغيل الصحيح.



4-7 الدوائر التكاملية لإشعال شميت :

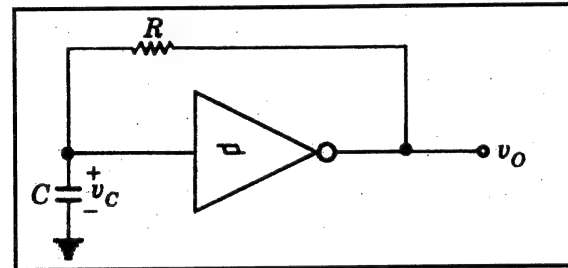
يبين جدول (1-7) بعض الدوائر التكاملية لإشعال شميت وللبوابات TTL، ونجد أن: $V_{UT} = 1.7V$ و $V_{LT} = 0.9V$ بينما فى بوابات CMOS نجدها $3.6V$ ، $1.2V$ على الترتيب عند عملها عند: $V_{CC} = 5V$ ، ويتغير خرج هذه الدوائر سريعاً كباقي خروج دوائر TTL، إلا أنها يمكنها الإستجابة للدخول المتغيرة البطيئة .

جدول (1-7)

رقم الدائرة	الوصف
7413	مشعلات شميت : بوابة NAND بـ 4-مدخل ، مزدوجة
7414	16 عاكسات مشعلات شميت
74132	مشعلات شميت : بوابة NAND بـ 2-مدخل ، رباعية

وتمثل رموز هذه الدوائر كالاتى :

7-4-1 مولد الموجة المربعة فى دوائر إشعال شميت :



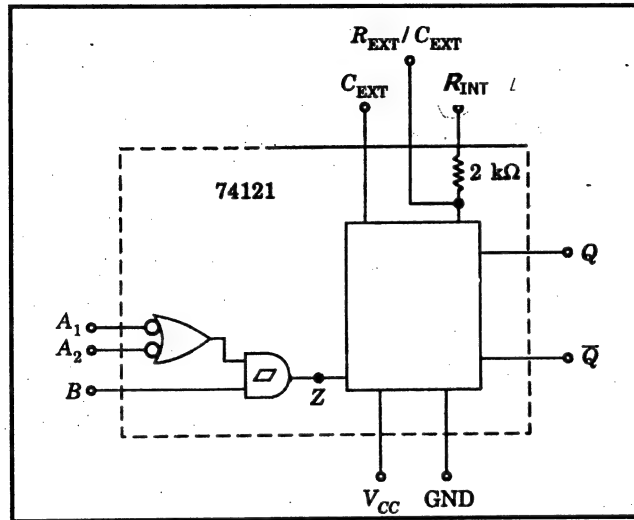
شكل (7-18) مولد موجة مربعة فى دوائر إشعال شميت

باستخدام عاكس إشعال شميت يمكن عمل مولد موجة مربعة بسيط جداً كما هو مبين فى شكل (7-18) فعندما يكون الخرج v_0 عالى HIGH، يُشحن المكثف C بثابت زمنى قدره: $\tau = RC$ ، وعند وصول جهد المكثف V_C إلى القيمة: V_{UT} ، يتغير الخرج v_0 ليصبح منخفضاً LOW، عندئذ يُفرغ المكثف C فى ترانزستور خرج البوابة والذي يكون فى التشبع، وعند وصول جهد المكثف V_C إلى القيمة: V_{LT} ، يتغير الخرج v_0 ليصبح عالياً HIGH، وتستمر هذه العملية وتتولد نبضة مربعة عند الخرج v_0 ، وكما هو مبين فى شكل (7-19).

ويمكن حساب زمن دورة T الموجة المربعة كالاتى :

7-5-1 مذبذب أحادي إستقرار 74121 :

يبين شكل (20-7) المخطط الوظيفي للدائرة التكاملية للمذبذب أحادي الإستقرار الطلقة الواحدة طراز TTL IC 74121 ، كما يبين شكل (21-7) الجدول الوظيفي له.



شكل (20-7) المخطط الوظيفي للدائرة التكاملية للمذبذب أحادي الإستقرار 74121

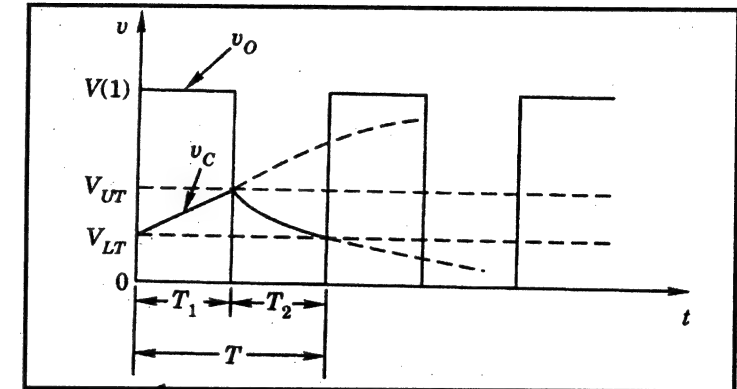
الدخول			الخروج	
A ₁	A ₂	B	Q	\bar{Q}
0	X	1	0	1
X	0	1	0	1
X	X	0	0	1
1	1	X	0	1
1	↓	1	⎓	⎓
↓	1	1	⎓	⎓
↓	↓	1	⎓	⎓
0	X	↑	⎓	⎓
X	0	↑	⎓	⎓

شكل (21-7) الجدول الوظيفي للدائرة 74121

$$T = T_1 + T_2 = RC \left(\ln \frac{V(1) - V_{LT}}{V(1) - V_{UT}} + \ln \frac{V_{UT}}{V_{LT}} \right) \quad (7-13)$$

حيث:

V(1): المنطق 1 لجهد الخرج .



شكل (19-7) أشكال الموجة لمولد نبضة مربعة

5-7 الدوائر التكاملية للمذبذبات أحادية الإستقرار :

تتوافر بعض المذبذبات أحادية الإستقرار المفيدة على شكل دوائر تكاملية، ومن هذه الأنواع ما هو موضح في جدول (2-7).

جدول (2-7)

رقم الدائرة	الوصف
74121	مذبذب أحادي إستقرار (طلقة واحدة)
74122	مذبذب أحادي إستقرار مجدد الإشعال Retriggerable بمسح
74123	مذبذب أحادي إستقرار مجدد الإشعال Retriggerable بمسح، مزدوج
74221	مذبذب أحادي إستقرار بمسح ، مزدوج

ويتم وصف بعض هذه الدوائر كالتالي.

ولإشعال الدائرة، يلزم وجود حافة نبضة صاعدة Rising pulse edge عند النقطة Z في الدائرة، وهذا يمكن تحقيقه بإحدى الطريقتين الآتيتين:

1- أن يكون أحد دخلي A أو كلاهما عند المنطق 0، بينما يتغير الدخل B من منطق 0 إلى منطق 1 (↑).

2- أن يكون الدخل B عند المنطق 1، بينما يتغير أحد دخلي A من منطق 1 إلى منطق 0 (↓) ويظل الدخل الآخر عند المنطق 1، أو يتغير الدخلين A من منطق 1 إلى منطق 0 (↓) في آن واحد.

ويعتمد زمن نبضة الخرج على قيم المقاومة R_{EXT} أو R_{INT} والمكثف C_{EXT} المستخدمة، كما يوصل مكثف توقيت Timing capacitor خارجياً بين الطرفين المُرْزَين R_{EXT}/C_{EXT} و C_{EXT} (عند استخدام مكثف إلكتروليتي، توصل نهايته الموجبة بالطرف R_{EXT}/C_{EXT} ، وتبلغ أقصى قيمة لهذا المكثف : $1,000 \mu F$)، وإذا لم يستخدم هذا المكثف، فسوف تظهر سعة شاردة Stray capacitance بين مسامير توصيل الدائرة التكاملية منتجة خرج بعرض نبضة صغير.

ويوجد إختيارين لمقاومة التوقيت: إما توصيل نهاية الطرف R_{INT} بالنهاية V_{CC} للحصول على مقاومة توقيت داخلية فعالة R_{INT} بقيمة $2 K\Omega$ ، أو توصيل مقاومة توقيت خارجية R_{EXT} بين النهاية R_{EXT}/C_{EXT} والنهاية V_{CC} تصل قيمتها ما بين $1.4 K\Omega$ و $40 K\Omega$.

وفي أي حال لا يجب استخدام R_{EXT} و R_{INT} في وقت واحد، وبحسب زمن نبضة الخرج من العلاقة:

$$T_{ON} \approx 0.7 RC \quad (7-14)$$

حيث: R و C قيم مقاومة التوقيت ومكثف التوقيت على الترتيب.

وأقل عرض نبضة ممكن يكون في الحدود من 30 ns إلى 35 ns (باستخدام المقاومة R_{INT} وبدون المكثف C_{EXT}) وأقصى عرض نبضة ممكن يكون في الحدود 28 S (باستخدام: $R_{EXT} = 40 K\Omega$ و $C_{EXT} = 1,000 \mu F$).

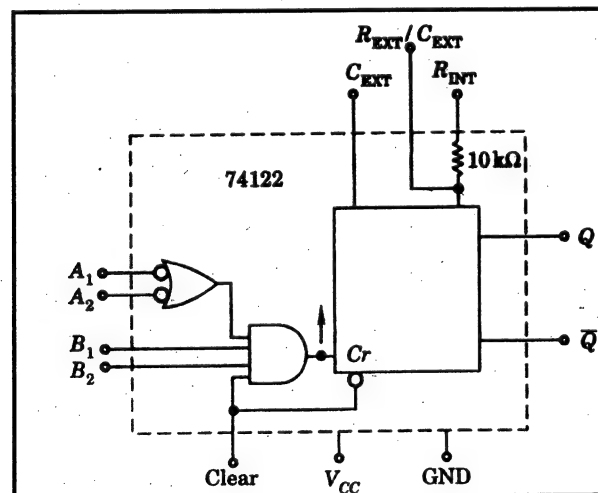
ويكون أقصى معامل دورة خدمة D.C. مسموح به حوالي 67% بالمقاومة R_{INT} ، ويصل إلى 90% بالمقاومة: $R_{EXT} = 40 K\Omega$.

ويتم تطبيق الدخول A على بوابة TTL عادية ولهذا يجب أن تعمل هذه الدخول إنتقالات سريعة، أما الدخل B فيطبق على دخل إشعال شमित والذي يستجيب للدخول البطيئة التغير، ولهذا إذا كان المطلوب شكل موجة بطيئة لإشعال المذبذب فتطبق عند المدخل B.

7-5-2 مذبذب أحادي استقرار مجدد الإشعال 74122، و 74123:

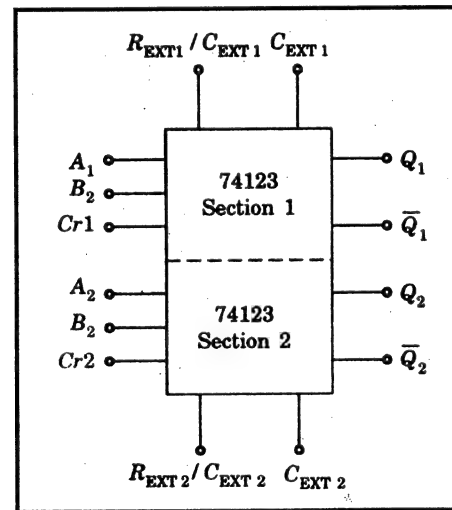
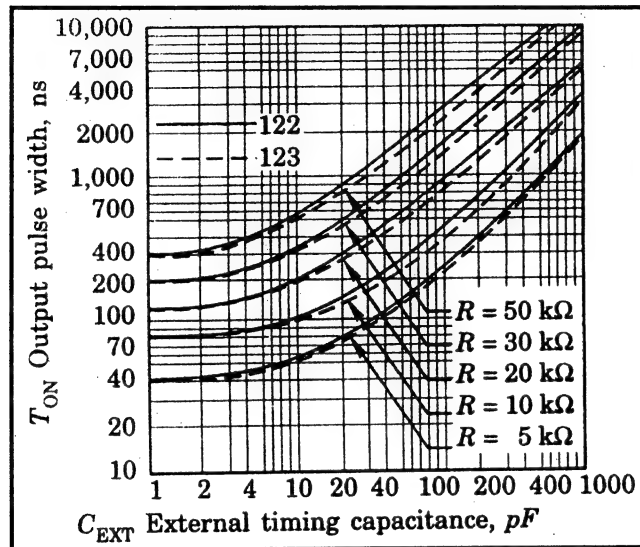
تمثل الدائرة 74121 التي تمت مناقشتها مسبقاً، دائرة مذبذب غير مجدد الإشعال Non-retriggerable، بمعنى أن المذبذب يستجيب لنبضة الإشعال فقط عندما يكون في حالة السكون، أما المذبذب الأحادي الإستقرار مجدد الإشعال Retriggerable فإنه يستجيب لنبضة الإشعال حتى ولو كان في الحالة شبه المستقرة (حالة القفل ON)، حيث يقوم المذبذب بتحرير التوقيت Reset the timing ولا يصل إلى الحالة الثابتة (حالة الفتح OFF) إلا بعد مرور فترة زمنية تكفي لنبضة واحدة بعد تطبيق آخر نبضة إشعال، ومن هنا يصبح معامل دورة العمل D.C. غير محدد.

وبين شكل (7-22) المخطط الوظيفي للدائرة التكاملية للمذبذب 74122، كما يبين شكل (7-23) الجدول الوظيفي له.



شكل (7-22) المخطط الوظيفي للدائرة التكاملية للمذبذب 7412

أما الدائرة 74123 مذبذب أحادي إستقرار مجدد الإشعال Retriggerable مزدوج، ويتشابه عملها كعمل الدائرة 74122 فيما عدا أن مقاومة التوقيت الداخلية غير موجود، ويبين شكل (7-24) المخطط الوظيفي للدائرة التكاملية للمذبذب 74123، كما يبين شكل (7-25) الجدول الوظيفي له.



شكل (7-24) المخطط الوظيفي للدائرة التكاملية للمذبذب 74123

الدخول					الخروج	
C_r	A_1	A_2	B_1	B_2	Q	\bar{Q}
0	x	x	X	X	0	1
X	1	1	X	X	0	1
X	X	X	0	X	0	1
X	X	X	X	0	0	1
X	0	X	1	1	0	1
1	0	X	↑	1		
1	0	X	1	↑		
1	X	0	1	1		
1	X	0	↑	1	0	1
1	X	0	1	↑		
1	1	↓	1	1		
1	↓	↓	1	1		
1	↓	1	1	1		
↑	0	X	1	1		
↑	X	0	1	1		

شكل (7-23) الجدول الوظيفي للدائرة 74122

وللدائرة مقاومة توقيت داخلية R_{INT} بقيمة $10K\Omega$ ، ويتم استخدامها بالطريقة كما تم استخدامها في الدائرة 74121، كما تتراوح قيم المقاومة R_{EXT} من $5K\Omega$ إلى $50K\Omega$ ، ويتم حساب عرض النبضة بالطريقة التالية:

1- إذا كان مكثف التوقيت ($C_{EXT} < 10pF$)، فيتم حساب عرض النبضة من المنحنيات التالية.

2- إذا كان مكثف التوقيت ($C_{EXT} > 10pF$)، فعندئذ يكون :

$$T_{ON} \approx 0.3 R \cdot C_{EXT} (1 + 0.7/R) \quad (7-15)$$

حيث :

T_{ON} بوحدات ns ، R بوحدات $K\Omega$ ، C_{EXT} بوحدات pF .

الدخول			الخروج	
C_r	A	B	Q	\bar{Q}
0	X	X	0	1
X	1	X	0	1
X	X	0	0	1
1	0	↑		
1	↓	1		
↑	0	1		

شكل (7-25) الجدول الوظيفي للدائرة 74123

ملحوظة: هذه الدوائر التكاملية لها دخول مسح غير متزامنة بجهد فعال-منخفض، تستخدم لمسح ($Q = 0$) الطلقة الواحدة.

7-5-3 مذبذب احادي استقرار مجدد الإشعال 74221 بخاصية مسح:

هذه الدائرة مزدوجة لها خواص أداء تطابق خواص أداء الدائرة 74121، والمخطط الوظيفي مثل المخطط الوظيفي للدائرة 74123 المبينة في شكل (7-24)، أما الجدول الوظيفي فمبين في شكل (7-26) ولهذه الدائرة دخل مسح غير مترامن بجهد فعال-منخفض، تستخدم لتحرير الدائرة.

الدخول			الخروج	
C_r	A	B	Q	\bar{Q}
0	X	X	0	1
X	1	X	0	1
X	X	0	0	1
1	0	↑		
1	↓	1		

شكل (7-26) الجدول الوظيفي للدائرة 74221

مثال (7-4):

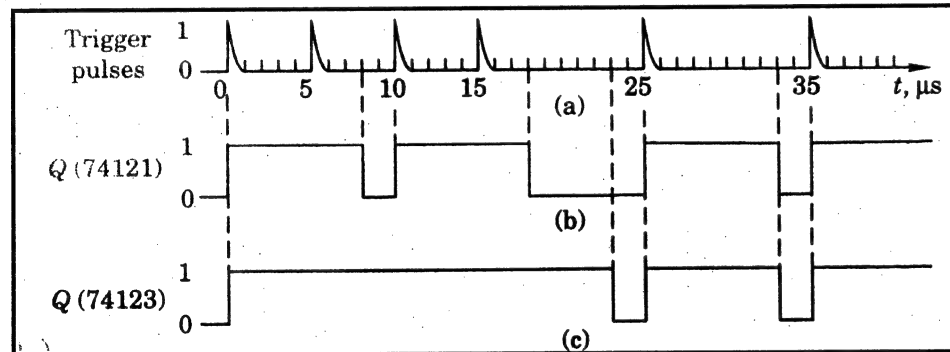
أ- تستخدم دائرة 74121 لتوليد نبضة سعتها $8 \mu s$ بمعامل دورة عمل 80%، ويتم تطبيق نبضات الإشعال المبينة في شكل (7-27) عند المدخل B، بينما الدخول: $A_1 = A_2 = 0$ ، مطلوب رسم أشكال الموجة للخروج Q.

ب- إذا تم تطبيق نفس نبضات الإشعال عند المدخل B لأحد مقطعي للدائرة 74123 والمستخدم في توليد نبضة سعتها $8 \mu s$ أيضاً، ومع: $A = 0$ و $C_r = 1$ ، فماذا تكون أشكال الموجة للخروج Q.

الحل:

أ- يبين شكل (7-27-a) أشكال الموجة للدائرة 74121.

ب- يبين شكل (7-27-b) أشكال الموجة لأحد مقطعي الدائرة 74123.



شكل (7-27-a) نبضات الإشعال

ب- أشكال الموجة للدائرة 74121 . c- أشكال الموجة لأحد مقطعي الدائرة 74123

مثال (7-5):

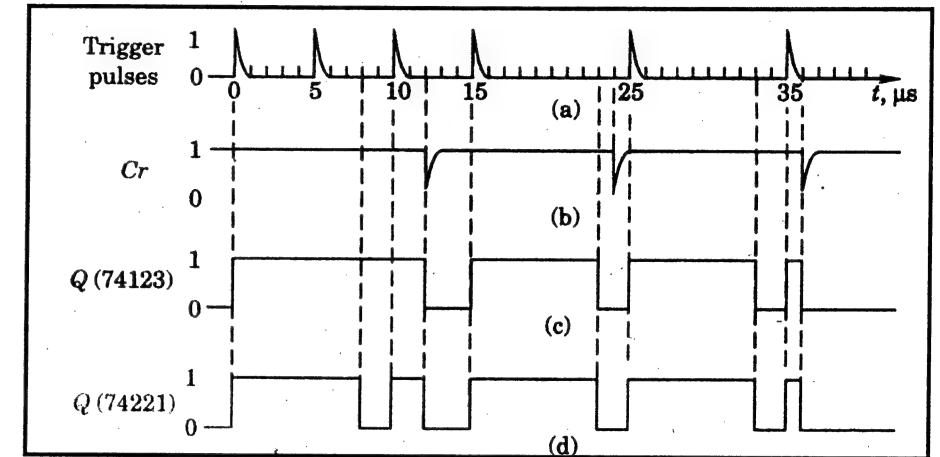
أ- في دائرة المثال (7-4-ب)، إذا تغير دخل المسح إلى الوضع LOW كل $12 \mu s$ كما هو موضح في الشكلين (9-28-a,b)، فماذا تكون أشكال الموجة للخروج Q.

ب- وإذا تم استبدال الدائرة السابقة 74123 بالدائرة 74221، فمطلوب رسم أشكال الموجة للخروج.

الحل :

أ- يبين شكل (c-28-7) أشكال الموجة للدائرة 74123.

ب- يبين شكل (d-28-7) أشكال الموجة لأحد مقطعي الدائرة 74221.



شكل (28-7) أشكال الموجة للمثال (5-7)

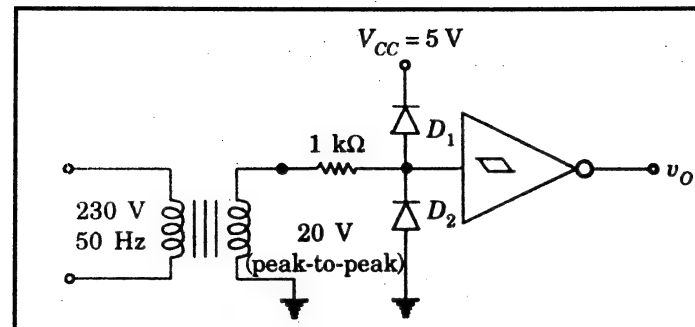
مثال (6-7) :

مطلوب تصميم دائرة لمراقبة منبع جهد تغذية متردد A.C. mains voltage، وفيها عند فقد أحد الذبذبات، يتم سماع صوت جرس إنذار ويستمر حتى يتم إيقافه بالضغط على مفتاح ضاغط.

الحل :

أولا يتم تحويل الجهد الجيبى إلى موجة مربعة Square wave لتكون مناسبة كدخل للدوائر الرقمية، حيث تستخدم لهذا دائرة كالمبينة فى شكل (29-7)، فباستخدام محول خفض يُحول الجهد المتردد من: 230 V , 50 Hz إلى جهد 20 V قمة لقمة Peak-to-peak، ويتم إمساك دخل البوابة على الجهد V_{CC} خلال الدورة الموجبة

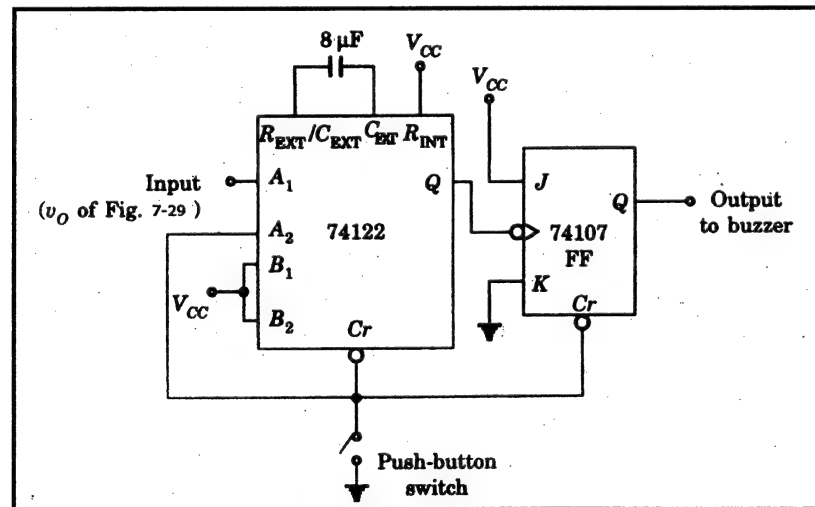
من شكل الموجة الجيبية بمساعدة الداىود D_1 ، وعلى 0V خلال الدورة السالبة بمساعدة الداىود D_2 .



شكل (7-29) دائرة تحويل منبع جهد تغذية متردد إلى موجة مربعة

وحيث أن خرج المحول هو جهد تغير بطى، فتستخدم دائرة إشعال شملت يكون خرجها موجة مربعة ترددها 50 Hz.

والآن يستخدم مذبذب أحادى إستقرار مجدد الإشعال ينتج خرج بمعامل دورة خدمة قيمتها 100% طالما أن الجهد المتردد موجود، ولهذا تستخدم الدائرة المبينة فى شكل (7-30)، كما سيتم شرح طريقة عملها كما يلى:



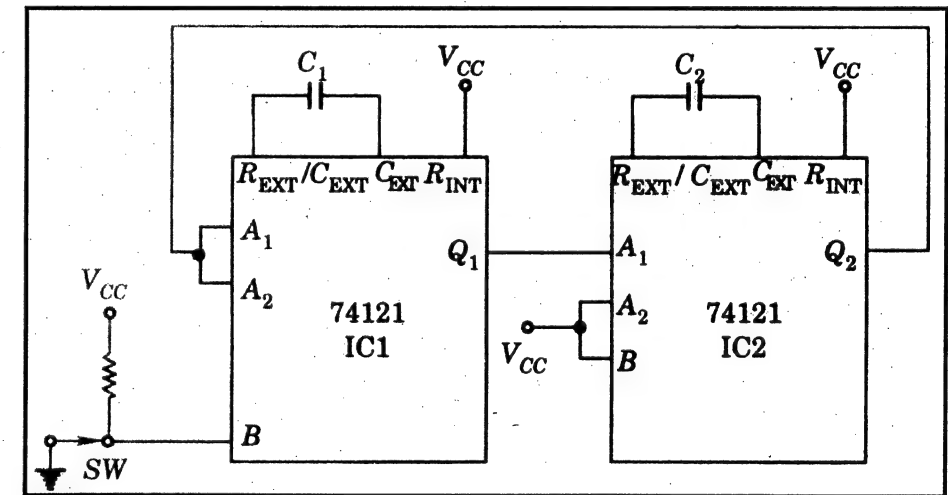
شكل (7-30) دائرة كشف نبضة مفقودة

من الدائرة (7-29) نجد أن خرجها هو نبضة مربعة ترددها 50 Hz، أي أنها تنتج حواف نبضية Pulse edges كل 20 ms، ويتم إدخال هذه النبضات عند المدخل A_1 من دائرة 74122 مهيأة لنبضات عرضها أكبر من 20 ms بقليل (فرضاً 25 ms)، وعلى هذا فلا يمكن للمذبذب أن يعاد تهيأته Reset مادام الجهد المتردد موجوداً.

وبفرض مقاومة توقيت داخلية قيمتها $10\text{ K}\Omega$ ، يصبح مكثف التوقيت المطلوب حوالي: $8\text{ }\mu\text{F}$ (من المعادلة 7-15). وعند إنقطاع التيار يصبح الخرج Q للدائرة 74122 منخفضاً LOW، والذي يُهيأ القلاب 74107 مسبباً تشغيل الجرس، ويتسبب الضغط على المفتاح الضاغط في مسح كل من القلاب والمذبذب، وعند إطلاق المفتاح (وفي حالة عودة التيار) سيتم إشعال الدائرة 74122 وتعود الدائرة للتشغيل الطبيعي، أما عند إطلاق المفتاح (وفي حالة استمرار إنقطاع التيار) فسيُسمع صوت الإنذار مرة ثانية بعد 25 ms.

7-5-4 دائرة مذبذب غير مستقر باستخدام مذبذبين أحادي استقرار:

يمكن عمل ازدواج لمذبذبين أحادي استقرار كما هو مبين في شكل (7-31) للحصول على مذبذب غير مستقر.

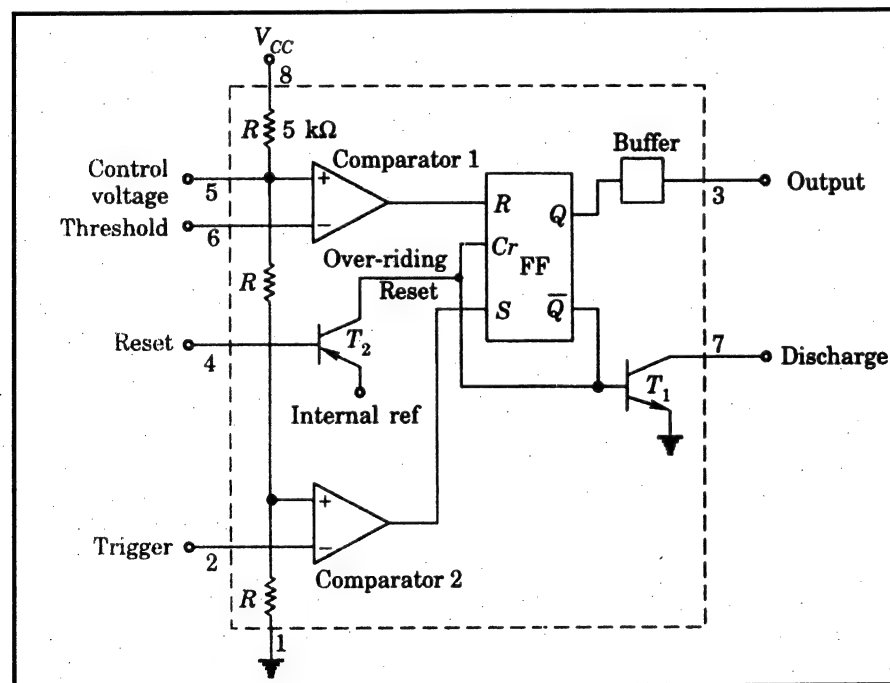


شكل (7-31) مذبذب غير مستقر باستخدام دائرتين 74121

ففي الحالة الابتدائية يكون الخرج Q_2 منخفضاً، وعند فتح المفتاح SW تصل الدائرة الأولى 1C1 إلى الحالة شبه المستقرة، وعند وصول الخرج Q_1 للحالة المنخفضة LOW (↓) في زمن T_1 (عرض النبضة للدائرة 1C1)، يتم إشعال الدائرة 1C2 ويتحول خرجها Q_2 ليكون عالياً HIGH، ويظل هكذا لزمن T_2 (عرض النبضة للدائرة 1C2) بعدها ينزل للحالة المنخفضة LOW (↓)، مما يتسبب في إشعال الدائرة 1C1، وتستمر هذه العملية وينتج موجة مربعة عند Q_1 ، Q_2 ، كما يمكن التحكم في تردد الموجة المربعة بواسطة عناصر التوقيت (المقاومات، والمكثفات).

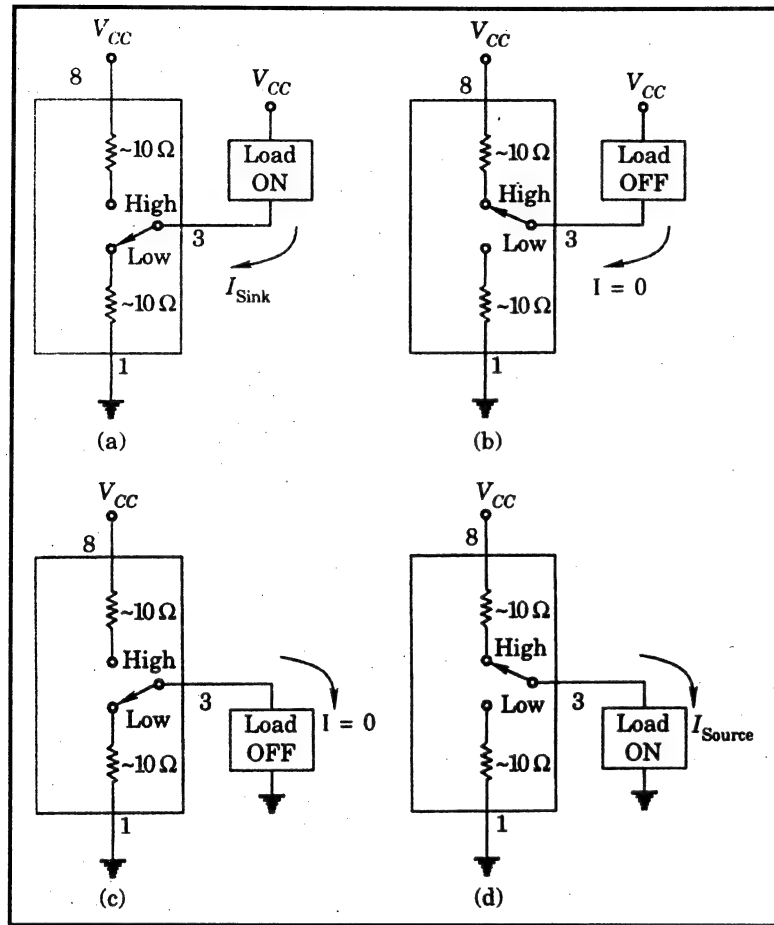
7-6 المؤقت 555:

الدائرة التكاملية للمؤقت 555 هي واحدة من أبسط الدوائر والمتعددة الاستخدام في الأجهزة المنطقية التتابعية والتي يمكن استخدامها كمذبذبات غير مستقرة وكمذبذبات أحادية استقرار، كما أن المداخل والمخارج تلائم الدوائر المنطقية TTL و COMS، ويبين شكل (7-32) المخطط الوظيفي لهذا المؤقت.



شكل (7-32) المخطط الوظيفي للمؤقت 555

Bypass capacitor قيمته في حدود $0.01 \mu F$ بين هذا الطرف والأرضى وذلك لإمرار الضوضاء أو الجهود المتموجة أو كلاهما المتسببة من منبع التغذية.



شكل (7-33) توصيلات الخرج للمؤقت 555

وفي رحلة الإنخفاض السالبة لدخل الإشعال على المقارن 2 وأثناء اجتيازه للجهود المرجعي $V_{cc}/3$ يصبح خرجة عاليا HIGH ويحدث إمساك للقلاب، وتصبح حالة مخرجه Q عالية HIGH، وفي رحلة الإرتفاع الموجبة لجهود العتبة والذي إذا زاد عن الجهود المرجعي عن $2V_{cc}/3$ يؤدي ذلك إلى خرج عاليا HIGH للمقارن 1، وبالتالي يتحرر القلاب وتصبح حالة مخرجه Q منخفضة LOW ($\bar{Q}=1$).

وهذه الدائرة تتكون من عناصر رقمية (مكبرى عمليات يستخدمان كمقارنات ، وقلاب R-S) وعناصر تناظرية (العازل والترانزيستورات)، وللمؤقت 8 أطراف يتم التعرف عليها كالتالي:

- 1- الطرف 1: الأرضى.
- 2- الطرف 2: مدخل الإشعال ويطبق على المقارن السفلى، وإذا كان جهد الإشعال أقل من $V_{cc}/3$ ، يصبح خرج المقارن عاليا HIGH ويحدث إمساك للقلاب، وتصبح حالة مخرجه Q عالية HIGH.
- 3- الطرف 3: مخرج المؤقت وله حالتان: الحالة المنخفضة LOW وتساوى 0V، والحالة العالية HIGH وتساوى V_{cc} .
- 4- الطرف 4: مدخل التحرير، وعادة يوصل مع الجهد الموجب للمنبع VCC في حالة عدم الحاجة لتحرير خارجي.
- 5- الطرف 5: مدخل جهد التحكم، ويستخدم في التضمين Modulation .
- 6- الطرف 6: مدخل الجهد الحدى والذي إذا زاد عن جهد التحكم يؤدي إلى خرج عاليا HIGH للمقارن العلوى، وبالتالي يتحرر القلاب وتصبح حالة مخرجه Q منخفضة LOW.
- 7- الطرف 7: تفريغ المكثف الذى يوصل بالرجل 6 والمستخدم لتحديد زمن الذبذبات ، فإذا كان الخرج \bar{Q} عاليا HIGH فسيتشبع الترانزيستور T_1 ، مما يجعل المكثف يقوم بتفريغ شحنته خلال مقاومة الترانزيستور والتي تكون صغيرة جداً.
- 8- الطرف 8: الجهد الموجب V_{cc} ، وهو يتراوح بين +5V و +15V، ويجب ألا يزيد عن +18V.

* ويتلقى المقارنان الجهد المرجعي Reference voltage لهما عن طريق مجموعة من 3 مقاومات موصلة بين المنبع والأرضى، حيث تبلغ قيمة هذا الجهد: $2V_{cc}/3$ للمقارن 1، بينما تبلغ قيمته $V_{cc}/3$ للمقارن 2، ويمكن لهذه الجهود أن تتحكم في التوقيت- والذي يمكن تغييره إلكترونياً إذا كان هذا مطلوباً - وذلك بإدخال جهد تحكم على الطرف 5، أما إذا كان هذا غير مطلوب فيلزم توصيل مكثف إمرار

ويتم توصيل مكثف توقيت خارجي بين طرف التفريغ والأرضي، وعندما يكون القلاب في حالة التحرير ($\bar{Q}=1$) فإنه يقود الترانزيستور T_1 إلى التشبع وبذلك يُفرغ مكثف التوقيت، وتبدأ دورة التوقيت عند وصول القلاب لحالة الإمساك ولهذا يكون T_1 مفتوحاً OFF، ويُشحن مكثف التوقيت بثابت زمني:

$$\tau = R_A \cdot C$$

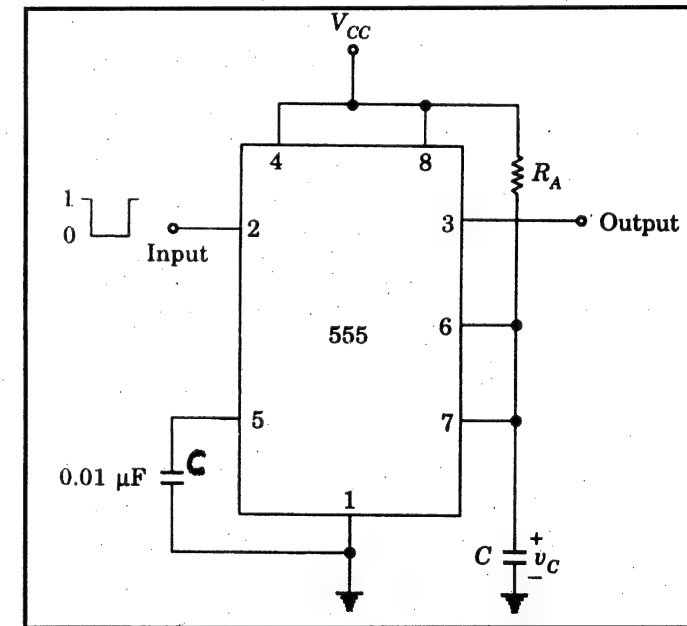
حيث: C ... مكثف التوقيت.

R_A ... مقاومة خارجية موصلة بين طرف التفريغ وجهد المنبع V_{CC} .

ويكون الخرج عند المنطق 1 متى كان T_1 مفتوحاً OFF، ويكون عند المنطق 0 متى كان T_1 مغلقاً ON. ويمكن توصيل الحمل إما بين طرف الخرج والجهد V_{CC} ، أو بين طرفي الخرج والأرضي، ويبين شكل (33-7) أربع توصيلات ممكنة للخرج .

7-6-1 مذبذب أحادي إستقرار باستخدام المؤقت 555:

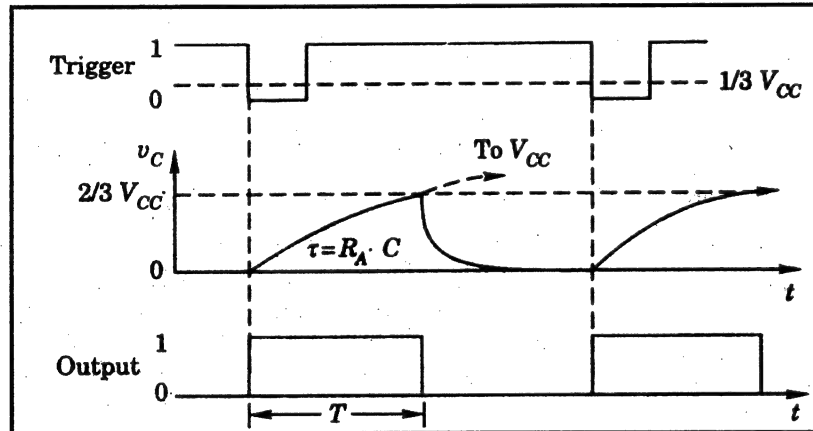
يبين شكل (34-7) مذبذب أحادي إستقرار باستخدام المؤقت 555 .



شكل (34-7) مذبذب أحادي إستقرار باستخدام المؤقت 555

وعند وجود نبضة الإشعال في الحالة العالية HIGH وتحت ظرف الحالة الثابتة، ويصبح T_1 مغلقاً ON كما يصبح طرفي التفريغ والخرج (الطرفين 7، و 3) عند المستوى المنخفض LOW، وعند تجاوز نبضة الإشعال السالبة للجهد $V_{CC}/3$ يصبح خرج المقارن 2 عالياً HIGH فيتهيأ القلاب، وبالتالي يفتح الترانزيستور T_1 ويصبح الخرج عالياً HIGH، ويبدأ المكثف C في الشحن إلى الجهد V_{CC} بثابت زمني: $(\tau = R_A \cdot C)$ ، وتظل الدائرة في هذه الحالة حتى بعد تغير نبضة الإشعال للمنطق 1، وعندما يصل جهد المكثف المتصاعد إلى القيمة: $2V_{CC}/3$ ، يصبح خرج المقارن 1 عالياً HIGH فيسبب ذلك في تحرر القلاب، ويصل T_1 للتشبع وبذلك يتفرغ المكثف ويتغير الخرج ويصبح منخفضاً LOW.

ويبين شكل (35-7) أشكال الموجة المختلفة لهذا المذبذب.

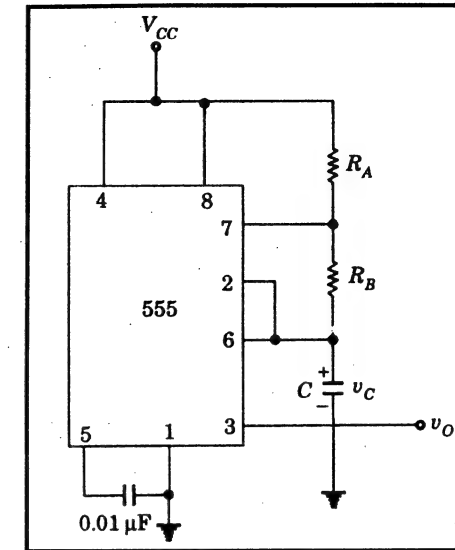


شكل (35-7) أشكال الموجة المختلفة لمذبذب أحادي إستقرار يستخدم مؤقت 555

وهذا المذبذب من النوع غير متجدد الإشعال، ويمكن تحويله إلى نوع متجدد الإشعال إذا تم توصيل طرف التحرير (الطرف 4) بمدخل الإشعال (الطرف 2) بدلا من من طرف المنبع V_{CC} ، ويتم إشعاله عند الحافة الموجبة لنبضة الإشعال.

7-6-2 مذبذب غير مستقر باستخدام المؤقت 555:

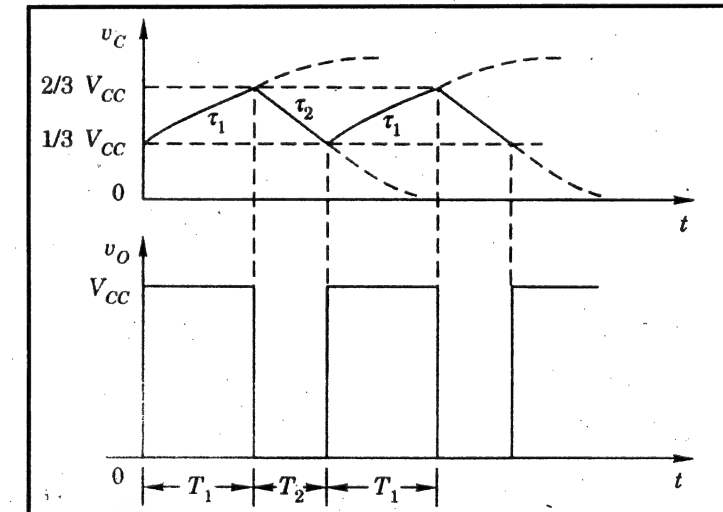
يبين شكل (36-7) مذبذب غير مستقر باستخدام المؤقت 555.



شكل (7-36) مذبذب غير مستقر باستخدام المؤقت 555

فدعنا نفرض أن الخرج في الحالة العالية HIGH والمكثف C يُشحن من خلال المقاومتين R_A و R_B ، ويكون الثابت الزمني:

$$\tau_1 = (R_A + R_B) \cdot C$$



شكل (7-37) أشكال الموجة المختلفة لمذبذب غير مستقر يستخدم مؤقت 555

وعند وصول جهد المكثف v_C إلى القيمة $2V_{CC}/3$ ، يتحول الخرج إلى الحالة المنخفضة LOW ويبدأ المكثف C في التفريغ خلال المقاومة R_B بثابت زمني:

$$\tau_2 \approx R_B \cdot C$$

وعندما يصل الجهد v_C إلى $V_{CC}/3$ يتم إشعال المؤقت ويعود الخرج مرة ثانية للحالة العالية HIGH، كما يعود المكثف ثانية للشحن تجاه الجهد V_{CC} بالثابت الزمني τ_1 ، ويبين شكل (7-37) أشكال الموجة المختلفة.

ويمكن حساب الفترات الزمنية للشحن والتفريغ كالاتي :

$$T_1 \approx 0.7 C (R_A + R_B) \quad (7-16)$$

وأيضاً :

$$T_2 \approx 0.7 C R_B \quad (7-17)$$

وعلى هذا يكون :

$$f = 1/T = 1/(T_1 + T_2) = 1.4/C(R_A + 2R_B) \quad (7-18)$$

ويكون معامل دورة الخدمة :

$$D.C. = \{(R_A + R_B)/(R_A + 2R_B)\} \times 100 \quad (7-19)$$

ومن المعادلة (7-19) نلاحظ أن معامل دورة الخدمة يكون دائماً مختلفاً عن قيمة 50%، ويمكن جعله 50% (أي الحصول على موجة مربعة متماثلة Symmetrical) بتوصيل دايود على التوازي مع المقاومة R_B والتي تمسك جهد المقاومة R_B أثناء شحن المكثف، وعلى هذا إذا تساوت المقاومتان R_A ، R_B فستكون τ_1 و τ_2 متساويتين.

كما أنه من الممكن توليد موجة مربعة متماثلة باستخدام خرج المؤقت 555 كدخل ساعة لقلاب نوع T-مع: $(T = 1)$ ، ويكون خرج القلاب موجة مربعة متماثلة.

7-7 المحولات :

في الفصل الأول تمت مناقشة مزايا معالجة الإشارات باستخدام الأنظمة الرقمية، وبسبب هذه المزايا تستخدم هذه الأنظمة الرقمية بتوسع في العديد من التطبيقات: في أجهزة التحكم وأجهزة الاتصالات والحاسبات وغيرها من الأنظمة

المتقدمة، وفي الكثير من تطبيقات الأنظمة الرقمية لاتتاح بعض الإشارات المستخدمة على الشكل الرقمي، بل تكون متاحة على الشكل التناظري والتي لا يصلح معالجتها مباشرة في المكونات المادية الرقمية ، بل يلزم تحويلها أولاً لتكون على الشكل الرقمي، ويشار لعملية تحويل إشارة تناظرية إلى إشارة رقمية بـ "محول من تناظري إلى رقمي" Analog-to-digital converter، كما نعرف بـ: A/D converter، وأيضاً ADC.

ويتطلب في كثير من التطبيقات تمثيل الخرج على الشكل التناظري، فيلزم لذلك تحويل الخرج الموجود على الشكل الرقمي إلى الشكل التناظري، ويشار لعملية تحويل إشارة رقمية إلى إشارة تناظرية بـ "محول من رقمي إلى تناظري" Digital-to-analog converter، كما نعرف بـ: D/A converter، وأيضاً DAC.

والآتي بعض من الأمثلة المستخدمة فيها المحولات A/D، و D/A:

1- يستخدم نظام رقمي في مراقبة درجة حرارة الوسط المحيط بفرن والتي إذا زادت لحد معين، يلزم تقليل التزود بالوقود، وهنا يتطلب استخدام محول A/D لتحويل خرج المحس (والذي يحول درجة الحرارة إلى إشارة كهربائية تناظرية) إلى الشكل الرقمي، فإذا زادت درجة الحرارة عند الحد المعين ينتج خرج رقمي يتحول إلى شكل تناظري عن طريق محول D/A يتحكم في الجهاز مقلداً من التزود بالوقود.

2- يستخدم الفولتامتر الرقمي في قياس جهد تناظري، وعرض القيمة على شكل أرقام، وفي هذا يستخدم محول A/D لتحويل الجهد التناظري إلى إشارة رقمية، وهنا لسنا في حاجة إلى التحويل مرة أخرى للشكل التناظري، وبالتالي لسنا في حاجة إلى محول D/A.

7-1 المحولات من رقمي إلى تناظري D/A :

يكون دخل المحول من رقمي إلى تناظري عبارة عن إشارة ثنائية مكونة مع N-بت على الشكل التوازي، وهذه الإشارات تكون عادة من خرج ماسكات Latches أو مسجلات، وعامة لاتكون الجهود المقابلة لمستويات المنطق 0 أو 1 والتي تفود

المحول عند قيمة ثابتة بدقة، وعلى هذا لاتطبق هذه الجهود مباشرة على المحول، بل تستخدم لتشغيل مفاتيح تحكم رقمية Digitally controlled switches ، حيث يتحرك لسان المفتاح في أحد إتجاهين معتمداً على الإشارة الرقمية (1، أو 0) وموصلة جهود ثابتة دقيقة وهي الجهود المقابلة للمستوى 1، والجهود المقابلة للمستوى 0 إلى دخل المحول.

والعلاقة التالية تحدد جهد خرج المحول V_0 بدلالة دخل الإشارة الثنائية المكونة من N-بت كالتالي:

$$V_0 = K (2^{N-1}b_{N-1} + 2^{N-2}b_{N-2} + \dots + 2^2b_2 + 2b_1 + b_0) \quad (7-20)$$

حيث: K ...معامل تناسب.

و $b_n = 1$ ، إذا كان البت رقم n مساوياً: 1.

و $b_n = 0$ ، إذا كان البت رقم n مساوياً: 0.

مثال (7-7) :

إوجد جهد التناظري لخرج لمحول D/A 4-بت لجميع احتمالات الدخول الممكنة، وبفرض أن: $K = 1$.

الحل :

من المعادلة (7-20) يمكن الحصول على جهد الخرج لكل دخل، فمثلاً إذا كان الدخل : 1001 وبتطبيق المعادلة يكون:

$$\begin{aligned} V_0 &= K (2^{N-1}b_{N-1} + 2^{N-2}b_{N-2} + \dots + 2^2b_2 + 2b_1 + b_0) \\ &= 1 (2^{4-1}b_{4-1} + 2^{4-2}b_{4-2} + 2^{4-3}b_{4-3} + 2^{4-4}b_{4-4}) \\ &= 1 (2^3b_3 + 2^2b_2 + 2^1b_1 + 2^0b_0) \\ &= 1 (8 \times 1 + 4 \times 0 + 2 \times 0 + 1 \times 1) \\ &= 9 \end{aligned}$$

وكما هو مبين في جدول (3-7).

جدول (3-7)

الخروج التناظري V_0	الدخول الرقمية			
	b_3	b_2	b_1	b_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

* ويوجد نوعان شائعا للإستخدام كمحوالات D/A هما :

1- محول D/A المقاومة الوزنية Weighted-resistor.

2- محول R-2R السلمى R-2R ladder.

محول D/A المقاومة الوزنية Weighted-resistor :

نفرض دخل ثنائى مباشر مكون من N-بت يدخل على شبكة مقاومة (من خلال مفتاح تحكم رقمي) منتجا تياراً I يناظر للمنطق 1 لبت التأثير الأعلى، وتياراً I/2 يناظر للمنطق 1 للبت الأقل، وتياراً $(1/2)^2$ يناظر للمنطق 1 للبت الأقل، .. وهكذا

حتى ينتج تيار $(1/2)^{N-1}$ يناظر موضع بت التأثير الأدنى، وعلى هذا فإن قيمة التيار الناتج الكلى يكون متناسبا مع الدخل الرقمية، ويمكن تحويل هذا التيار إلى جهد باستخدام مكبر عمليات OP AMP والذي يكون متناسبا مع الدخل الرقمية.

والدائرة المبينة فى شكل (38-7) يمكن إستخدامها لتحويل الدخل الرقمية إلى خرج تناظري حيث تعمل طبقاً للقاعدة السابقة والتي يشار إليها بـ "محول D/A المقاومة الوزنية" Weighted-resistor، حيث توزن قيم المقاومات طبقاً لأوزان الأعداد الثنائية.

ففى الدائرة تعمل الدخول الرقمية (1 و 0) على تشغيل المفاتيح، حيث يتحرك موصل المفتاح فى أحد إتجاهين (1 أو 0) معتمداً على الدخل الرقمية المناظر للبت (1 أو 0) على الترتيب، فيكون $V(1)$ هو الجهد المطبق على المقاومة إذا كانت ريشة المفتاح موصلة بالموضع 1، بينما يكون $V(0)$ هو الجهد المطبق على المقاومة إذا كانت ريشة المفتاح موصلة بالموضع 0 ، ويكون التيار الكلى I_i :

$$I_i = I_{N-1} + I_{N-2} + I_{N-3} + \dots + I_2 + I_1 + I_0 \quad (7-21)$$

حيث :

$$I_{N-1} = V_{N-1} / R$$

$$I_{N-2} = V_{N-2} / 2 R$$

$$I_{N-3} = V_{N-3} / 2^2 R$$

$$I_0 = V_0 / 2^{N-1} R$$

حيث :

V_{N-1} ، و V_{N-2} ، و $V_0 \dots$ تكون مساوية $V(1)$ إذا كان: $b_n = 1$

وتكون مساوية $V(0)$ إذا كان: $b_n = 0$

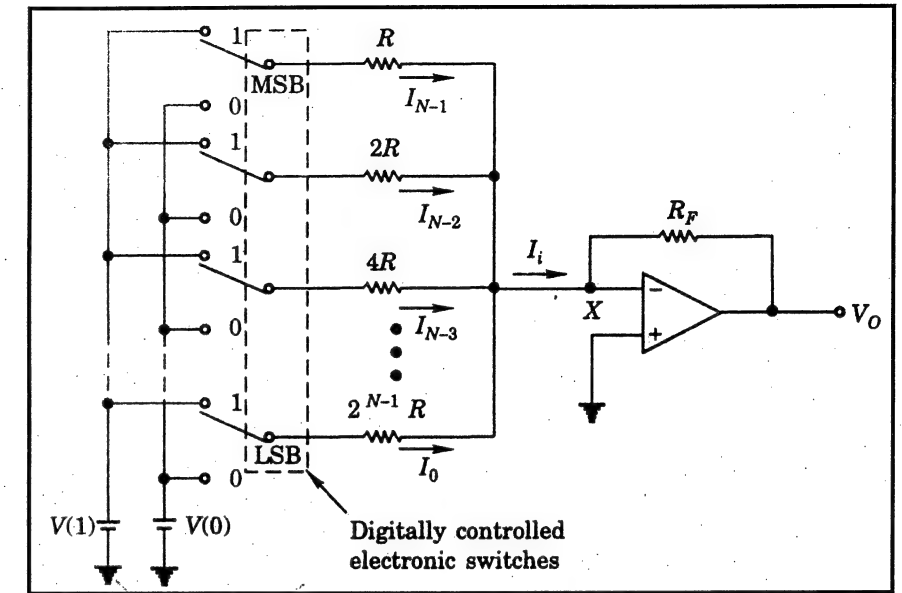
ولدخل ثنائى مباشر، و $V(0) = 0$ و $V(1) = -V_R$ ، يمكن حساب جهد الخرج V_0

كالتالى :

$$V_0 = -(-V_R) \{ (R_F/R) b_{N-1} + (R_F/2R) b_{N-2} + (R_F/2^2 R) b_{N-3} + \dots + (R_F/2^{N-1} R) b_0 \} \quad (7-22)$$

وهذه المعادلة تطابق المعادلة (7-20) ، باعتبار أن :

$$K = (R_F / 2^{N-1} R) \cdot V_R \quad (7-23)$$



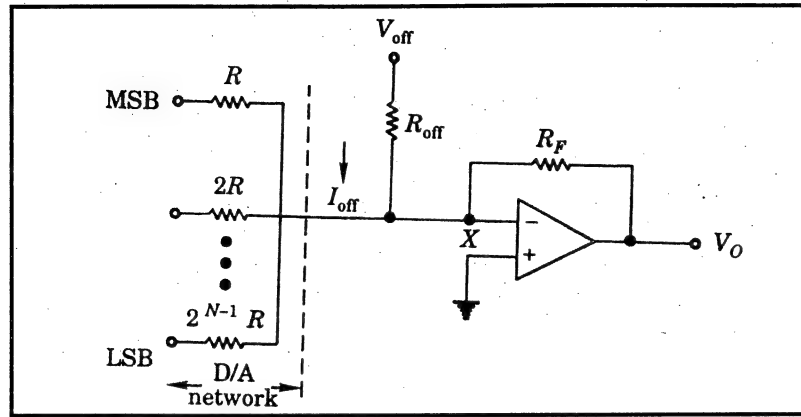
شكل (38-7) محول D/A المقاومة الموزونة

ويدار الخرج في اتجاه واحد فقط Unipolar، أما إذا أريد تحويل البيانات للتشكيل الثنائي الاتجاه (مكمل الواحد، أو مكمل الإثنين مثلاً) ففي هذه الحالة: $V(0) \neq 0$ ، حيث يستخدم $V(0)$ لتحقيق تجاوز Offset اتجاه الخرج.

ومع: $V(1)$ و $V(0)$ التي تمثل الجهود المطبقة على المقاومات عند توصيل ريشة المفتاح بالوضعين 1 و 0 على الترتيب يمكن حساب جهد الخرج V_0 في دائرة شكل (38-7) كالتالي:

$$V_0 = (R_F / 2^{N-1} R) \{ 2^{N-1} V_{N-1} + 2^{N-2} V_{N-2} + \dots + 2^1 V_1 + 2^0 V_0 \} \quad (7-24)$$

ويمكن أيضاً الحصول على تجاوز في جهد الخرج V_0 باستخدام الدائرة المبينة في شكل (39-7) ومنها يكون جهد التجاوز مساوياً: $(R_F / R_{off}) \cdot V_{off}$



شكل (39-7) دائرة تستخدم لتحقيق توازن جهد الخرج

مثال (8-7) :

أ- لمحول D/A 4-بت أحادي اتجاه فيه: $V(1) = -1V$ و $V(0) = 0V$ و $R_F = 8R$ ، مطلوب تعيين خرج الجهد التناظري المناظر لكل الدخول الرقمية من 0000 إلى 1111.

ب- باستخدام دائرة شكل (39-7) مطلوب ضبط جهد التجاوز بحيث يكون: $V_0 = 0V$ للدخل الرقمي 1000، ومن هذا التجاوز مطلوب تعيين خرج الجهد التناظري المناظر لكل الدخول الرقمية.

ج- أيضاً من هذا التجاوز مطلوب تعيين خرج الجهد التناظري المناظر لكل الدخول الرقمية، إذا حدث تكامل Complemented لبت التأثير الأعلى للدخول الرقمية قبل تطبيقها على المحول.

الحل :

أ- باستخدام المعادلة (7-24)، نحصل على جهود الخرج التناظرية كالتالي:

$$\begin{aligned} V_0 &= (R_F / 2^{N-1} R) \{ 2^{N-1} V_{N-1} + 2^{N-2} V_{N-2} + \dots + 2^1 V_1 + 2^0 V_0 \} \\ &= (8R / 2^{4-1} R) \{ 2^{4-1} V_{4-1} + 2^{4-2} V_{4-2} + 2^{4-3} V_{4-3} + 2^{4-4} V_{4-4} \} \\ &= (8R / 8R) \{ 8V_3 + 4V_2 + 2V_1 + V_0 \} \end{aligned}$$

$$= 8V_3 + 4V_2 + 2V_1 + V_0$$

وبالتعويض عن كل دخل رقمي نحصل على نفس الجدول (3-7).

ب- ومن جدول (3-7) نجد ان خرج الجهد التناظري V_0 والمناظر للدخل الرقمي 1000 وبدون تحقيق توازن يكون مساويا: $8V$ ، وحيث أن المطلوب وتحقيق التجاوز أن يكون خرج الجهد التناظري V_0 والمناظر للدخل الرقمي 1000 مساويا: $0V$ ، فيجب أن ينتج التجاوز جهد: $8V$ - عند الخرج، أي أن:

$$-(R_F/R_{off}) \cdot V_{off} = -8$$

وهذا يتحقق بضبط: $R_{off} = R$ ، و $V_{off} = 1$.

وبين جدول (4-7) الجهود التناظرية.

جدول (4-7)

الدخول الرقمي				الخرج التناظري
b_3	b_2	b_1	b_0	V
0	0	0	0	-8
0	0	0	1	-7
0	0	1	0	-6
0	0	1	1	-5
0	1	0	0	-4
0	1	0	1	-3
0	1	1	0	-2
0	1	1	1	-1
1	0	0	0	0
1	0	0	1	+1
1	0	1	0	+2
1	0	1	1	+3
1	1	0	0	+4
1	1	0	1	+5
1	1	1	0	+6
1	1	1	1	+7

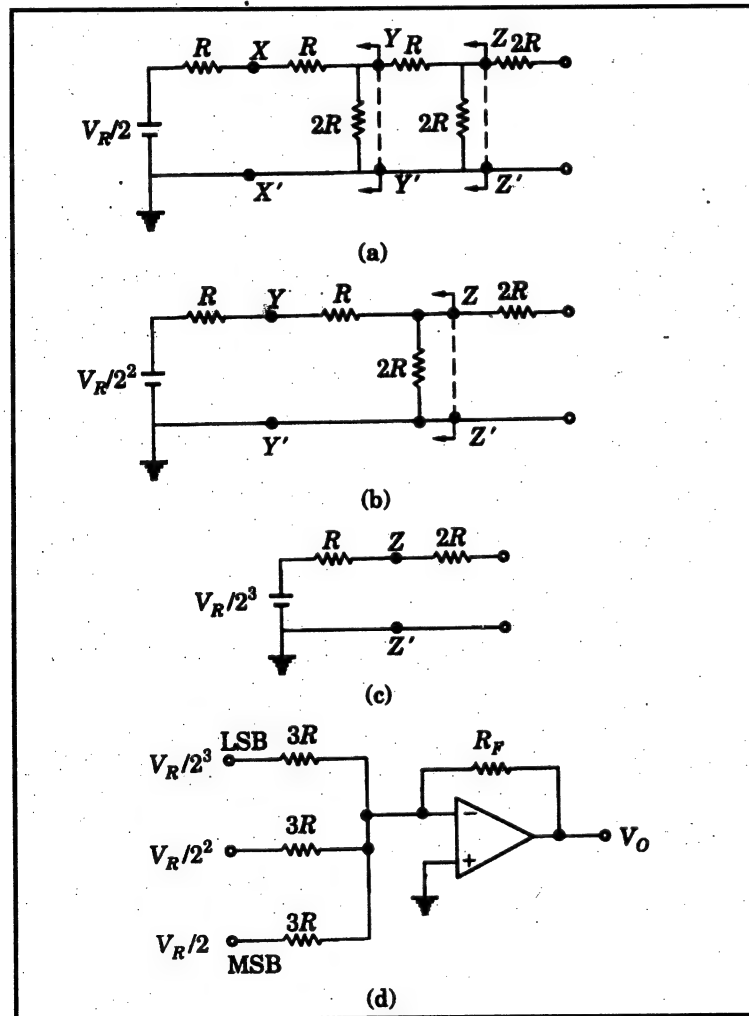
ج- إذا تغير الدخل الرقمي للمحول ليصبح $b_3 b_2 b_1 b_0$ ، فيمكن الحصول على جهود الخرج التناظرية من جدول (4-7) ونحصل عليها في النهاية في الجدول (5-7).

جدول (5-7)

الدخول الرقمي				الخرج التناظري
b_3	b_2	b_1	b_0	V
1	0	0	0	-8
1	0	0	1	-7
1	0	1	0	-6
1	0	1	1	-5
1	1	0	0	-4
1	1	0	1	-3
1	1	1	0	-2
1	1	1	1	-1
0	0	0	0	0
0	0	0	1	+1
0	0	1	0	+2
0	0	1	1	+3
0	1	0	0	+4
0	1	0	1	+5
0	1	1	0	+6
0	1	1	1	+7

من الجدول السابق، نلاحظ أن هذا محول D/A يقوم بتحويل تشكيل تكامل الإثنيين إلى إشارة تناظرية.

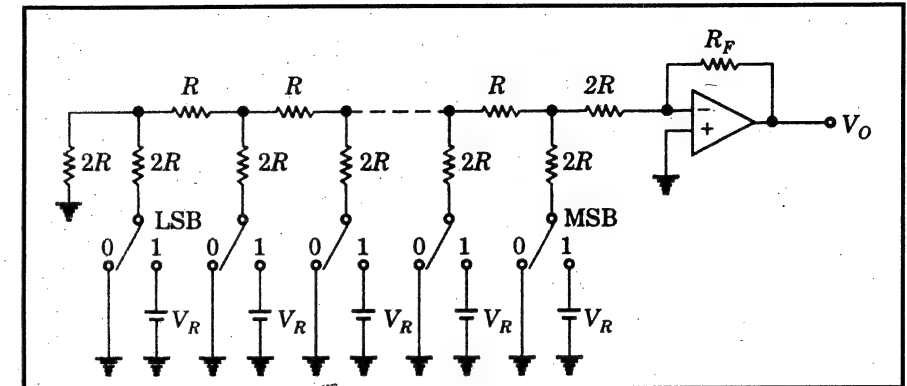
ويمكن تبسيط الدائرة باستخدام نظرية ثيفينين Thevenin's theorem، وتطبيق النظرية عند XX نحصل على الدائرة المبينة في شكل (a-42-7)، وبالمثل عند تطبيق النظرية عند كل من YY و ZZ نحصل على الدائرتين المبينتين في شكل (b-42-10) و (c-42-10) على الترتيب، وقد فرضنا مسبقاً أن بت التأثير الأدنى يكون: 1 ويكون جهده المكافئ الذي تم الحصول عليه هو: $V_R/2^3$. بالمثل، إذا كان الدخل الرقمي: 010 و 100، فيكون الجهدان المكافئان هما: $V_R/2^2$ و $V_R/2^1$ على الترتيب.



شكل (42-7) تبسيط دائرة الشكل (42-7)

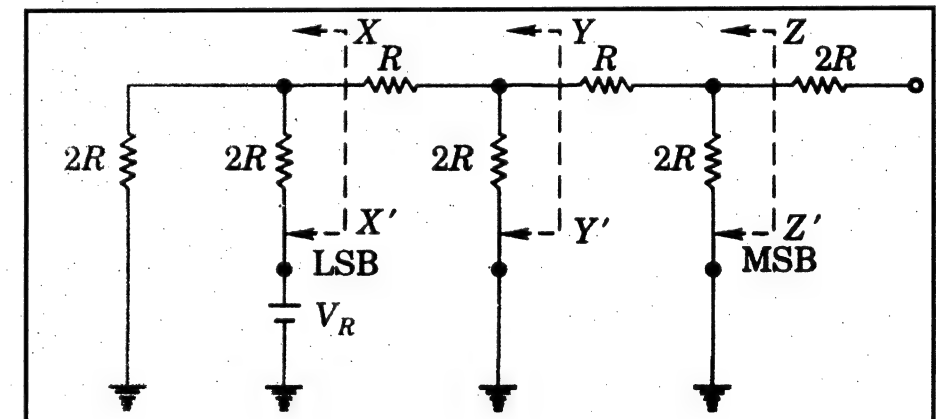
محول R-2R D/A السلمى R-2R ladder :

يبين شكل (40-7) محول R-2R D/A السلمى.

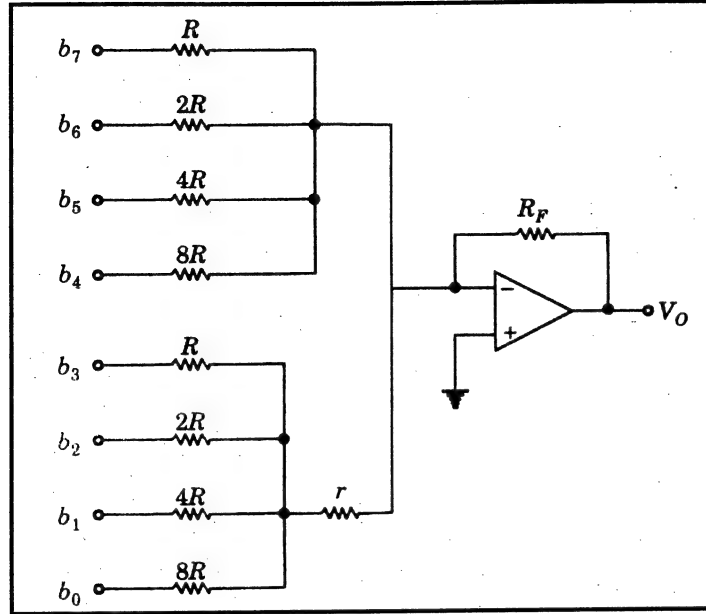


شكل (40-7) محول D/A سلم R-2R

وهنا تستخدم مقاومات بقيمتين فقط هما: R و $2R$ ، وتطبق الدخول على شبكة المقاومات من خلال مفاتيح تحكم رقمية، وتتحرك ريشة المفتاح في أحد اتجاهين (1 أو 0) معتمداً على الدخل الرقمي المناظر للبت (1 أو 0) على الترتيب، ولتحليل هذه الدائرة وللتبسيط، نفرض شبكة محول D/A سلم R-2R تعمل بـ 3-بت كالمبينة في شكل (41-7)، وحيث فرضنا أن: 100 هو الدخل الرقمي.



شكل (41-7) شبكة محول D/A سلم R-2R تعمل بـ 3-بت



شكل (7-43) محول D/A نوع مقاومة موزونة مُعدل

ويتم تعيين المقاومة r بالطريقة التالية :

بفرض أن البت: $b_3 = 1$ ، وأن: $b_2 = b_1 = b_0 = 0$ ، ويبين شكل (7-44-a) الدائرة المناظرة لهذا الجزء، كما يبين شكل (7-44-b) تبسيطاً لهذه الدائرة، ومنه يكون الدخل I_{in} لمكبر العمليات كالآتي:

$$I_{in} = \frac{V_R}{R + \frac{r(8/7R)}{(r + 8/7R)}} \times \frac{(\frac{8}{7}R)}{(r + \frac{8}{7}R)} \quad (7-27)$$

ويجب أن يكون التيار مساوياً $1/16$ من التيار المتسبب من الدخل b_7 (وهو: V_R/R)، وعلى هذا يكون:

$$\frac{V_R(\frac{8}{7}R)}{R(r + \frac{8}{7}R) + r(\frac{8}{7}R)} = \frac{V_R}{16R}$$

ونلاحظ أنه في كل الأحوال كانت المقاومة المكافئة مساوية $3R$ ، لذا نحصل على الدائرة في الشكل (7-42-d)، وهي الدائرة المكافئة لدائرة الشكل (7-41). ومن دائرة الشكل (7-42-d) يعين جهد الخرج التناظري V_O كالآتي:

$$V_O = -\{ (R_F/3R) \cdot (V_R/2^3) b_0 + (R_F/3R) \cdot (V_R/2^2) b_1 + (R_F/3R) \cdot (V_R/2^1) b_2 \} \\ = - (R_F/3R) \cdot (V_R/2^3) [4b_2 + 2b_1 + 1b_0] \quad (7-25)$$

وتبين المعادلة (7-25) إن جهد الخرج التناظري يتناسب مع الدخل الرقمي وعامة ولمحول N بت من رقمي لتناظري يمكن إستنتاج جهد الخرج التناظري والحصول عليه بالمثل كالتالي:

$$V_O = (2^{N-1}b_{N-1} + 2^{N-2}b_{N-2} + \dots + 2^2b_2 + 2^1b_1 + 2^0b_0) \quad (7-26)$$

وهنا فرضنا أن :

$$R_F = 3R \text{ و } V_R = -2^N V.$$

ونلاحظ من النوعين السابقين من المحولات أن عدد المقاومات المطلوبة لمحول نوع المقاومة الوزنية لعدد N بت تساوي N ، بينما عددها يساوي $2N$ لمحول نوع السلمى $R-2R$ ، إلا أن قيم المقاومات تتصاعد في الحالة الأولى من R إلى $2R$ إلى $NR \dots$ مما يجعل المحول نوع المقاومة الوزنية غير مناسب، إلا أنه يمكن تعديل دائرة الشكل (7-39) لتلائم عدد كبير من البتات بدون التعرض إلى الزيادات التصاعدية في قيمها، وأحد هذه الدوائر، الدائرة المبينة في شكل (7-43)، حيث تطبق الأربعة بتات التأثير الأعلى بنفس الطريقة المستخدمة في محول المقاومة الوزنية أما الأربعة بتات التأثير الأدنى فتطبق من خلال مقاومة r بالإضافة إلى المقاومات الوزنية، مما يؤدي إلى إنتاج تيارات لدخل مكبر العمليات بسبب مجموعة بتات التأثير الأدنى، ومجموعة بتات التأثير الأعلى بالتناسب: $1/16$

$$(b_3/b_7 = b_2/b_6 = b_1/b_5 = b_0/b_4 = 1/16).$$

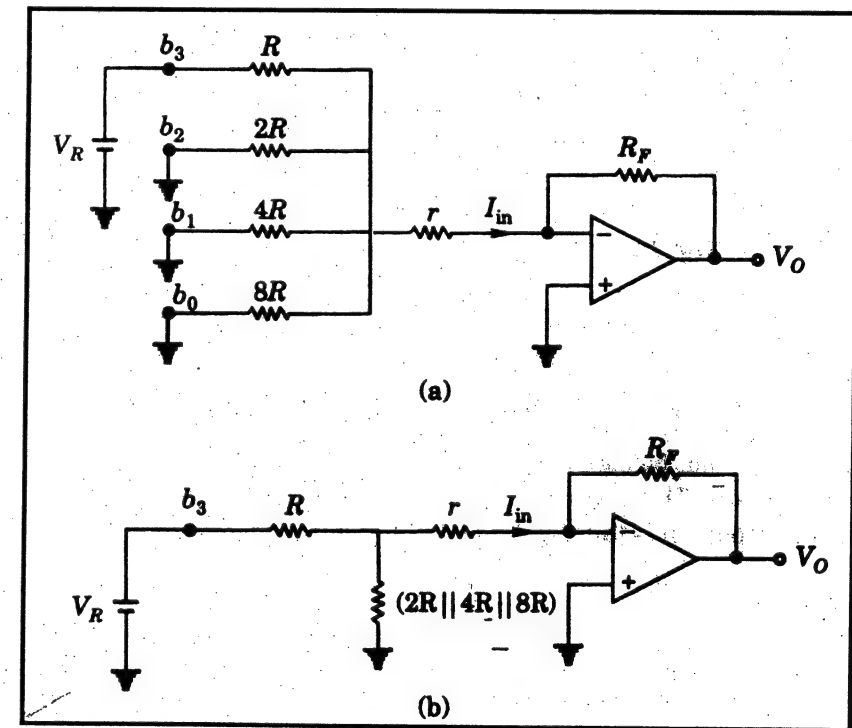
أو :

$$r = 8R$$

(7-28)

ومع هذه القيمة من المقاومة r ، يمكن التحقق من أن التيارات المتسببة من الدخول: b_2 ، و b_1 ، و b_0 تكون مساوية $1/16$ من التيارات المتسببة من الدخول: b_6 ، و b_5 ، و b_4 على الترتيب، ويتم حساب جهد الخرج التناظري V_0 للدائرة المعدلة الموجودة في شكل (7-43)، وباعتبار أن: $r = 8R$ ، بالعلاقة التالية:

$$\begin{aligned} V_0 &= -\left(\frac{V_R}{R} R_F b_7 + \frac{V_R}{2R} R_F b_6 + \frac{V_R}{4R} R_F b_5 + \frac{V_R}{8R} R_F b_4 + \frac{V_R}{16R} R_F b_3 \right. \\ &\quad \left. + \frac{V_R}{32R} R_F b_2 + \frac{V_R}{64R} R_F b_1 + \frac{V_R}{128R} R_F b_0\right) \\ &= -\left(\frac{V_R}{2^7} \cdot \frac{R_F}{R}\right) \cdot (2^7 b_7 + 2^6 b_6 + \dots + 2^2 b_2 + 2^1 b_1 + b_0) \end{aligned} \quad (7-29)$$



شكل (7-44) جزء من المحول D/A نوع مقاومة وزنية المعدل

ونلاحظ من المعادلة (7-29) أن جهد الخرج التناظري يتناسب مع الدخل الرقمي، وأن عدد المقاومات في هذه الدائرة أقل، كما أنه تم التقليل من التصاعد في قيم المقاومات، والتشكيل المستخدم يمكن استخدامه لأي عدد من البتات.

خصائص المحولات D/A :

الخصائص الرئيسية التي تحدد المحولات D/A كالآتي :

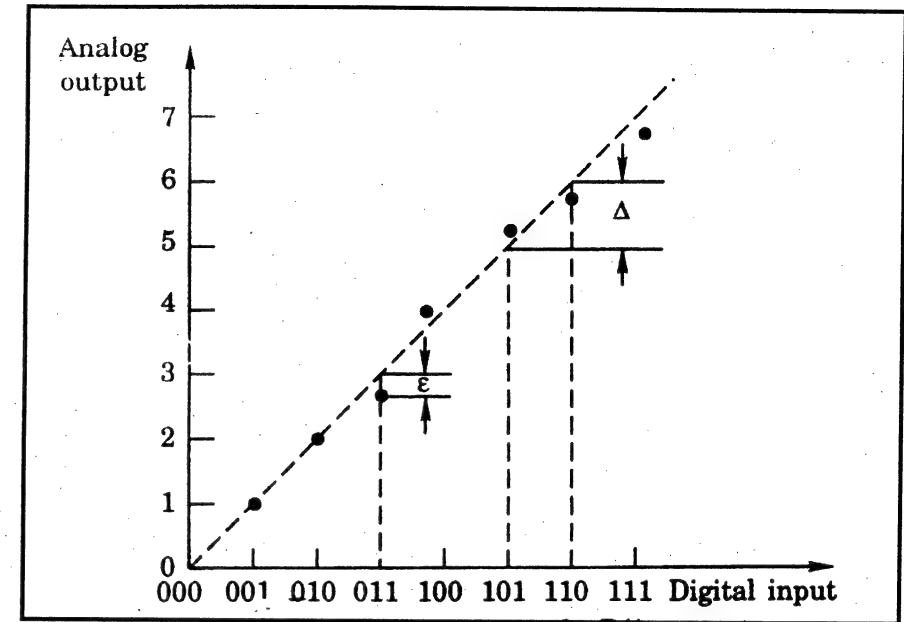
- 1- الخواص الخطية Linearity .
- 2- الدقة Accuracy .
- 3- زمن الإستقرار Settling time .
- 4- الحساسية لدرجة الحرارة Temperature sensitivity .

1- الخواص الخطية Linearity :

في المحول D/A يجب أن تقابل الزيادات المتساوية في الدخول الرقمية زيادات متساوية في جهود الخرج التناظري، وبالتالي نحصل على علاقة خطية بين الدخل والخرج، ولكننا نجد أن الواقع غير ذلك حيث نجد أن العلاقة بين الدخل والخرج تكون غير خطية، ويرجع السبب في ذلك إلى الخطأ في قيم المقاومات المستخدمة والجهود الواقعة على المفاتيح، والخواص الخطية تكون مقياس الدقة الذي يحدد العلاقة بين الدخل والخرج.

ويبين شكل (7-45) علاقة الدخل - الخرج لمحول إتجاه احادى 3-بت، حيث يمثل المحور الأفقى تكوينات الدخول الرقمية مع أخذ فترات فواصل متساوية بين كل دخل والذى يليه، كما يمثل المحور الرأسى جهد الخرج التناظري، ويتم تمثيل الجهد الخارجى المقابل لكل دخل بنقطة، فإذا كان المحول نموذجى فستقع جميع النقاط على خط واحد (والذى يسمى بخط العلاقة المتوقع) كما هو مبين فى الشكل، ويكون خطأ الخواص الخطية ϵ لأي دخل رقمى هو الفرق بين جهد الخرج المقابل للنقطة وجهد الخرج النموذج (الواقع على خط العلاقة المتوقع)، ويكون Δ هو التغير فى جهد الخرج التناظري المناظر لتغير دخل رقمى مكافئ لبت التأثير الأدنى.

ومن ذلك تحدد الخواص الخطية للمحول بمقارنة القيمة ϵ ، بالقيمة Δ ، فمثلاً:
الخواص الخطية لمحول تجارى تحدد كأقل من: \pm بت التأثير الأدنى، ومعناه:
 $|\epsilon| < \frac{1}{2} \Delta$



شكل (45-7) الخرج مقابل الدخل لمحول D/A

2- الدقة Accuracy :

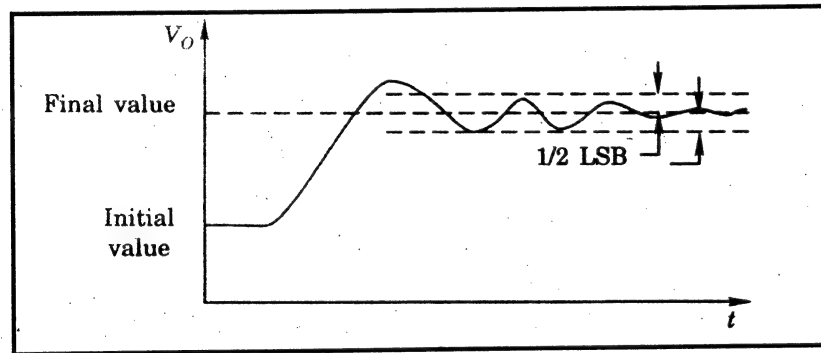
تقاس دقة المحول بالفرق بين جهد الخرج الحقيقي وجهد الخرج المتوقع، وتحدد بالنسبة المئوية بالنسبة للمقياس الكلى أو أقصى جهد خرج، فمثلاً إذا كان المقياس الكلى أو أقصى جهد خرج لمحول هو 10 V وكانت دقته $\pm 0.2\%$ ، فيصبح أقصى خطأ لأى جهد خرج هو:

$$0.002 \times 10 = 20 \text{ mV}$$

3- زمن الإستقرار Settling time :

عند تغيير الدخل الرقمية لمحول D/A فلا يتغير الخرج المناظر فجائياً، وبسبب وجود المفاتيح والأجهزة الفعالة والمكثفات الشاردة وملفات الحث المرتبطة

بالمكونات الغير فعالة للدائرة، تظهر العابرات Transients فى جهد الخرج، كما يمكن أن تحدث التذبذبات، ويبين شكل (46-7) رسم نموذجى للتغير الممكن حدوثه فى جهد الخرج، ويحدد المصممون الزمن المطلوب كى يستقر جهد الخرج عند قيمة تعادل $(\pm \frac{1}{2}$ بت التأثير الأدنى) من القيمة النهائية بمجرد إدخال الدخل الرقمية، ويشار هذا الزمن بزمن الإستقرار، وهذا يفرض حدود للتردد التى يمكن عندها أن يتغير الدخل الرقمية، فعند العمل عند ترددات عالية جداً، فمن الممكن عدم توافر الوقت الكافى للإستقرار عند قيمة الجهد الصحيحة قبل وصول الدخل الرقمية التالى.



شكل (46-7) زمن الإستقرار لمحول D/A

4- الحساسية لدرجة الحرارة Temperature sensitivity :

يتغير جهد الخرج التناظرى لأى دخل رقمى ثابت، وذلك راجع للحساسية للحرارة لمنبع الجهد وللمقاومات ومكبرات العمليات.. إلخ وتحدد بـ : ppm/°C.

2-7-7 المحولات من تناظرى إلى رقمى A/D :

فى المحولات من رقمى إلى تناظرى D/A، يكون عدد الدخول الرقمية ثابتاً، ففى المحول D/A 3-بت على سبيل المثال يكون عدد الدخول الممكنة 8، أما فى المحولات من تناظرى إلى رقمى فيمكن أن يأخذ الدخل التناظرى أى قيمة فى مدى معين، بينما يمكن أن يتخذ الخرج الرقمية قيم محددة عددها مثلاً 2^n لمحول A/D 3-بت.

ولهذا فيكون المطلوب هو تمثيل المدى الكلى لجهد الخرج بطريقة مناسبة على فترات عددها 2^n ، حيث تناظر كل فترة خرج تناظرى ما.

فلنعتبر جهداً تناظرياً يأخذ مدى من 0 إلى V ، وجهد خرج 3-بت لأى جهد على المدى، ونقسم المدى الكلى لهذا الجهد إلى 8 فترات (خرج 3-بت)، يبلغ طول كل فترة $V/8$ ، وتتسب كل فترة إلى قيمة رقمية وحيدة، ويشار لهذه العملية بالتحويل الكمي Quantization، ويبين شكل (48-7) فترات الجهد التناظرى والقيم الرقمية المناظرة، ومنه نلاحظ أن المدى الممثل بفترة معينة يمكن تمثيله بقيمة رقمية واحدة، فالقيمة الرقمية التى تمثل $5/8$ من المدى هي 101، ولهذا نجد أن هناك خطأ يعزى إلى التحويل الكمي يبلغ أقصى قيمة له $V/8$ ، ويمكن تقليل الخطأ بإختيار الستة فترات الداخلية وجعل كل فترة مساوية $V/7$ بينما نجعل كل من الفترة العليا والسفلى مساوية $V/14$.

القيمة الرقمية المكافئة	الجهد التناظرى
	V
111	$7/8 V$
110	$6/8 V$
101	$5/8 V$
100	$4/8 V$
011	$3/8 V$
010	$2/8 V$
001	$1/8 V$
000	0

شكل (47-7) عملية التقدير

ويبين شكل (48-7) هذه الفترات وقيمها الرقمية المنسوبة لها وجهود الخرج التناظرية، عند تطبيق هذه الإشارات الرقمية على محول D/A.

جهد الخرج التناظرى المكافئ	القيمة الرقمية	الجهد التناظرى
V	111	V
$6/7 V$	110	$V_{R7}=13/14V$
$5/7 V$	101	$V_{R6}=11/14V$
$4/7 V$	100	$V_{R5}=9/14V$
$3/7 V$	011	$V_{R4}=7/14V$
$2/7 V$	010	$V_{R3}=5/14V$
$1/7 V$	001	$V_{R2}=3/14V$
0	000	$V_{R1}=1/14V$

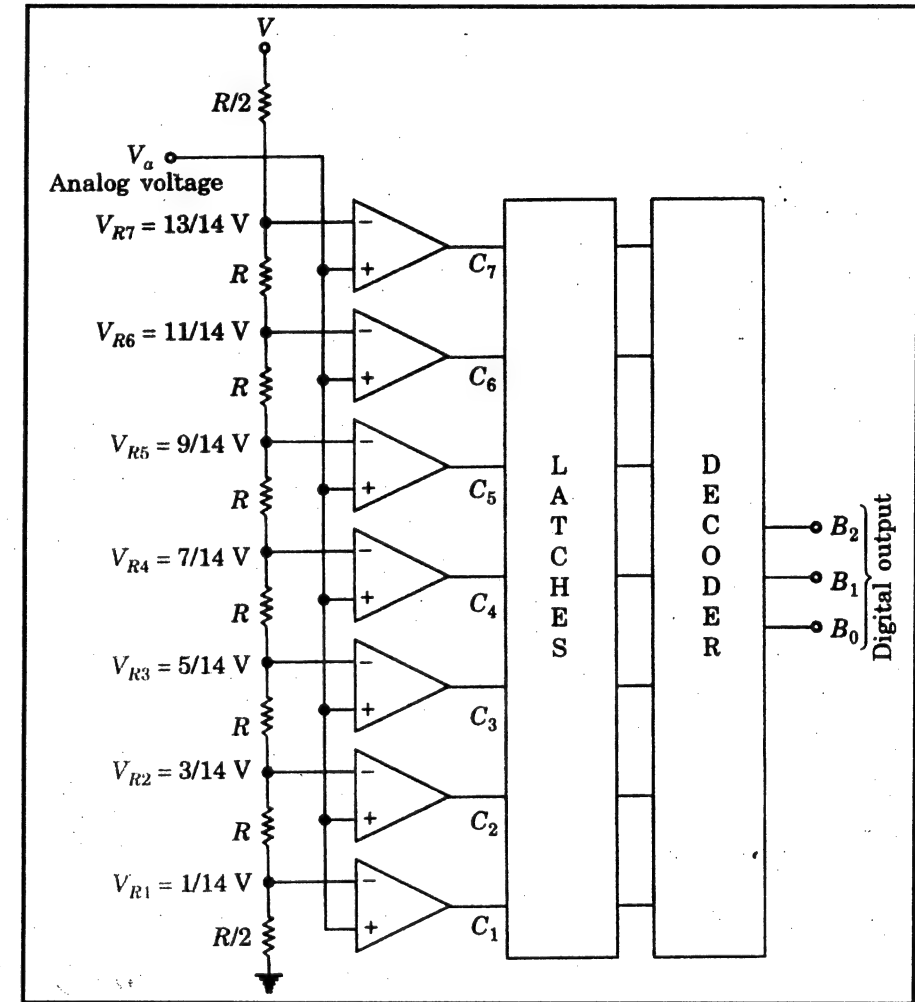
شكل (48-7) التحويل الكمي مع أقصى خطأ $V/14$

ومن الشكل يتبين أن أقصى خطأ كمي سيكون: $S/2 = V/14$ لأى دخل جهد تناظرى V_a فى المدى من 0 إلى V ، كما يمكن أن يحدد الخطأ الكمي بدلالة بت التأثير الأدنى LSB فمثلاً بالنسبة لحالتنا التى نحن بصدددها، يكون أقصى خطأ كمي هو $\pm 1/2 \text{ LSB}$.

7-7-3 المحول A/D بالمقارنات المتوازية :

يبين شكل (49-7) محول A/D 3-بت بمقارنات متوازية Parallel Comparison، ومطلوب تحويل الجهد التناظرى V_a إلى الشكل الرقمي، ويتم توليد الجهود المرجعية المناظرة للمقياس الكلى V (أى V_{R1} و V_{R2} ، ...) باستخدام شبكة مقاومات (عد إلى شكل 48-10) ويتم مقارنة الجهد V_a فى الحال بالجهود المرجعية باستخدام مقارنات، ونحصل منها على خرج 7-بت والتى تخزن فى الماسكات، ثم باستخدام

دائرة كشف تتحول هذه الإشارة الرقمية 7-بت إلى خرج رقمي 3-بت، ويبين جدول (7-10) خروج المقارنات والخرج الرقمي بـ 3-بت لكل فترة جهد تناظري، وقاعدة التحويل باستخدام المقارنات المتوازية هي الأبسط والأسرع إلا أن عيبها الرئيسي هي كثرة عدد المقارنات كلما كثرت عدد البتات، حيث يحدد عددها من العلاقة $(2^N - 1)$.



شكل (7-49) محول 3-بت بمقارن توازي

جدول (7-6)

الخرج الرقمي	خروج المقارن							الدخل التناظري		
B_2	B_1	B_0	C_1	C_2	C_3	C_4	C_5	C_6	C_7	V_a
0	0	0	0	0	0	0	0	0	0	$0 \leq V_a < V_{R1}$
0	0	1	0	0	0	0	0	0	0	$V_{R1} < V_a < V_{R2}$
0	1	0	1	1	0	0	0	0	0	$V_{R2} < V_a < V_{R3}$
0	1	1	1	1	1	0	0	0	0	$V_{R3} < V_a < V_{R4}$
1	0	0	1	1	1	1	0	0	0	$V_{R4} < V_a < V_{R5}$
1	0	1	1	1	1	1	1	0	0	$V_{R5} < V_a < V_{R6}$
1	1	0	1	1	1	1	1	1	0	$V_{R6} < V_a < V_{R7}$
1	1	1	1	1	1	1	1	1	1	$V_{R7} < V_a \leq V$

7-7-4 محول A/D المتعاقب التقريبي

يمكن تمثيل محول A/D المتعاقب التقريبي Successive-approximation كالتالي: بفرض جسم مجهول الوزن يتراوح وزنه بين 0، و 1 كجم، فنفرض وجود ميزان وأتقال 1/2، و 1/4، و 1/8 كجم حيث تستخدم هذه الأتقال في محاولات متتابعة لتحديد وزن الجسم.

تبدأ العملية بوضع الجسم مجهول الوزن W_a في أحد كفتي الميزان، ووضع النقل 1/2 كجم في الكفة الأخرى، فإذا كان:

1- $W_a \geq 1/2$ ، يتم الإحتفاظ بالنقل 1/2 كجم، وإضافة النقل 1/4 كجم إليه، وكتابة 1 ك: بت تأثير أعلى.

2- $W_a < 1/2$ ، يتم إزالة النقل 1/2 كجم، ووضع النقل 1/4 كجم بدلا منه، مع كتابة 0 ك: بت تأثير أعلى.

ونستمر في المحاولات مع أوزان تنازلية مقسومة على 2، وفي كل مرة يكتب بت 1 عند الإحتفاظ بالنقل، بينما يكتب بت 0 في حالة إزالته، ويبين شكل (7-50) العملية كاملة.

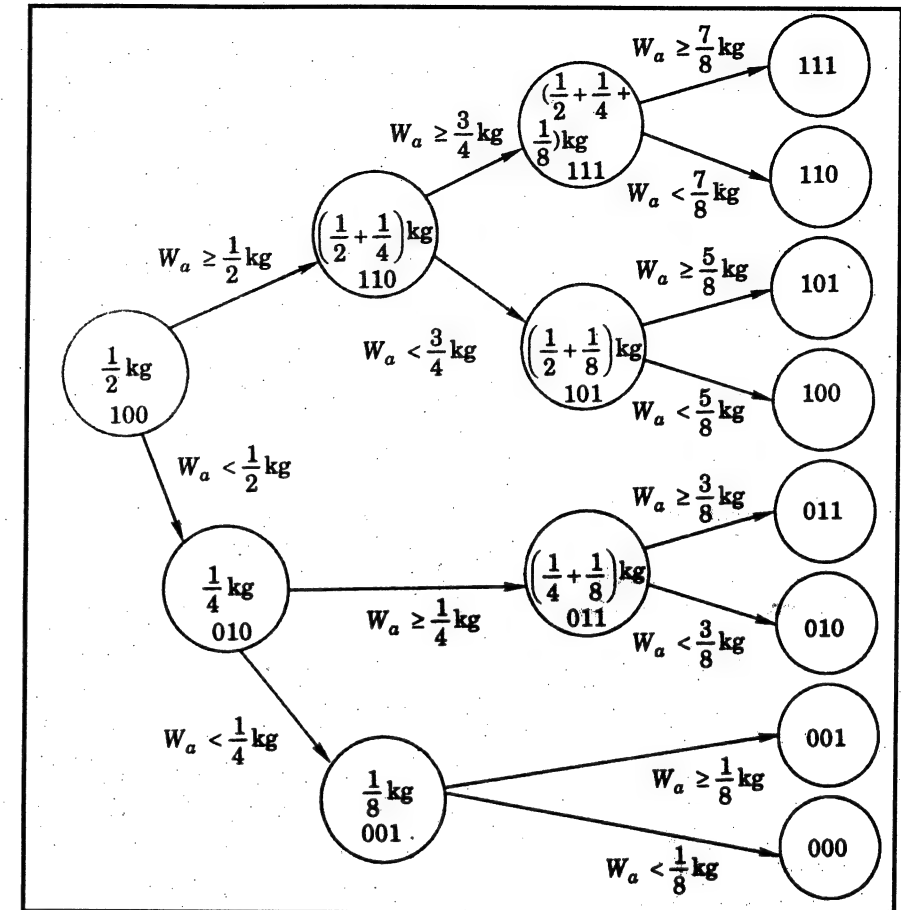
ويكون هذا التعويض مساوياً نصف أقل ثقل أى: $1/16$ كجم، ويبين شكل (51-7) الفترات المناظرة لكل خرج ثنائى نتيجة لهذا التعويض.

الوزن المجهول Kg	القيمة الرقمية المكافئة
15/16	111
13/16	110
11/16	101
9/16	100
7/16	011
5/16	010
3/16	001
1/16	000
0	

شكل (51-7) تأثير تعويض المقياس فى الأوزان التقريبية التعاقبية

وباستخدام القاعدة التى نوقشت مسبقاً، يمكن تحقيق محول A/D كما هو مبين فى شكل (52-7)، وهنا يؤدى المقارن دور المقياس حيث يستخدم خرجه لتهيئة وإعادة تهيئة البتات فى خرج المبرمج programmer ويتحول هذا الخرج إلى جهد تناظري مكافئ (بواسطة محول D/A) ومنه يُطرح جهد التجاوز، ثم تطبيقه على نهاية دخل العكس للمقارن، ويجب ملاحظة أن جهد التجاوز Offset Voltage قد تم إضافته إلى جانب الوزن المجهول، ولهذا فهو يطرح من جانب الوزن المعلوم للحصول على التأثير المكافئ، وستغير مخرج المبرمج فقط فى وجود نبضة الساعة.

ولبدئ التحويل، يُهيا المبرمج بحيث يكون بت التأثير الأعلى عند 1 بينما تكون البتات الأخرى عند 0، حيث يتحول هذا إلى إشارة تناظرية (بواسطة محول



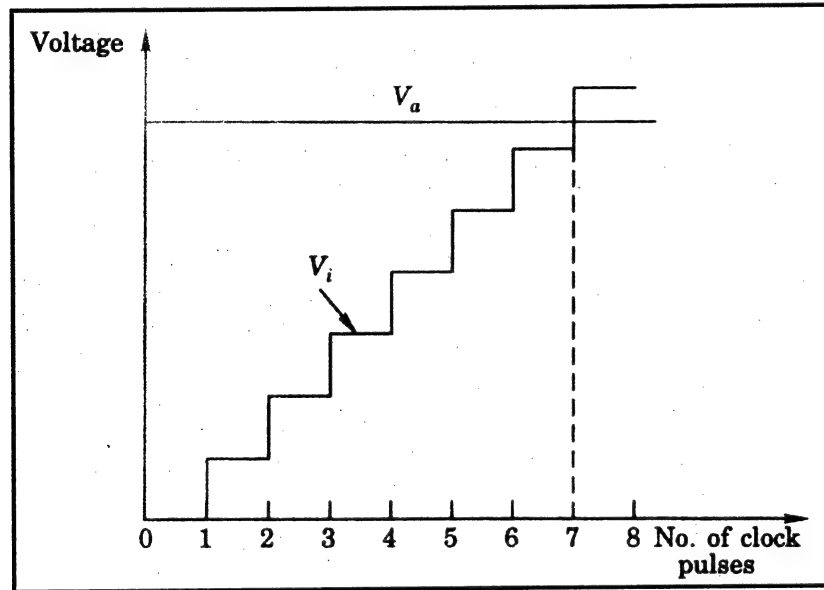
شكل (50-7) عملية تعاقب تقريبي لمحول A/D

ويكون الوزن $1/2$ تمثيلاً لـ بت التأثير الأعلى، يليه الوزن $1/4$ ممثلاً لـ بت التالى الأقل، وهكذا، فمثلاً يكون الوزن الذى يمثل الرقم الثنائى 101 محسوباً كالتالى:

$$(1 \times 1/2) + (0 \times 1/4) + (1 \times 1/8) = 5/8 \text{ kg.}$$

فبفرض وجود جسم مجهول الوزن ووزنه أقل من $1/2$ كجم بقليل، فبالتالى ومن طريقة التعاقب التقريبى نجد أن الوزن الرقمى المكافئ هو: 011، والذى يمثل وزن قيمته $3/8$ كجم، وهذا يبين خطأ كمى قيمته $1/8$ كجم، ولتقليل هذا الخطأ يكون من الضرورى عمل تعويض للمقياس أى جعله يميل فى اتجاه الوزن المجهول،

الساعة الداخلية للعداد، أى أنه فى حالة ما يكون الخرج: $V_0 = 1$ ، تكون نبضات الساعة المطبقة على طرف دخل الساعة للعداد ويتواصل العد، ومع إزدياد عدد النبضات خطياً مع الزمن يزداد الجهد V_i ، كما هو مبين فى شكل (53-7)، وطالما أن جهد الدخل V_a أكبر من الجهد V_i يكون خرج المقارن عالياً وتنتقل نبضات الساعة إلى العداد، وعندما يزداد جهد الدخل V_i عن الجهد V_a ، يتغير خرج المقارن V_0 إلى القيمة المنخفضة LOW وتتوقف Disabled البوابة AND، كما يتوقف عد العداد، ويمكن قراءة خرج العداد ككلمة رقمية تمثل جهد الدخل التناظرى، ويكون 2^N هو أقصى عدد من نبضات الساعة المطلوبة لعمل التحويل فى المحول A/D -بت، ومما يجعلنا نقول أن هذا النوع أبسطاً من النوعين السابقين.



شكل (53-7) شكل الموجة لمحول A/D العداد

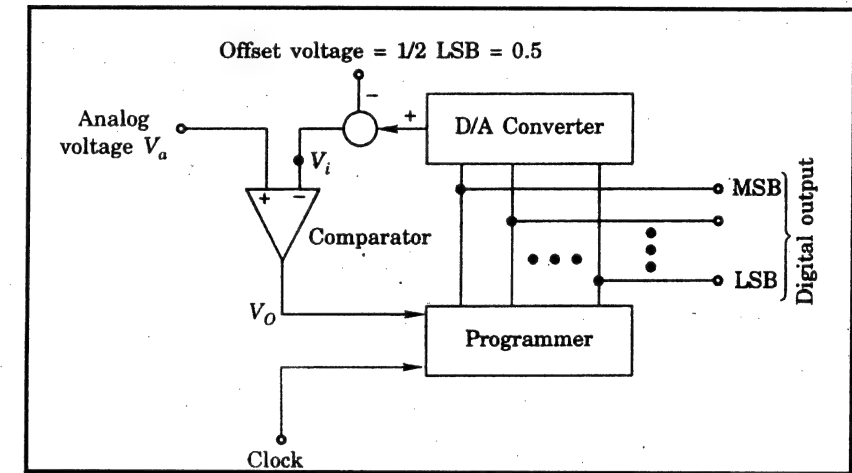
7-7-6 محول A/D ابلد المزدوج:

يبين شكل (54-7) المخطط الوظيفى للمحول A/D الميل المزدوج Dual-slop والذي يتكون من 4 اقسام رئيسية:

1- دائرة مكامل integrator.

وحيث يقوم المقارن بمقارنة هذه الإشارة مع دخل الجهد التناظرى V_a ، فإذا كان $V_a \geq V_i$ يصبح خرج المقارن V_0 عالياً HIGH ويهيئ البت التالى، وعلى الجانب الآخر، إذا كان $V_a < V_i$ يصبح خرج المقارن V_0 منخفضاً LOW فيعيد تهيئة بت التأثير الأعلى ويهيئ البت التالى، وهكذا يتم المحاولة بـ 1 فى كل بت للمحول D/A لحين الحصول على المكافئ الثنائى لدخل الجهد التناظرى.

ونجد أن هذا النوع من المحول N-بت يتطلب نبضات ساعة عددها N، مما يجعلنا نقول أن هذا النوع أبسطاً من المحول بمقارن توازى.



شكل (52-7) محول A/D متعاقب تقريبي

7-7-5 محول A/D العداد:

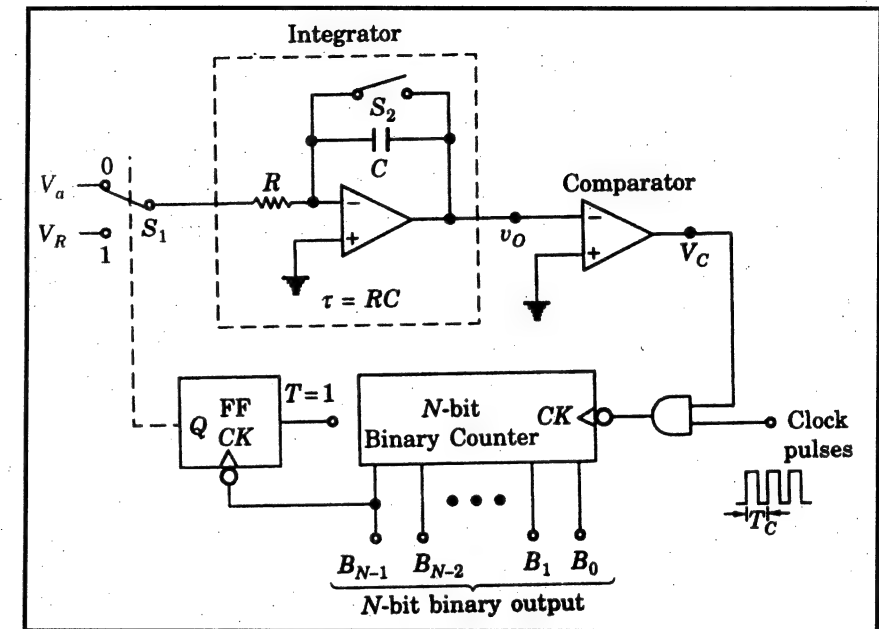
يمكن تحويل المحول المتعاقب التقريبي المبين فى شكل (52-7) إلى محول A/D العداد Counting A/D converter، إذا تم استبدال المبرمج بعداد تصاعدي بدخل مسح، والذي يتم توقيته Clocked فقط طالما أن $V_0 = 1$ ، ولبدء التحويل، يُعاد تهيئة العداد عند صفر باستخدام نبضة مسح، ويؤخذ خرج العداد كدخل للمحول D/A وحيث يُقارن خرج (مع جهد تعويض) بدخل الجهد التناظرى V_a ، فإذا كان:

$V_a > V_i$ يصبح خرج المقارن V_0 مساوياً: 1، والذي يعتبر دخل من أحد دخلى بوابة AND بينما نبضات الساعة هى الدخل الآخر. ويكون خرج البوابة هو نبضة

2- مقارنة.

3- عداد ثنائي.

4- مفتاح قائد Switch driver.



شكل (54-7) محول A/D مزدوج الميل

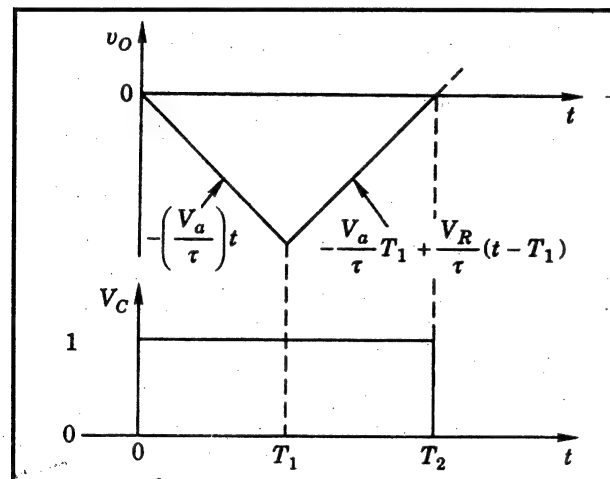
وتبدأ عملية التحويل عند الزمن: $t = 0$ ، حيث يكون المفتاح S_1 عند الوضع 0، فيصل الجهد التناظري V_a إلى دخل دائرة المكامل والتي يكون خرجها v_0 كالتالي:

$$V_0 = \left(-\frac{1}{\tau}\right) \int_0^t V_a dt = -(V_a / \tau)t.$$

وهذا الخرج v_0 يجعل خرج المقارن V_c عالياً بما يُمكن البوابة AND، وبالتالي تسمح البوابة لنبضات الساعة بالوصول إلى طرف دخل الساعة CK للعداد والذي كان ممسوحاً في الحالة الابتدائية، ويعد العداد من 00...00 إلى 11...11 عند تطبيق نبضات ساعة عددها $(2^N - 1)$ وعند نبضة الساعة التالية 2^N ، يُسمح العداد ويصبح خرج القلاب Q مساوياً: 1، وهذا الخرج يتحكم في المفتاح S_1 والذي يتحرك للوضع

1 عند الزمن T_1 وموصل الجهد V_R - لدخل دائرة المكامل فيبدأ خرجها v_0 في التحرك في الاتجاه الموجب، ويستمر العداد في العد طالما أن $v_0 < 0$ ، وبمجرد وصول v_0 عند القيمة الموجبة عند الزمن T_2 ، يصبح V_c منخفضاً، مسبباً عدم التمكن للبوابة AND، ومما يجعل العداد يتوقف عن العد في غياب نبضات الساعة.

ويبين شكل (55-7) أشكال الموجة للجهود V_0 و V_c .



شكل (55-7) أشكال الموجة للجهود V_0 و V_c

ويحسب الزمن T_1 من العلاقة:

$$T_1 = 2^N T_c \quad (7-30)$$

حيث: T_c هي الفترة الزمنية لنبضة الساعة.

وعندما يكون المفتاح S_1 عند الوضع 1، يصبح جهد الخرج لدائرة التكامل V_0 كالتالي:

$$V_0 = \frac{-V_a}{\tau} T_1 + \frac{V_R}{\tau} (t - T_2) \quad (7-31)$$

وعند: $t = T_2$ ، يكون: $v_0 = 0$ ، وعلى هذا يكون:

$$T_2 - T_1 = \frac{V_a}{V_R} T_1 = \frac{V_a}{V_R} 2^N T_c \quad (7-32)$$

وإذا كان n هو العد عند الزمن T_2 ، فيكون:

$$T_2 - T_1 = n \cdot T_c = \frac{V_a}{V_R} 2^N T_c \quad (7-33)$$

ومنه يكون:

$$n = (V_a/V_R) \cdot 2^N \quad (7-34)$$

وهذا يُظهر أن خرج العداد يتناسب مع الجهد التناظري V_a ، وإذا كان: $V_R = 2^N$ ، فمن ذلك يكون:

$$n = V_a$$

أى أن العد المسجل في العداد يكون عددياً مساوياً للجهد التناظري V_a .

وهذا النوع من المحولات يستخدم غالباً في الفولتامترات الرقمية للدقة الجيدة في التحويل وأيضاً بسبب التكلفة المنخفضة، أما أهم عيوب وهذا النوع من المحولات فهي السرعة البطيئة.

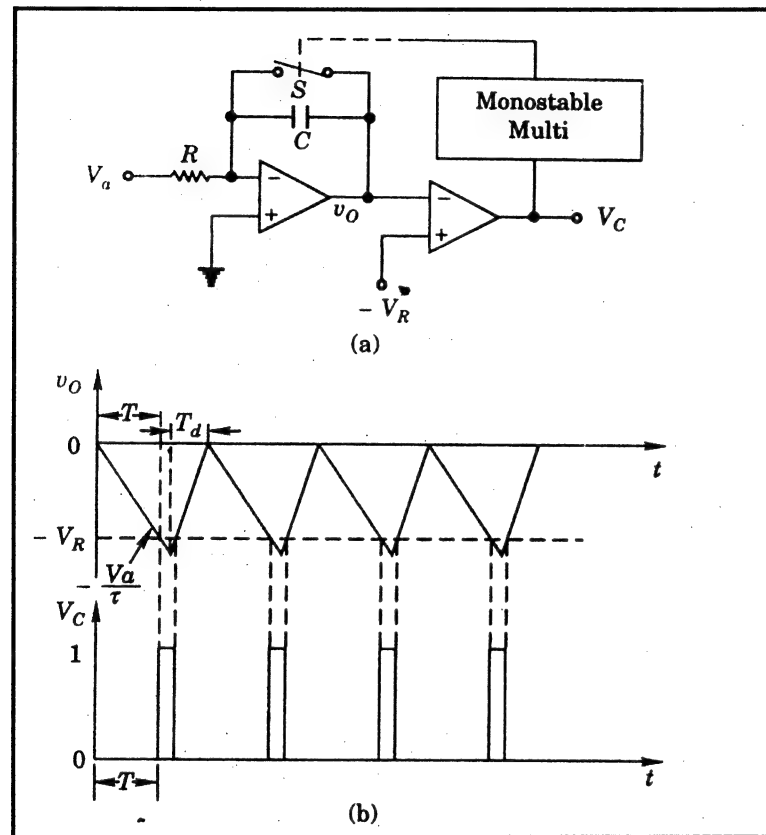
7-7-7 محول A/D باستخدام تحويل الجهد إلى تردد :

يمكن تحويل الجهد التناظري إلى الشكل الرقمي وذلك بإنتاج نبضات يتناسب ترددها مع الجهد التناظري، وبتثبيت الفواصل الزمنية بين هذه النبضات يتم عددها بواسطة عداد تتناسب قراءته مع تردد هذه النبضات وبالتالي مع الجهد التناظري.

وبين شكل (a-56-7) محول جهد إلى تردد ، حيث يطبق الجهد التناظري V_a على دائرة مكامل، ويطبق خرجها V_0 على طرف الدخل العكس لمقارن، بينما يوصل طرف الدخل غير-العكس بجهد مرجعي V_R .

في البداية يكون المفتاح S مفتوحاً ، ويقل الجهد v_0 خطياً مع الزمن يحدد هذا من العلاقة $V_0 = -V_a t / \tau$ كما هو مبين في شكل (b-56-7)، وعند وصول الجهد V_0 للقيمة $-V_R$ عند الزمن : $t = T$ ، يصبح خرج المقارن V_C عالياً HIGH، فيؤدى هذا - ومن خلال المذبذب الأحادي الإستقرار - إلى قفل المفتاح S ، مما يؤدى إلى تفريغ المكثف C ومعيداً خرج دائرة المكامل V_0 ليكون مساوياً: 0، وحيث أن عرض نبضة

الخرج V_C صغير جداً، فيستخدم المذبذب الأحادي الإستقرار ليحفظ المفتاح S على وضع القفل لزمن يكفى للتفريغ التام للمكثف، ويعتمد المعدل الذى يُفرغ عنده المكثف على مقاومة المفتاح.



شكل (56-7) محول جهد إلى تردد

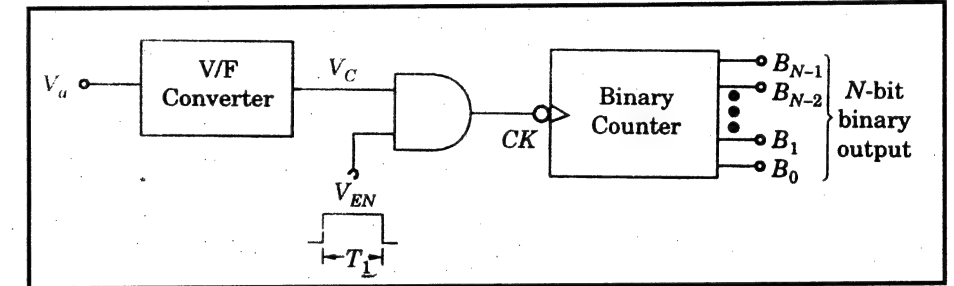
فبفرض أن T_d هي سعة نبضة المذبذب ، فلماذا يظل المفتاح S مغلقاً لزمن قدره T_d يُفتح بعده ويعود الجهد V_0 فى الإنخفاض ثانية.

ومع فرض أن زمن التكامل (Integration time) T أكبر بكثير من سعة نبضة المذبذب (T_d) ، فيحسب تردد أشكال الموجة V_0 ، V_C كالتالى:

$$f = 1/(T + T_d) \approx 1/T = (1/\tau) \cdot (V_a/V_R) \quad (7-35)$$

وهكذا يمكن الحصول على خرج شكل موجة يتناسب ترددها مع جهد الدخل التناظري ويبين شكل (7-57) محول A/D يستخدم محول الجهد إلى التردد (V/F) السابق، حيث يُطبق خرج المحول عند مدخل الساعة CK للعداد من خلال بوابة AND ، ويمكن البوابة AND لفترة زمنية ثابتة T_1 ، وبحسب قراءة العداد n عند الزمن: $t = T_1$ ، وتكون متناسبة مع الجهد V_a من العلاقة:

$$n = f T_1 = (1/\tau) \cdot (V_a/V_R) \cdot T_1 \quad (7-36)$$



شكل (7-57) محول A/D يستخدم محول الجهد إلى التردد (V/F)

7-7-8 مواصفات المحولات A/D :

المواصفات الرئيسية التي تحدد المحولات A/D كالاتي :

- 1- مدى جهد الدخل.
- 2- إعاقة الدخل Input impedance.
- 3- الدقة Accuracy.
- 4- زمن التحويل Conversion time.
- 5- تشكيل الخرج الرقمي.

* وفي نهاية الفصل يمكننا القول :

في هذا الفصل تمت مناقشة بعضاً من الدوائر ذات الفائدة في توليد أشكال الموجة الموقتة، ويمكن تصميم هذه الدوائر باستخدام أجهزة محددة إلا أنها لم يعد

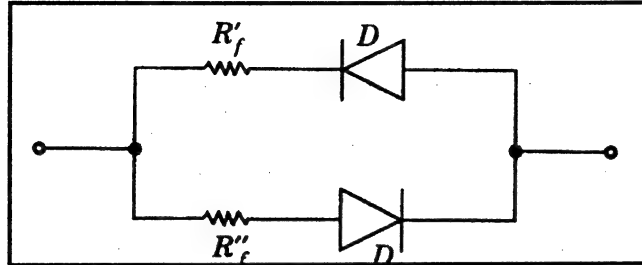
هناك مكان لإستخدام هذه الأجهزة بسبب الدوائر التكاملية المتاحة على شكل البوابات ومكبرات العمليات والمذبذبات والمؤقت 555، كما يمكن باستخدام هذه الدوائر التكاملية تصميم العديد من الدوائر المفيدة، كما أن الفهم الكامل لعمل هذه الدوائر يكون أساسى للإستخدام الكفء لها فى التطبيقات الجديدة.

كما تمت فى هذا الفصل دراسة بعض التقنيات الشائعة الإستخدام فى التحويل من التناظرى للرقمى وفى التحويل من الرقمى إلى التناظرى، ويُفضل التشكيل المبين فى شكل (7-43) لملاءمة عدد كبير من الـ بتات فى المحولات D/A، أما من بين المحولات A/D التى تمت مناقشتها فأسرعها نوع المقارنات المتوازية، ومن هنا يكون الإختيار الصحيح إذا كانت أقصى سرعة هى المطلوبة، أما نوع التتابع التقريبى فإن سرعته أقل من سرعة نوع المقارنات المتوازية، إلا أنه يتطلب مكونات مادية أقل لذا فهو مفضل تماماً، كما أن نوع الميل المزدوج فيعد أيضاً من المحولات التى تُستخدم بتوسع فى الأجهزة مثل : الفولتاميترات الرقمية حيث لا يهتم فيها خاصية بطئ التحويل.

كما يلزم ضبط مستويات جهد الخرج للمحولات A/D لتكون ملائمة لعائلات المنطق مثل: TTL و CMOS.

تدريب (6-7) :

إذا تم إستبدال المقاومة R_f في شكل (7-13) بالدائرة المبينة في شكل (7-59)، فابعد شكل الموجة لجهد الخرج وفترته الزمنية.



شكل (7-59) دائرة للتدريب (6-7)

تدريب (7-7) :

تحقق من أن الدائرة في شكل (7-16) لا يمكن أن تظل في الحالة: $V_0 = -V_0$ تحت ظرف الحالة الثابتة.

تدريب (8-7) :

حقق المعادلة (7-13).

تدريب (9-7) :

يتطلب لإشارة مرور أن يظل الضوء الأحمر لمدة 30 s، بينما يظل الضوء الأخضر لمدة 60 s بمفتاح اوتوماتيكي، فاصمم دائرة لتحقيق هذا الغرض.

تدريب (10-7) :

مطلوب تصميم دائرة طلقة واحدة لتوليد نبضات عرضها $2 \mu s$ باستخدام:

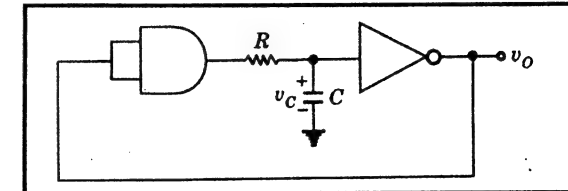
أ- الدائرة 74121.

ب- الدائرة 74122.

تدريبات

تدريب (1-7) :

تحقق من أن الدائرة المبينة في شكل (7-58) تعمل كمذبذب غير مستقر.



شكل (7-58) دائرة التدريب (1-7)

تدريب (2-7) :

في الدائرة في شكل (7-2)، تحقق من أن وجود جهد الخرج V_0 في حالة المنطق 0 يجعل الدائرة في حالة غير مستقرة.

تدريب (3-7) :

تحقق من المعادلتين (7-5) و (7-6).

تدريب (4-7) :

في الدائرة التي في شكل (7-12) إذا كان دايودا زينر متماثلان ومع:

$$V_{Z1} = V_{Z2} = V_Z = 4.6 \text{ V}, \text{ وجهد الدايود أثناء التوصيل: } V_D = 0.6 \text{ V}, V_R = 1 \text{ V}$$

فابعد V_{UT} و V_{LT} .

إرسم شكل الموجة لجهد الخرج إذا كان V_i جهد جيبي بقيمة قمية تبلغ 5 V.

تدريب (5-7) :

في دائرة المذبذب غير المستقر في شكل (7-13)، إذا كانت جهود الإنهيار Breakdown voltages لدايودى زينر مختلفين، فاستنتج تعبير لتردد الموجة المربعة.

تدريب (11-7) :

باستخدام الدائرة 74121، مطلوب تصميم دائرة طلقة واحدة لتوليد نبضات عرضها 5 ms باستخدام:

أ- المقاومة الداخلية.

ب- مقاومة خارجية قيمتها 40 K Ω .

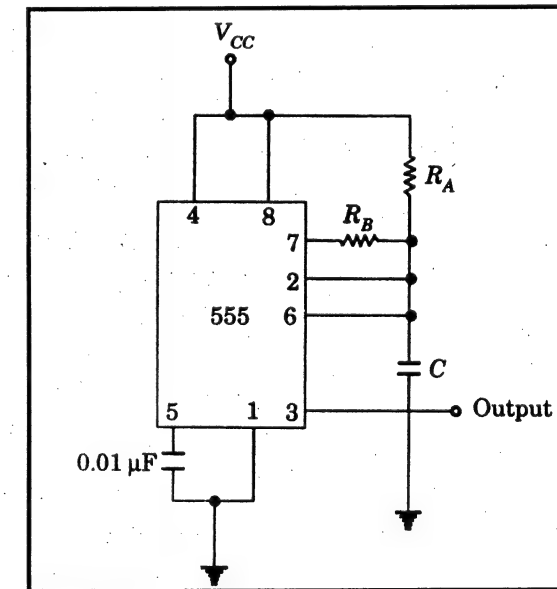
وكم يبلغ أقصى تردد لنبضات الإشعال في كل حالة.

تدريب (12-7) :

باستخدام المؤقت 555 مطلوب تصميم مولد موجة مربعة ترددها 100 KHz، وبمعامل دورة خدمة قدره 60%.

تدريب (13-7) :

أ- إشرح عمل دائرة المذبذب الغير مستقر الذى يستخدم مؤقت 555 والمبين في شكل (60-7)، مع رسم أشكال الموجة.



شكل (60-7) دائرة التدريب (13-7)

ب- اوجد تعبير للفترة الزمنية لشكل الموجة للخروج.

ج- هل من الممكن الحصول موجة مربعة بمعامل دورة خدمة 50%؟، وإذا كانت الإجابة بنعم، فاوجد الشرط الذى يحقق ذلك.

د- إذا كانت: $R_B = 20 K\Omega$ ، فاوجد قيمة R_B التى تحقق معامل دورة الخدمة 50%.

تدريب (14-7) :

تحقق من أن الدائرة المبينة في شكل (34-7) لا يمكن أن يكون خرجها عالى HIGH في الحالة الثابتة .

الفصل الثامن

ذاكرات أشباه الموصلات

1-8 مقدمة

2-8 منظومة الذاكرة ونشغيلها

3-8 نوعية سرعة الكلمة

4-8 أنواع الذاكرات

5-8 أجهزة المنطق القابلة للبرمجة PLDs

8-1 مقدمة :

دعنا نسأل عن الجزء الأكثر أهمية في مكونات النظام الرقمي، فمن المعروف أن المعالجة في الأنظمة الرقمية تتطلب وسيلة لتسهيل تخزين المعلومات الرقمية، وتكون هذه المعلومات المخزنة إما مجموعة من الأوامر مشفرة على الشكل الثنائي، أو بيانات مطلوب معالجتها، أو نتائج وسيطة أو نهائية...إلخ، ويسمى النظام الفرعي Subsystem الموجود داخل النظام الرقمي الرئيسي والذي يقوم بتخزين هذه المعلومات بـ "الذاكرة" Memory، والتي تقع على قمة أهم الأجزاء المكونة للنظام الرقمي.

وتتوقف قوة النظام الرقمي بشكل كبير على قدرته على تخزين واستعادة المعلومات، وكلما كبرت ذاكرة النظام الرقمي، كلما زادت قدرته على معالجة معلومات أكثر، فالحاسب الرقمي الذي يمتلك ذاكرة عالية يمكنه معالجة برامج أكثر تعقيداً وأكثر تفصيلاً، وقبل الذهاب بعيداً، علينا أن نتوقف لحظة لنلاحظ أن ذاكرة الحاسب - مهما كانت - لا يمكن أن تصل إلى الديناميكية التي تتصف بها ذاكراتنا الحيوية، فمهما كانت قدرة ذاكرة الحاسب على تذكر وإسترجاع الحقائق الكثيرة مثل السيرة الذاتية لشخص ما، إلا أنها لا تستطيع مثلاً الإستغراق وإسترجاع الذكريات السعيدة أو تذكر عطر زهرة ما أو إستعادة إنفعالات حدثت أثناء إحدى المباريات الرياضية، وسيظل العلم عاجزاً عن تفسير كيفية إمتصاص العقل البشري لتجارب الحياة العديدة ثم إسترجاعها والإستفادة منها متى تطلب الأمر ذلك، وعلى الرغم من هذا فإن التقدم السريع جداً الحادث في مجال الإليكترونيات جعل ذاكرات الأنظمة الرقمية بالروعة التي تجعلها تقوم بمهام صعبة جداً بل ومستحيلة، ومنها - وللتبسيط وعلى سبيل المثال - القدرة على تخزين معلومات لدليل تليفونات وإستعادة رقم أى مشترك فى ثوان معدودة، أو تسجيل جميع المعلومات المتعلقة بالمسار الدراسى لطالب جامعى على مدى أربع سنوات ثم إستعادتها كاملة، فى حين أن هذا الطالب نفسه لا يستطيع تذكر إلا نسبة ضئيلة جداً من هذه المعلومات.

ومنذ أكثر من 50 عاماً حدثت تطورات كثيرة فى ذاكرات الأنظمة الرقمية من ذاكرات القلب المغناطيسية Magnetic cores، إلى أنها ومع التطورات التى تناولت

تكنولوجيا أشباه الموصلات، أصبح من الممكن تصنيع ذاكرات أشباه الموصلات، بمختلف الأنواع والأحجام، والتي أصبحت مفضلة بسبب صغر أحجامها، ورخص ثمنها، وسرعتها العالية، وإعتماديتها العالية High reliability، ولهذا أصبح على مصممي المعالجات الدقيقة أن يكونوا على معرفة متمكنة بأساسيات تشغيل أجهزة ذاكرات أشباه الموصلات المختلفة.

2-8 منظومة الذاكرة وتشغيلها :

يقصد بالذاكرة هنا أى الذاكرة الرئيسية Main memory للنظام الرقمى، وهى تعتبر المخزن الرئيسى لجميع البيانات الداخلة فى عملية المعالجة، وكذلك المخزن لمجموعة التعليمات والأوامر المعبرة عن العمليات التى يتم إجراؤها، كما تقوم الذاكرة بتخزين نتائج هذه العمليات حيث يستفاد منها عند الحاجة.

فى الفصل السادس تمت دراسة القلاب وهو يُعد العنصر الأساسى فى ذاكرات أشباه الموصلات، وفيه يتم تخزين البيانات بعد ترجمتها إلى الشكل الثنائى، وحيث يتم تمثيل كل بيان على هيئة مجموعة من البتات 1, S و 0, S.

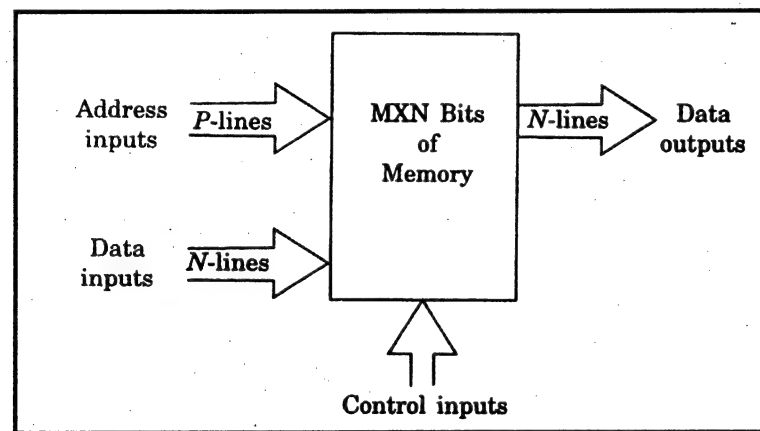
ويمكن تشبيه الذاكرة بمكتبة ضخمة بها أرفف كثيرة، كما يمكن تمثيل كل رف بموقع للذاكرة Memory location، ويحتوى كل موقع على عدد من خلايا التخزين مخزن فيها عدد محدد من البتات حيث تتسع كل خلية لـ بت واحد فقط.

ومن هنا نقول أنه يوجد العديد من المواقع على شريحة الذاكرة وكل موقع يعنى كلمة واحدة مكونة من معلومة رقمية، ويختلف عدد المواقع وعدد البتات المكونة للكلمة من ذاكرة لأخرى، ويُحدد حجم الذاكرة برقمين يُرمز لهما بالحرفين M و N، حيث يحدد الرمز M عدد المواقع المتاحة فى شريحة الذاكرة، كما يحدد الرمز N عدد البتات فى كل موقع، وبكلام آخر فإن كلمات عددها M تشمل كل منها على عدد N-بتات يمكن تخزينها فى الذاكرة، ويُحدد حجم الذاكرة بحاصل ضرب الرقمين $M \times N$.

وفى الشريحة الواحدة، تكون قيم M الشائعة (أى عدد الكلمات) هى: 64، و 256 و 512 و 1024 و 2048 و 4096، ... إلخ، بينما القيم الشائعة لحجم الكلمة هى:

1، و 4، و 8، و... إلخ، ويمكن استخدام هذه الشرائح للذاكرات التى تتطلب قيم عالية من عدد الكلمات، أو تتطلب حجم كبير للكلمة، أو تتطلب لكلاهما معا.

والشكل (1-8) يبين المخطط الوظيفى لذاكرة، وكما نتعرف على مواضع الكتب فى المكتبة، فيتم أيضاً التعرف على المواقع عن طريق العنوان، فكل موقع من المواقع له عنوان منفصل Address (والذى يكون محدداً أيضاً بالشكل الثنائى)، وعلى هذا فإن المدخل إلى أى من هذه المواقع يتطلب دخول عددها P حيث $2^P = M$ ، (فمثلاً إذا كان عدد المواقع 16 فيكون: $2^P = 16$ ، ومنه يكون عدد الدخول P مساوياً: 4) ويشار إلى هذه المجموعة من الخطوط بما يسمى بـ "مداخل العنوان" Address inputs، أو "ناقل العنوان" Address bus، وفى الحقيقة فإنه يتم تطبيق مدخل العنوان على كاشف P-M (تحويل عدد مداخل إلى عدد كلمات)، حيث يحدث تفعيل لأحد الكلمات معتمداً على العنوان، ومنها يتم الوصول إلى موقع الذاكرة المطلوبة.



شكل (1-8) المخطط الوظيفى لجهاز ذاكرة

مثال (1-8) :

بالأخذ فى الاعتبار ذاكرة حجمها 16 كلمة، فاوجد العنوان الثنائى Binary address لكل موقع.

الحل :

حيث أن عدد الكلمات 16 فيكون: $2^p = 16$ ، ومنه يكن عدد الدخول P مساوياً: 4، أى أنه لإختيار أحد الكلمات من 16 كلمة، فإن ذلك يحتاج ناقل عنوان بـ 4-بت، ويحدد العنوان بالرموز A_3 ، و A_2 ، و A_1 ، و A_0 حيث يمثل A_3 بت التأثير الأعلى، بينما يمثل A_0 بت التأثير الأقل، ويبين جدول (1-8) عنوان كل موقع.

جدول (1-8)

رقم الكلمة	العنوان الثنائي			
	A_3	A_2	A_1	A_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

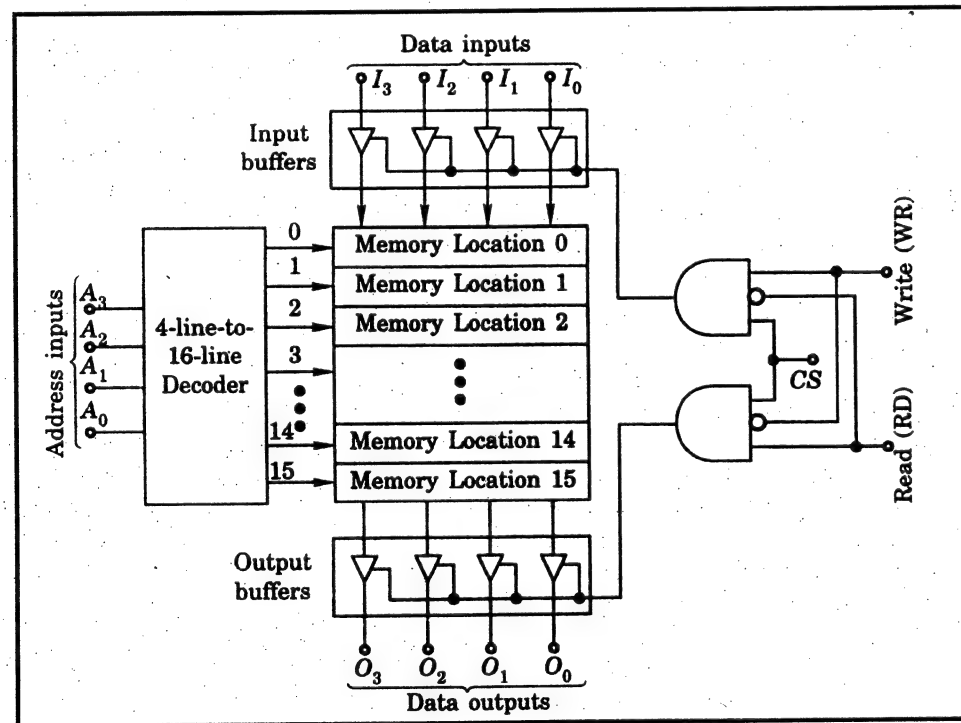
ويكون N هو عدد المداخل المطلوبة لتخزين البيانات في كل موقع في الذاكرة أو قراءتها منه، فيُشار لمجموعة من الخطوط عددها N والمطلوبة لتخزين البيانات في الذاكرة بـ "مدخل البيانات" Data inputs، كما يشار لمجموعة أخرى من الخطوط عددها N والمطلوبة لقراءة بيانات مُخزنة مسبقاً في الذاكرة بـ "مخارج البيانات" Data outputs، وفي بعض الذاكرات تستخدم نفس المجموعة كمداخل بيانات ومخارج بيانات وتعرف بـ "ناقل البيانات" Data bus، فيستخدم هذا الناقل في توقيت

ما كمداخل بيانات وفي توقيت آخر كمخارج بيانات، مما يسبب توفير في عدد أرجل شريحة الدائرة التكاملية.

كما يكون مطلوباً أيضاً عدد من مداخل للتحكم Control inputs لإعطاء أوامر للذاكرة لتأدية عمليات محددة، فمثلاً إشارة أمر مطلوبة لإخبار الذاكرة أياً من عملية الكتابة أم القراءة هي المطلوبة، أو دخول أوامر تشمل تمكين الشريحة CE، أو إختيار الشريحة CS... إلخ.

وبالإضافة إلى ماسبق، يوجد رجلين على الأقل لتوصيل منبع التغذية، والأرض.

وبين شكل (2-8) المنظومة الداخلية لشريحة ذاكرة 16×4 ، وسوف يتم مناقشة عمليتي الكتابة والقراءة في القسمين التاليين.

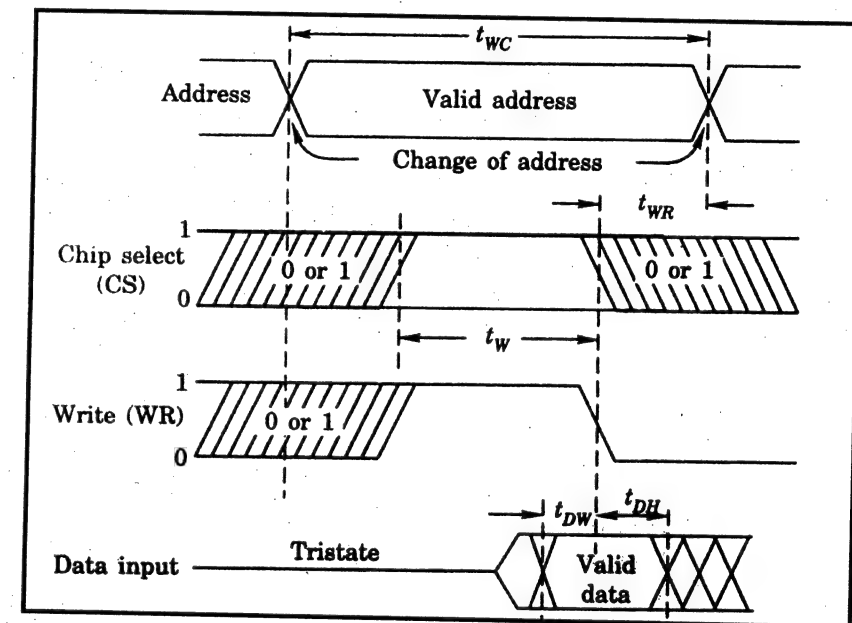


شكل (2-8) المنظومة الداخلية لشريحة ذاكرة 16×4

8-2-1 عملية الكتابة :

تتطلب عملية كتابة كلمة على موقع ما في الذاكرة تطبيق جهد منطق 1 على كل من دخل الاختيار CS، ودخل الكتابة Writ WR ، ويؤدي هذان الدخلان إلى تمكين عازلات الدخل Input Buffers من تحميل الكلمة المكونة من 4-بت عند دخول البيانات إلى الموقع المختار، كما يمنع الشرط: $WR = 1$ من تمكين عازلات الخرج بحيث تكون خروج البيانات في حالة الإعاقة العالية لها High-impedance.

وعند كتابة كلمة في موقع ما في الذاكرة يتم تنفيذ العمليات المتتالية التالية:



شكل (3-8) أشكال موجة دورة الكتابة

1- تطبيق إشارة اختيار الشريحة على النهاية CS.

2- تطبيق الكلمة المراد تخزينها على نهايات دخل البيانات Data Inputs.

3- تطبيق عنوان موقع الذاكرة المطلوب على نهايات مداخل العنوان Address Inputs.

4- تطبيق إشارة أمر الكتابة على نهاية دخل التحكم (كتابة).

وكاستجابة لهذه العمليات، يتم مسح أي كلمة كانت مخزنة مسبقاً في هذا الموقع من الذاكرة، وتحل محلها المعلومة الموجودة عند طرف دخل البيانات.

ويبين شكل (3-8) أشكال الموجة المختلفة خلال عملية الكتابة.

ويمكن توضيح الخواص الزمنية الهامة التي تحدث خلال دورة الكتابة كالتالي:

زمن دورة الكتابة (t_{wc}) Write cycle time :

هو أقل مدة زمنية تلزم أن يتواجد خلالها العنوان ليتم كتابة كلمة ما في الذاكرة، أو بكلام آخر أقل زمن مطلوب بين عمليتي كتابة متتاليتين.

زمن نبضة الكتابة (t_w) Write pulse time :

هو أقل طول لنبضة الكتابة.

زمن إطلاق الكتابة (t_{wr}) Write release time :

هو أقل مدة زمنية تنقضي بعد إنتهاء زمن نبضة الكتابة ويكون أيضاً العنوان محقق.

زمن تهيئة البيانات (t_{dw}) Data set up time :

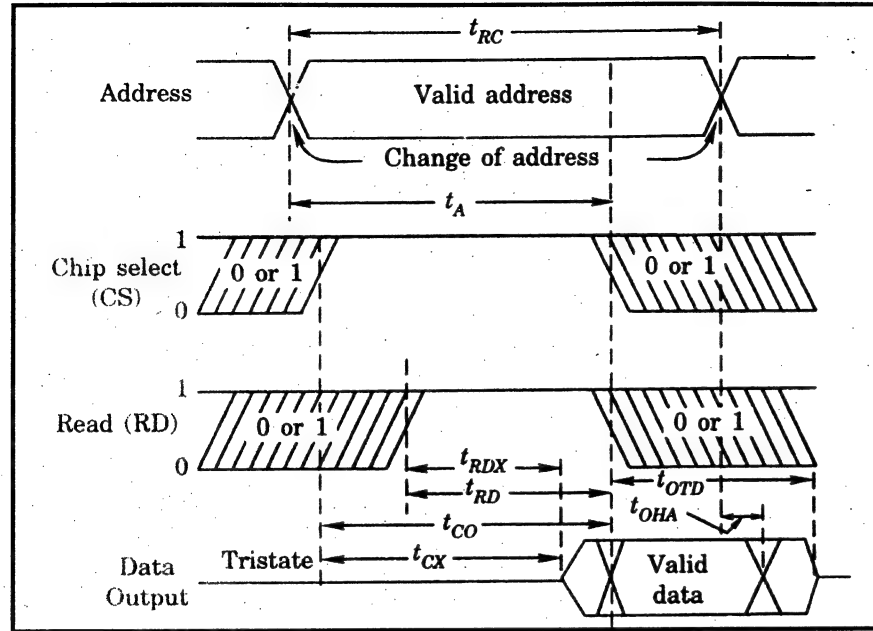
هو أقل مدة زمنية تكون عندها البيانات محققة قبل إنتهاء نبضة الكتابة.

زمن إمساك البيانات (t_{dh}) Data hold time :

هو أقل مدة زمنية تكون عندها البيانات محققة بعد إنتهاء نبضة الكتابة.

8-2-2 عملية القراءة :

لقراءة محتويات موقع ما في الذاكرة يتم تطبيق جهد منطق 1 على كل من دخل الاختيار CS، ودخل القراءة Read RD، ويؤدي هذا إلى تمكين عازلات الخرج بحيث تظهر محتويات الموقع المختار على أطراف خروج البيانات، أيضاً يمنع الشرط: $RD = 1$ من تمكين عازلات الدخل بحيث لا تؤثر بيانات الدخل على الذاكرة أثناء



شكل (4-8) أشكال موجة دورة الكتابة

زمن التحقق من إختيار الشريحة للخروج (t_{CO}) : Chip-select to output valid time

هو أقصى زمن تأخير بين بداية نبضة إختيار الشريحة وإتاحة البيانات المحققة على مخارج البيانات.

الزمن الفعال من إختيار الشريحة للخروج:

Chip-select to output active time (t_{CX})

هو أقل زمن تأخير بين بداية نبضة إختيار الشريحة ووصول عازلات الخرج للحالة الفعالة.

زمن خرج الحالة الثالثة من زمن القراءة:

Output tristate from read time (t_{OTD})

هو أقصى زمن تأخير بين نهاية نبضة القراءة ووصول عازلات الخرج لحالة الإعاقة العالية.

عملية القراءة، ولقراءة أو استعادة كلمة في موقع معروف عنوانه في الذاكرة يتم تنفيذ العمليات المتتالية التالية:

1- تطبيق إشارة إختيار الشريحة على النهاية CS.

2- تطبيق عنوان موقع الذاكرة المطلوب على نهايات مداخل العنوان.

3- تطبيق إشارة أمر القراءة على نهاية دخل التحكم (قراءة).

وكاستجابة لهذه العمليات، تظهر الكلمة المخزنة في هذا الموقع المُعنون عند أطراف خروج البيانات.

ويبين شكل (4-8) أشكال الموجة المختلفة خلال عملية القراءة.

ويمكن توضيح الخواص الزمنية الهامة التي تحدث خلال دورة القراءة كالتالي:

زمن دورة القراءة (t_{RC}) : Read cycle time

هو أقل مدة زمنية تلزم أن يتواجد خلالها العنوان ليتم قراءة كلمة في الذاكرة، أو بكلام آخر أقل زمن مطلوب بين عمليتي قراءة متتاليتين .

زمن التوصل (t_A) : Access time

وهو أقصى زمن مستغرق من بداية العنوان الذي يحقق دورة قراءة إلى الزمن الذي عنده تتاح البيانات على مخرج البيانات، وعلى أبعد تقدير يكون زمن التوصل مساويا لزمن دورة القراءة، أى أن $t_A \leq t_{RC}$ ، وبكلام آخر لابد أن تكون بيانات الخرج جاهزة قبل عملية القراءة التالية.

زمن التحقق من القراءة للخروج (t_{RD}) : Read to output valid time

هو أقصى زمن تأخير بين بداية نبضة القراءة وإتاحة البيانات المحققة على مخارج البيانات.

الزمن الفعال من القراءة للخروج (t_{RDX}) : Read to output active time

هو أقل زمن تأخير بين بداية نبضة القراءة ووصول عازلات الخرج للحالة الفعالة (من حالة الإعاقة العالية).

زمن إمساك البيانات (t_{OH}) : Data hold time

هو أقل مدة زمنية تكون عندها البيانات محققة عند خروج البيانات بعد إنتهاء العنوان.

ويبين جدول (2-8) أزمنة دورات الكتابة والقراءة الخاصة بشريحة نموذجية لذاكرة.

جدول (2-8)

البارامتر	الزمن (ns)
t _{WC}	200
t _W	120
t _{WR}	0
t _{DW}	120
t _{DH}	0
t _{RC}	200
t _A	200
t _{RD}	70
t _{RDX}	20
t _{CO}	70
t _{CX}	20
t _{OTD}	60
t _{OHA}	50

مثال (2-8) :

من جدول (2-8)، إحسب أقصى معدل (كلمات/ثانية) الذي عنده:

أ- يمكن تخزين المعلومات.

ب- يمكن قراءة المعلومات.

الحل :

أ- أقصى معدل تخزين للكلمات في الثانية:

$$1/t_{WC} = 1/(200 \times 10^{-9}) = 5 \times 10^6$$

ب- أقصى معدل قراءة للكلمات في الثانية :

$$1/t_{RC} = 1/(200 \times 10^{-9}) = 5 \times 10^6$$

3-8 توسعة حجم الكلمة :

في كثير من تطبيقات الذاكرة، لانتحقق المتطلبات المرجوة عند استخدام شريحة دائرة تكاملية واحدة لذاكرة (أي عدد كلماتها أو حجم الكلمة أو كلاهما)، ولهذا تستخدم شرائح عديدة متشابهة وربطها بطريقة مناسبة لتحقيق المتطلبات المرجوة سواء من عدد الكلمات، أو حجم الكلمة، أو كلاهما معاً.

1-3-8 التوسعة في سعة الكلمة :

يقصد بالتوسع في سعة الكلمة Expanding word size هو تكبير سعة الكلمة التي تحتويها الذاكرة لتصبح n، بينما N هو سعة الكلمة المتاحة في شريحة الدائرة التكاملية (أي ان: n > N)، ومن هنا يمكن حدوث ضم لعدد من شرائح الدوائر التكاملية المتشابهة معاً لتحقيق سعة الكلمة المطلوب، ويتم الحصول على عدد هذه الشرائح من العدد الصحيح الأعلى الناتج من خارج القيمة n/N، ويتم توصيل هذه الشرائح بالطريقة التالية:

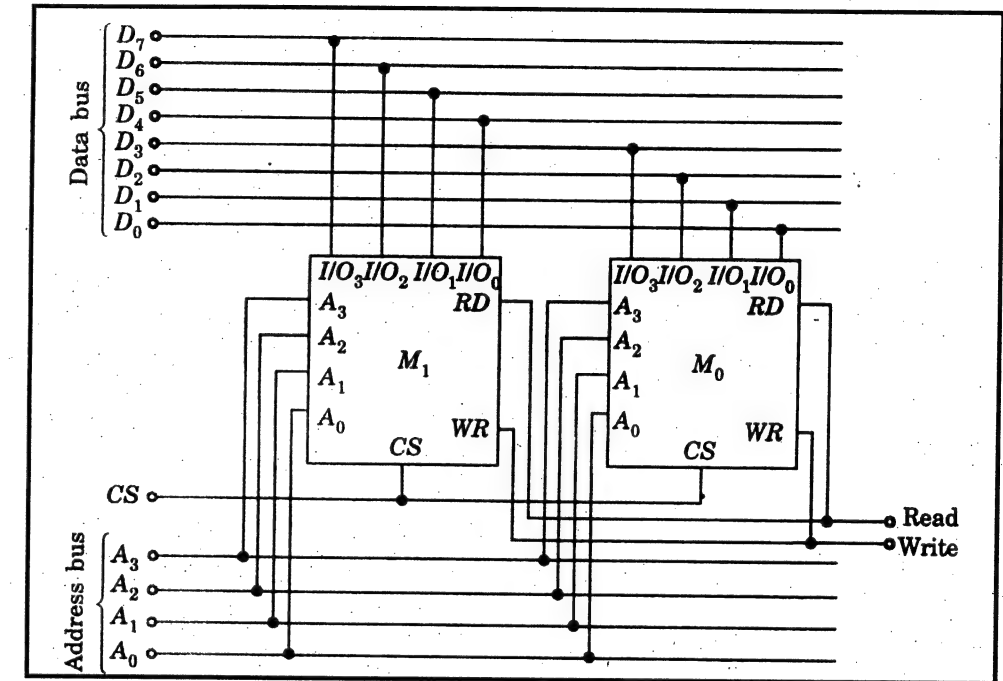
1- توصيل خطوط العنوان المتناظرة في جميع الشرائح، أي توصيل الخط A₀ في جميع الشرائح على نقطة مشتركة ليصبح خطاً واحداً A₀ لجميع الشرائح، وبالمثل توصيل جميع الخطوط A₁ و A₂ و... معاً.

2- توصيل كل مداخل القراءة RD للشرائح ببعضها لتصبح مدخل واحد للقراءة للذاكرة الكلية، وبالمثل توصيل كل مداخل الكتابة WR، ودخول الاختبار CS.

وهنا سيصبح عدد خطوط دخل/خرج البيانات مساوياً لحاصل ضرب عدد الشرائح المستخدمة في سعة الكلمة للشريحة الواحدة، ويمكن توضيح الخطوات السابقة في المثال التالي.

مثال (3-8) :

باستخدام شرائح دوائر تكاملية ذاكرة 16×4 ، مطلوب الحصول على دائرة ذاكرة 16×8 .



شكل (5-8) دائرة ذاكرة 16×8 بدمج شريحتي ذاكرة 16×4

الحل :

حيث ان سعة الكلمة المطلوب هو: $n = 8$ ، بينما سعة الكلمة المتاح في شريحة الدائرة التكاملية المعطاه هو: $N = 4$ ، فيكون خارج القيمة n/N هو: 2، ومن هنا يمكن حدوث ضم لشريحتين من الدائرة التكاملية المعطاه معا لتحقيق سعة الكلمة المطلوب، وحيث أن كل شريحة يمكنها تخزين 16 كلمة بسعة 4-بت لكل منها، والمطلوب هو 16 كلمة بسعة 8-بت لكل منها، فبالتالى يصبح المطلوب من كل شريحة القيام بتخزين نصف البتات من كل كلمة، ويبين شكل (5-8) التوصيل المتعلق بالشريحتين.

وهنا نرى أنه تم فرض خطوط الدخل/الخروج I/O lines كخطوط ثنائية الإتجاه، وهذا هو الشائع في الكثير من شرائح الذاكرة المتاحة، وفي هذه الذاكرة 16×8 ، توضع الأربعة بتات ذات الدرجة الأعلى (D_7 و D_6 و D_5 و D_4) في الذاكرة رقم M_1 ، بينما توضع الأربعة بتات ذات الدرجة الأقل (D_3 و D_2 و D_1 و D_0) في الذاكرة رقم M_0 .

2-3-8 التوسع في عدد الكلمات :

من الممكن تجميع عدد من شرائح الذاكرة معا للحصول على عدد من المواقع أكثر من المواقع المتاحة في الشريحة الواحدة، وهذا هو المقصود بالتوسع في عدد الكلمات Expanding word capacity، حيث يراد أن يكون عدد الكلمات في الذاكرة m ، بينما M هو عدد الكلمات المتاح في شريحة الدائرة التكاملية، فمن هنا يمكن حدوث ضم لعدد من شرائح الدوائر التكاملية المتشابهة معا لتحقيق عدد الكلمات المطلوب، ويكون عدد هذه الشرائح هو العدد الصحيح الأعلى من خارج القيمة: m/M ، ويتم توصيل هذه الشرائح بالطريقة التالية:

1- توصيل خطوط العنوان المتناظرة في جميع الشرائح، بنفس الأسلوب كما في حالة توسيع سعة الكلمة.

2- توصيل كل مداخل RD للشرائح ببعضها لتصبح مدخل واحد للقراءة للذاكرة الكلية، وبالمثل توصيل كل مداخل WR.

3- استخدام كاشف ذو سعة مناسب، وتوصيل كل خرج من مخرجه بدخل إختيار الشريحة CS في كل ذاكرة على حدة (فمثلا عند استخدام 8 شرائح ذاكرة، فيستخدم لذلك كاشف 3 خط-إلى-8 خط لإختيار خرج أحد الشرائح الثمانية في أى وقت)، ويمكن توضيح الخطوات السابقة في المثال التالى.

مثال (4-8) :

باستخدام شرائح دوائر تكاملية ذاكرة 256×8 ، مطلوب الحصول على دائرة ذاكرة 2048×8 .

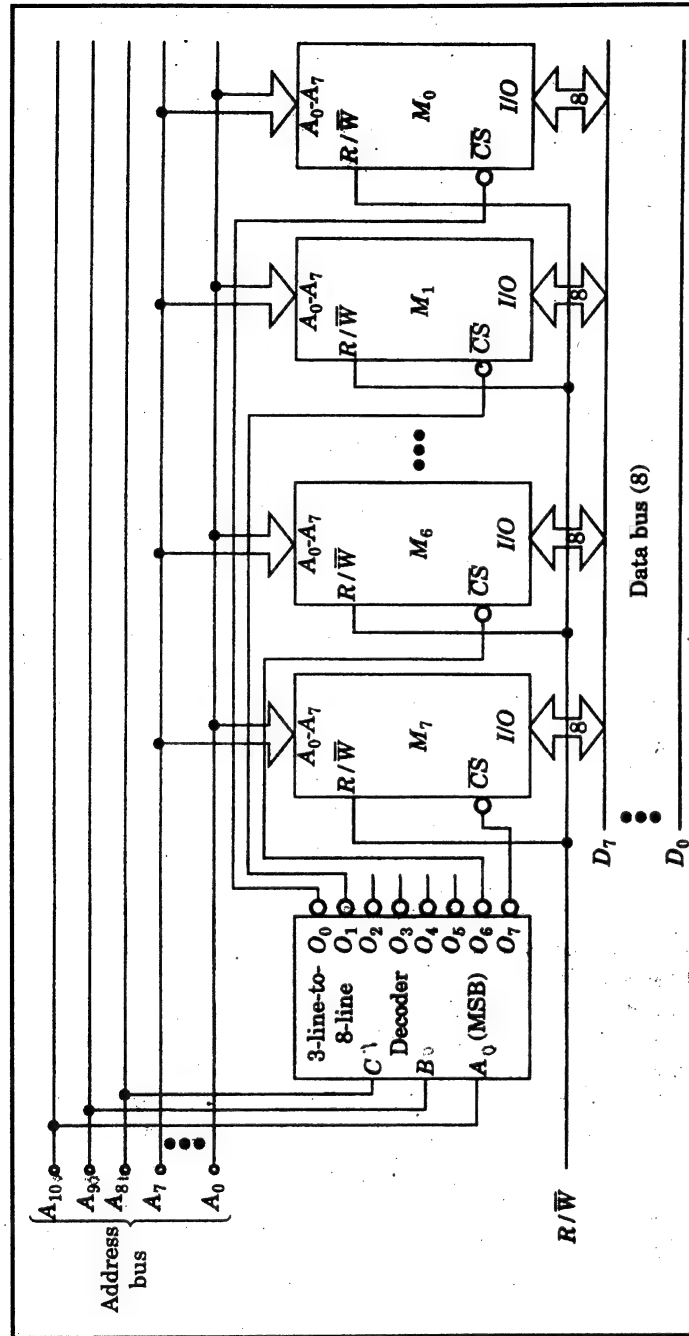
الحل :

حيث ان عدد الكلمات المطلوب هو: $m = 2048$ ، بينما عدد الكلمات متاح في شريحة الدائرة التكاملية المعطاه هو: $M = 256$ ، فيكون خارج القيمة m/M هو: 8 ، ومن هنا يتم ضم عدد 8 شرائح من الدائرة التكاملية المعطاه معا لتحقيق عدد الكلمات المطلوبة.

وعند أى وقت يتم تشغيل موقع واحد فقط من جميع المواقع (2048) ، ويتواجد هذا الموقع على شريحة ما من الشرائح الثمانية ومما يعنى أن هناك شريحة واحدة فقط تعمل فى نفس الوقت ، فإختيار أحد هذه المواقع يتطلب هذا خطوط عنوان عددها 11 ($2^{11} = 2048$) ، وتكون الثمانية بتات الأقل درجة الخاصة بالعنوان (من البت A_7 ونزولا للبت A_0) هى نفسها لجميع الشرائح ، بينما عن طريق الثلاثة بتات الأعلى درجة (من A_8 إلى A_{10}) يتم اختيار أحد الشرائح الثمانية ولهذا الغرض يستخدم كاشف 3 خط-إلى-8 خط ، ويبين شكل (6-8) التوصيل المتعلق بالشرائح الثمانية.

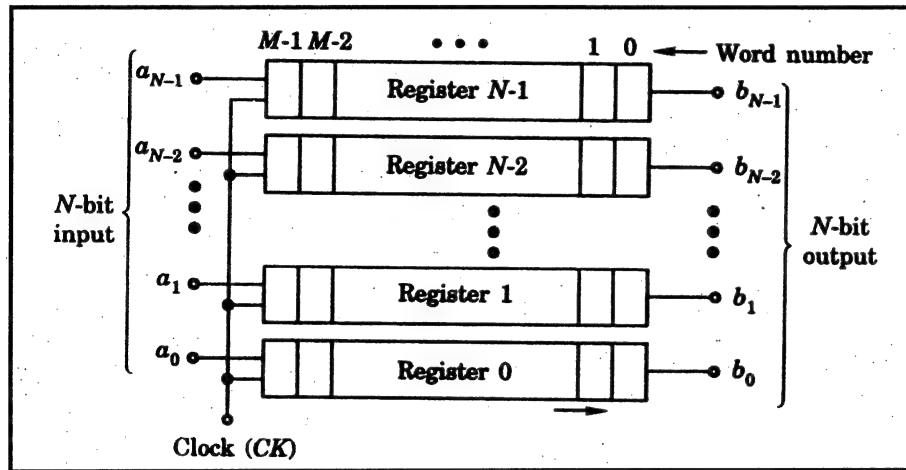
فالكلمة التى تحمل بتات التأثير الأعلى درجة (من A_8 إلى البت A_{10}) أى : 000xxxxxxxxx تعنى تشغيل الذاكرة M_0 ، والتى تحمل البتات 001xxxxxxxxx تعنى تشغيل الذاكرة M_1 ، وهكذا ، ثم يأتى بعد ذلك تحديد الموقع داخل الذاكرة التى تم تحديدها والذي يتمثل بالثمانى بتات الأقل درجة (من البت A_7 ونزولا للبت A_0) ، ومثال على ذلك ، إذا كان العنوان هو : 10101011001 فيعنى ذلك ومن الثلاثة بتات الأعلى درجة ، أى : 101 والذي يبين أن الذاكرة A_5 هى التى تعمل ، ومن الثمانية بتات الأقل درجة ، أى : 01011001 والذي يبين أن الموقع رقم 89 هو المطلوب ، وفى النهاية يبين العنوان : 10101011001 الموقع 89 من الذاكرة M_5 .

وهنا تم فرض طرف مشترك (R/\bar{W}) للقراءة والكتابة ، فيتم تطبيق منطق 1 فى عملية القراءة ، بينما يتم تطبيق منطق 0 فى عملية الكتابة ، كما يكون إدخال إختيار الشريحة فعال-منخفض .



شكل (6-8) دائرة ذاكرة 2048×8 بدمج 8 شرائح ذاكرة 256×8

وفي الذاكرة المتعاقبة ، يتم تخزين الكلمات في تتابع، كما يتم قراءتها في تتابع، فمثلاً عند الدخول على الموقع المرقم p ، فلايسمح بالدخول على الموقع المرقم $(p + q)$ ما لم يتم الدخول على المواقع التي تتوسط هذين الموقعين واحداً بواحد في تتابع، وبكلام آخر فالوصول إلى موقع معين يلزمه الانتظار لحين الوصول إليه، ومما يعنى أن زمن الوصول لاي موقع في الذاكرة يكون مختلفاً عن الآخر.



شكل (7-8) ذاكرة تعاقبية $M \times N$

وتعد مسجلات الإزاحة التي تمت مناقشتها في الفصل السادس من أمثلة الذاكرات المتعاقبة ، فيبين شكل (7-8) ذاكرة متعاقبة حجمها $(M \times N)$ ، والتي تتطلب عدد N مسجل إزاحة وعدد مراحل كل منها M ، كما يحتفظ كل مسجل بمجموعة من N بت من كل من الكلمات M ، ومع كل دورة نبضات ساعة تتقدم البتات في اتجاه اليمين بمقدار موقع لبت واحد، وتظهر الكلمات المخزنة تتابعياً على مخارج المسجلات، ويعرف هذا التشكيل للمسجلات بنظام الذاكرة التعاقبية التي تُقرأ فيها أولاً البت التي تم تخزينها أولاً (First-in-first-out (FIFO، على النقيض إذا أخذ الخرج ابتداءً من المرحلة رقم $(M-1)$ بدلاً من المرحلة رقم (0) فعندئذٍ يعرف هذا التشكيل للمسجلات بنظام الذاكرة التعاقبية التي فيه تُقرأ أولاً البت التي تم تخزينها آخراً (Last-in-first-out (LIFO، ولا بد من تزويد هذه المسجلات بما يجعل إزاحة البتات تحدث في كلا الإتجاهين، وفي نظام الذاكرة التعاقبية (FIFO)،

4-8 أنواع الذاكرات :

يتم تقسيم الذاكرات طبقاً للعديد من وجهات النظر.

فطبقاً لقواعد تشغيلها نجد أن المشاع منها الأنواع التالية:

1- ذاكرة الدخول المتعاقب (SAM) Sequentially accessed memory .

2- ذاكرة القراءة والكتابة (RAM) Read and write memory .

3- ذاكرة القراءة فقط (ROM) Read only memory .

وطبقاً لخصائصها الطبيعية Physical characteristics يمكن تقسيم الذاكرات إلى التالي :

1- ذاكرات قابلة للمسح، أو غير قابلة للمسح.

2- متطايرة Volatile، أو غير متطايرة Non-volatile.

وطبقاً للتقنية المستخدمة في التصنيع Fabrication technology تقسم الذاكرات إلى فئتين رئيسيتين :

1- احادية القطبية .

2- ثنائية القطبية .

4-8-1 ذاكرة الدخول المتعاقب (SAM) :

في ذاكرة الدخول المتعاقب يُؤذن بالدخول إلى الذاكرة بطريقة متعاقبة للكتابة عليها أو للقراءة منها، ولهذا يختلف الزمن المطلوب لدخول موقع ذاكرة (ويشار إليه بزمن الدخول Access time) للكتابة عليه أو للقراءة منه باختلاف الموقع .

ويوجد نوعان من ذاكرات الدخول المتعاقب:

أ- مسجلات الإزاحة Shift registers

ب- الأجهزة مزدوجة الشحنة (CCD) Charge coupled devices .

إذا عادت الكلمات التي تمت قراءتها إلى الموقع الأيسر من المسجل، فيعرف هذا المسجل بمسجل الإزاحة الدائر Circulating shift register، ولا يستخدم هذا النوع في نظام الذاكرة التعاقبية (LIFO).

ومسجلات الإزاحة إما أن تكون ساكنة Static، أو متحركة Dynamic، ففي الذاكرة الإستاتيكية لا تتغير محتويات مواقع الذاكرة طالما أن القدرة موصلة، بينما في الذاكرة الديناميكية تُخزن المعلومات في مكثفات من النوع MOS والتي تتغير مع الزمن، لذا يلزم تنشيطها على فترات منتظمة، والذاكرات الديناميكية مقارنة بالذاكرات الإستاتيكية تُعد أبسط وأقل تكلفة وتحتاج قدرة أقل، لذا فهي واسعة الاستخدام في الأنظمة الرقمية، إلا أن الدوائر الإضافية المطلوبة لعملية التنشيط ربما تزيد من تكلفة النظام.

وكما تم مناقشته في القسم (6-7) حيث يتم تنفيذ مسجل الإزاحة باستخدام القلابات حيث تُحمل المعلومات في/تُستعاد من المسجل بأسلوب تتابعي متزامن مع نبضات ساعة، كما تظل المعلومات موجودة في المسجل طالما ظلت قدرة تغذية الدائرة موصلة.

ويمكن تنفيذ مسجلات الإزاحة باستخدام الأجهزة ثنائية الاتجاه وكذلك أجهزة MOS، ويعرف هذا النوع من المسجلات بمسجلات الإزاحة الإستاتيكية.

2-4-8 ذاكرة القراءة والكتابة (RAM) Read and write memory :

تعد ذاكرة القراءة والكتابة (RAM) من ذاكرات الحالة الأخرى من حالات دخول مواقع الذاكرة والتي تعرف بالدخول العشوائي Random-access، وتسمى أيضاً بذاكرة القراءة والكتابة Read/Write Memory (R/W M) أو ذاكرة الإدخال والإخراج، وفي هذه الذاكرة تتساوى أزمنة الدخول لمواقع الذاكرة المختلفة، أي يتم الوصول إلى أي موقع من مواقع الذاكرة عشوائياً في زمن محدد ثابت لا يعتمد على قرب أو بعد موقع الذاكرة، كما يمكن تغيير البيانات في أي موقع خلال تشغيل النظام.

أنواع ذاكرات القراءة والكتابة :

يمكن أن تكون ذاكرات القراءة والكتابة RAMs ساكنة أو متحركة.

- ذاكرة القراءة والكتابة الإستاتيكية (Static RAM) Static RAM :

ويعد القلاب المبين في شكل (6-3) هو خلية التخزين الأساسية لهذه الذاكرة، وتتكون هذه الذاكرة من منظومة من هذه الخلايا الأساسية الكثيرة والتي تتساوى مع سعة التخزين المطلوبة للذاكرة والتي غالباً ما تكون رقماً كبيراً، ولهذا تستخدم دوائر قلابات مبسطة باستخدام ترانزستورات ثنائية القطبية أو ترانزستورات MOS وبما يحقق توفير المساحة على شريحة السيليكون وتقليل التكلفة وزيادة سرعة التشغيل علاوة على تقليل القدرة المستنفذة.

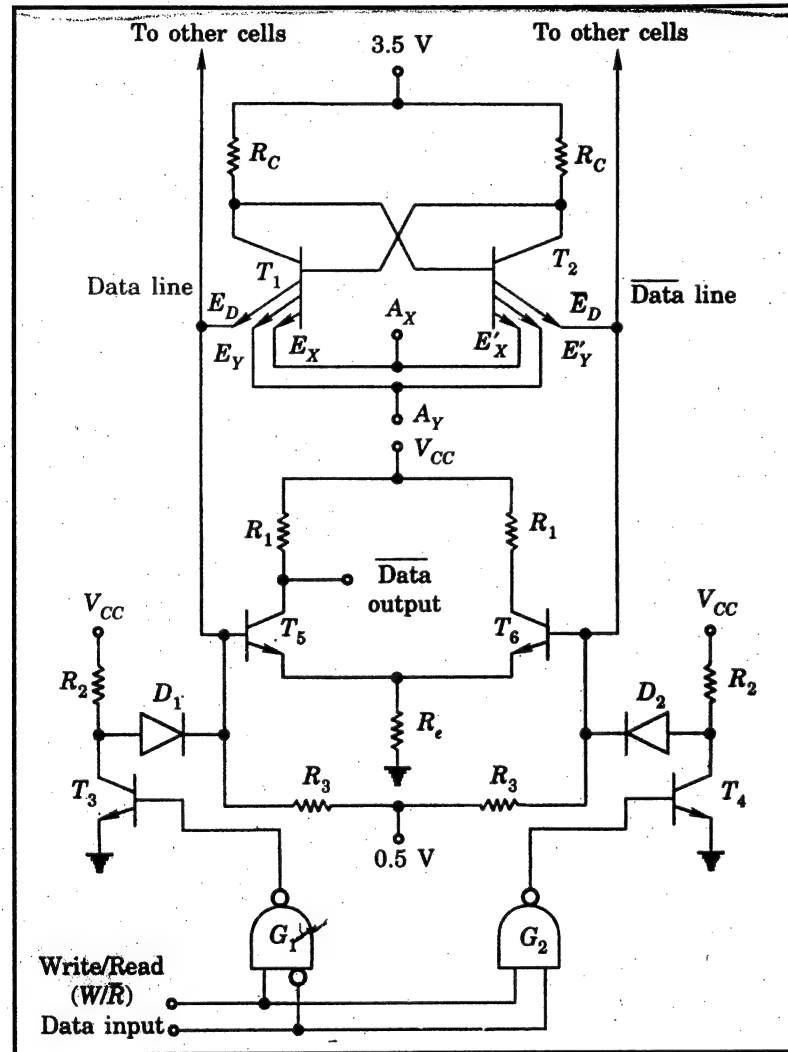
كما أن الذاكرات التي تستخدم ترانزستورات ثنائية القطبية تعد من الذاكرات الإستاتيكية.

- ذاكرة القراءة والكتابة الديناميكية (Dynamic RAM) Dynamic RAM :

وتتكون من خلايا مصممة لتخزين البتات على هيئة شحنات كهربية بداخل مكثفات، حيث يتم تمثيل المنطقين 1 أو 0 بحالتى وجود أو غياب شحنة المكثف، وحيث أن الشحنات الكهربائية سرياً ما تتسرب من المكثفات، لذا فنجد أن هذه الذاكرة تحتاج دائرة كهربائية ملحقة تسمى "دائرة تنشيط" Refresh circuit لإعادة شحن المكثف بصفة دورية، وتؤدي عملية التنشيط إلى بطئ زمن الوصول والذي يقلل من سرعة الذاكرة، وتمتاز الذاكرات الديناميكية مقارنة بمثيلتها الإستاتيكية بصغر الحجم وكثافة التخزين العالية، والإستهلاك الكهربى القليل، ولكن يعيبها التكلفة الإضافية لدائرة التنشيط وبطئ سرعة التداول، إلا أنه وعموماً يكون استخدام الذاكرة الديناميكية مفضلاً من الناحية الإقتصادية في تصنيع شرائح الذاكرة ذات السعات الكبيرة.

أما الذاكرات المستخدمة لترانزستورات MOS يمكن أن تكون ساكنة أو متحركة، وعامة تكون الذاكرات الثنائية القطبية أسرع حيث يصل زمن الدخول إلى بضعة عشرات من النانوثانية، بالإضافة إلى أنها تكون أصغر حجماً حيث تحتوى على مايقرب من 1024 خلية ذاكرة، بينما يصل زمن الدخول في ذاكرات MOS الدخول إلى بضعة مئات من النانوثانية وتصل السعة التخزينية إلى 64 كيلوبت،

وتستخدم الإشارات A_X ، و A_Y في عنوان الخلية (وهي خروج صف-إختيار، وعمود-إختيار لكواشف عنوان)، حيث يؤذن بالدخول على الخلية سواء للقراءة، أو للكتابة عند: $A_X = A_Y = 1$



شكل (8-9) الخلية الثنائية القطبية في ذاكرات RAM

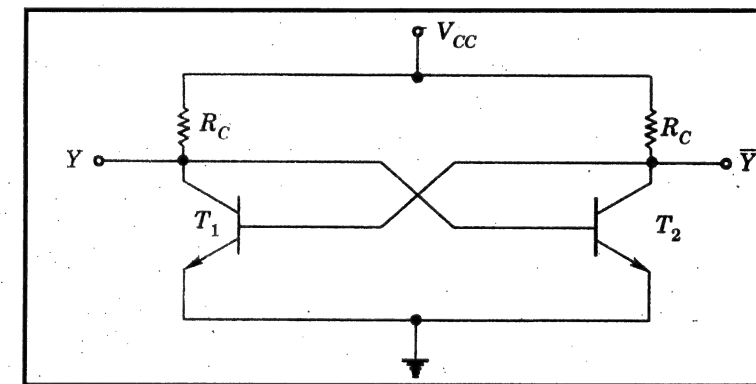
فنفرض أن الدخول: A_X و A_Y و W/\bar{R} عند المنطق 0، فأولا يكون خرج البوابتين G_1 و G_2 هو المنطق 1، مما يجعل الترانزستورين T_3 و T_4 مغلقين ON،

ولكن مع التطورات والتحسينات المستمرة في تقنية ذاكرات MOS، أمكن التوصل إلى سرعات تقترب من سرعات الذاكرات الثنائية القطبية.

وعامة فإن ذاكرة RAM بنوعيها الإستاتيكي والديناميكي هي الذاكرة التي تكون دائما تحت تصرف المستخدم حيث يمكنه الكتابة أو القراءة أو التعديل في بياناتها طوال فترة تشغيل الجهاز.

خلية RAM الثنائية القطبية :

يبين شكل (8-8) خلية التخزين الثنائية القطبية Bipolar Storage Cell في ذاكرات RAM، وفي هذا القلاب يكون أحد الترانزستورات ON والآخر OFF، وعند تطبيق نبضة إشعال خارجية بحيث تتغير حالة الترانزستور OFF إلى الحالة ON، فيتحول بالتالي الترانزستور الأول إلى الحالة OFF، فمن هنا نجد أن الخلية لها حالتين مستقرتين والتي يمكن إستخدامها في تخزين معلومة على شكل منطقي 1 و 0، كما تُدمج بهذه الدائرة أشكال تخص عنوان الخلية والكتابة عليها، والقراءة منها.



شكل (8-8) خلية التخزين الثنائية القطبية في ذاكرات RAM

ويبين شكل (8-9) الخلية الثنائية القطبية في ذاكرات RAM، حيث يتكون القلاب من ترانزستورين T_1 و T_2 مزودين ببواعث إضافية لتسهيل عملية العنوان، أما بقية الدائرة فتخصص ميكانيكية عملية قراءة وكتابة البيانات.

ومنه يصبح الثنائيان D_1 و D_2 غير موصليين ، وإذا فرضنا أن حالة القلاب بحيث يكون الترانزيستور T_1 في وضع ON بينما الترانزيستور T_2 في وضع OFF، فسيسرى تيار باعث في كل من E_x و E_y ، كما يطبق جهد إنحياز قدره 0.5 V من خلال المقاومة R_3 على الباعث E_D ، وحسب فرضنا يصبح الباعث E_D أكثر إيجابية من الباعثين E_x و E_y ومن هنا يكون E_D غير موصل، وأيضاً يكون الترانزيستورين T_5 و T_6 مفتوحين OFF، ومن هنا يصبح خرج البيان Data output عند المنطق 1 والذي يظل على هذا المنطق أو على هذه الحالة مهما كانت حالة القلاب.

والآن إذا تم عنونة هذه الخلية، أى يصبح كل من A_x و A_y عند المنطق 1، فسوف يتحول تيارا الباعثين E_x و E_y إلى الباعث E_D ، وحيث يسرى جزء من هذا التيار في قاعدة الترانزيستور T_5 ، ويكون خرج البيان Data output عند مستوى المنطق المفترض والموجود عند مجمع الترانزيستور T_1 ، وهكذا عندما يكون الدخل W/\bar{R} عند المنطق 0 تعمل هذه الدائرة المعنونة كخلية قراءة.

أما إذا تغيرت الدخول: A_x و A_y و W/\bar{R} وأصبحت عند المنطق 1، فيكون خرج البوابة G_1 هو المنطق 1، بينما يكون خرج البوابة G_2 هو المنطق 0، مما يجعل الترانزيستور T_3 مغلقاً ON بينما الترانزيستور T_4 مفتوحاً OFF، فيرتفع جهد المجمع للترانزيستور T_4 ويوصل الدايمود D_2 ويرتفع الجهد عند E_D ، ومن هنا وبصرف النظر عن الحالة الأصلية للقلاب، فلا يمكن أن يوصل الترانزيستور T_2 ، ويصبح مستوى المنطق لمجمع الترانزيستور T_2 هو مستوى منطق دخل البيان Data input.

أما إذا لم يتم عنونة الخلية ، فلن يحمل كل من E_D و \bar{E}_D أى تيار، وبالتالي لن يستجيب القلاب لأى عملية كتابة.

الدوائر التكاملية لذاكرات القراءة والكتابة :

وبين جدول (3-8) بعض الدوائر التكاملية لذاكرات القراءة والكتابة الشائع استخدامها ومشتملاً على بعض مواصفات هذه الدوائر، وتتاسب مداخل ومخارج هذه الدوائر عائلة المنطق TTL.

كما أنه يمكن إتاحة أنواع من دوائر القراءة والكتابة الإستاتيكية والديناميكية ذات أحجام عالية، بالإضافة إلى التحسين في السرعات.

ومن الأنواع الإستاتيكية ذات الأحجام : $32K \times 8$ ، و $64K \times 8$ ، و $128K \times 8$ ، و $32K \times 32$ ، و $32K \times 8$... إلخ ، وهى ذات زمن دخول فى حدود 15 ns.

ومن الأنواع الديناميكية ذات الأحجام: $256K \times 8$ ، و $256K \times 16$ ، إلخ...، وهى ذات زمن دخول فى حدود 45 ns.

جدول (3-8)

رقم الشريحة	الحجم	زمن الدخول ns	أقصى قدرة مستنفذة mW	عدد الأطراف	تقنية التصنيع	نوع الذاكرة
1101A	256x1	1500	685	16	MOS	ساكنة
2101A	256x4	350	300	22	MOS	ساكنة
2104A	4096x1	150	420	16	MOS	متحركة
2114-2	1024x4	200	300	18	MOS	ساكنة
2142-2	1024x4	200	300	20	MOS	ساكنة
2164	64Kx1	465	330	16	MOS	متحركة
2167	16Kx1	1000	625	20	MOS	ساكنة
3101	16x4	60	525	16	شوتكى ثنائى قطبية	ساكنة
5101	256x4	800	150	22	CMOS	ساكنة
74S189A	16x4	50	550	16	شوتكى ثنائى قطبية	ساكنة
74S289	16x4	35	250	16	شوتكى ثنائى قطبية	ساكنة

3-4-8 ذاكرة القراءة فقط (ROM) Read only memory :

وكما هو ظاهر من الاسم فهي تعنى قراءة المعلومات فقط، وهذا لايعنى بالطبع أن المعلومات غير مكتوبة في الذاكرة، حيث أنه لايمكن قراءة أى معلومات مالم تكون هذه المعلومات غير مخزنة، إلا أن عملية إدخال المعلومات في هذا النوع لهو أكثر تعقيداً من مثيلتها المستخدمة ذاكرة القراءة والكتابة (RAM)، فهنا يتم إدخال المعلومات خارجياً، لذا فهي تسمى ذاكرة قراءة فقط، وهي تستخدم في تخزين المعلومات الثابتة مثل جداول الوظائف المختلفة والبيانات والأوامر الثابتة، وتعتبر هذه الذاكرة من ذاكرات الدخول العشوائى.

ومن ناحية أخرى تقسم الأنواع المختلفة من ذاكرات القراءة فقط طبقاً للتقنية المستخدمة في تخزين أو كتابة المعلومات في الذاكرة حيث يشار لهذه التقنية إليها بالبرمجة Programming، حيث تُبرمج هذه الذاكرات عند تصنيعها طبقاً للمعلومات التى يحددها المستخدم (وتعرف بالبرمجة المخصصة Custom Programmed، أو البرمجة التكرية Mask Programmed، أو الذاكرة الجاهزة)، والتى لايمكن تغييرها بعد تخزينها Packaging، ويسمى هذا النوع من ذاكرة القراءة فقط بـ "ذاكرة القراءة فقط القابلة للبرمجة" Programmable ROM (PROM)، ويمكن برمجة هذه الذاكرة مرة واحدة بواسطة مستخدم جهاز الحاسب والتى تصبح الذاكرة بعدها ثابتة على الدوام مثل ذاكرة القراءة فقط ROM، وتوجد فئة أخرى من ذاكرة القراءة فقط القابلة للبرمجة، وهي القابلة لإعادة برمجتها Reprogrammable، بمعنى أنها يمكن برمجتها مرات ومرات، ويشار إليها بذاكرات القراءة فقط القابلة للمسح وإعادة برمجتها Erasable & Reprogrammable ROM.

وذاكرة القراءة فقط من ذاكرات أشباه الموصلات المستخدمة لتخزين المعلومات المستمرة أو المستديمة في طبيعتها، وقد أصبحت جزءاً هاماً جداً في الكثير من الأنظمة الرقمية بسبب تكلفتها المنخفضة وسرعاتها العالية وسهولة تصنيعها علاوة على أنها من الذاكرات الغير متطايرة، ولهذه الذاكرة العديد من التطبيقات في الأنظمة الرقمية خاصة ومنها تخزين برنامج المعالج الدقيق.

وتستخدم تقنية أشباه الموصلات في تصنيع الدوائر التكاملية لذاكرات القراءة فقط عن طريق التقنية الثنائية الإتجاه وتقنية MOS واللذان تختلفان أساساً في زمن الدخول Access time، وعامة فإن الأجهزة الثنائية الإتجاه تكون أسرع، بينما أجهزة MOS تحتاج مساحات سيليكون أقل كما أنها تستهلك قدرة أقل، ومع التطور الحادث في تقنية MOS أمكن التوصل إلى ذاكرات ذات سرعات تقترب إلى حد ما من مثيلتها الموجودة في تقنية الثنائية الإتجاه.

أقسام ذاكرات القراءة فقط :

وتسمى عملية إدخال المعلومات في في هذه الذاكرات بـ "برمجة ROM"، وإعتياداً على عملية البرمجة المستخدمة، فإنه يتم تقسيم ذاكرات القراءة فقط إلى:

1- البرمجة المخصصة Custom Programmed :

أو البرمجة التكرية Mask Programmed، كما تعرف أيضاً بالذاكرة الجاهزة والمعروفة بـ "ROMs"، حيث تبرمج هذه الذاكرات كجزء من خطوات التصنيع، وبمجرد الإنتهاء من هذه البرمجة فلايمكن تغييرها.

2- "ذاكرة القراءة فقط القابلة للبرمجة" Programmable ROM :

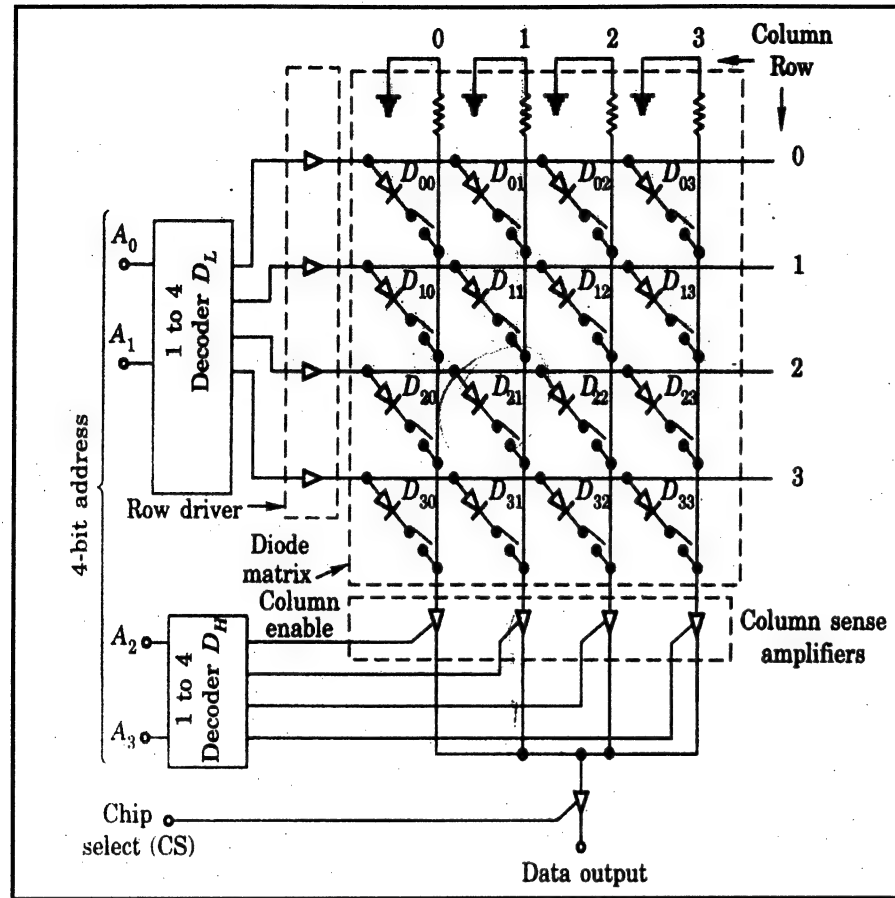
وهي المعروفة بـ "PROMs"، وهذه الذاكرة تكون قابلة للبرمجة كهربياً بمعنى أن تشكيل المعلومات Data pattern يتم بعد التحزيم النهائى بدلا من تشكيلها أثناء التصنيع، وتتم هذه العملية بواسطة جهاز يعرف بـ "مبرمج PROM".

3- ذاكرات القراءة فقط القابلة للمسح وإعادة برمجتها

Erasable & Reprogrammable ROM

وهي المعروفة بـ "EPROMs"، وكما هو واضح من الاسم ففي هذا النوع من الذاكرات، يمكن كتابة البيانات وتغييرها أى عدد من المرات أو إعادة برمجتها بمعنى آخر، ويتم تنفيذ هذه الذاكرات فقط بتقنية MOS، أما مسح المحتويات فتتم بإحدى الطريقتين التاليتين:

أ- تعريض الشريحة لأشعة فوق بنفسجية لمدة حوالى 30 دقيقة .



شكل (8-10) مصفوفة ذاكرة قراءة فقط مكونة من 16-بت

مثال (8-5) :

في مصفوفة ذاكرة قراءة فقط مكونة من 16-بت والمبينة في شكل (8-13)، وإذا تمت برمجة الثنائيات: D_{00} ، و D_{03} ، و D_{12} ، و D_{13} ، و D_{21} ، و D_{33} كمحركات مغلقة، فأوجد البت المخزن عند كل موقع.

الحل :

يبين جدول (8-4) البت المخزن عند كل موقع .

ب- المسح الكهربى بتطبيق جهد ذى سعة وقطبية مناسبة، حيث يعرف نوع الذاكرة التى يتم مسحها كهرياً بـ " EPROM "، أو " E²PROM " .

تنظيم ذاكرات القراءة فقط :

ذاكرة القراءة فقط هى مصفوفة يتم فيها إختيار موصلات أحادية الإتجاه تكون إما مفتوحة أو مغلقة، وبالرجوع إلى كاشف العنوان المبين فى شكل (8-2)، نجد أن هذا الكاشف غالباً مايقسم إلى جزئين، حيث يتم كشف نصف خطوط العنوان بكاشف يستخدم لتنشيط Energize أحد خطوط الصفوف ، بينما يكشف النصف الآخر من خطوط العنوان بكاشف يستخدم لإعداد Activate خطوط الأعمدة ، وتسمى هذه الطريقة من العنوان طريقة "العنونة الثنائية الأبعاد X-Y" "Two-dimensional X-Y addresssing"، وحيث يدمج مفتاح أحادى الإتجاه Unidirectional switch عند الوصلة ما بين كل صف وعمود.

ويبين شكل (8-10) مصفوفة ذاكرة قراءة فقط مكونة من 16-بت، ولإختيار أحد هذه البتات، يتطلب الأمر عنوان بـ 4-بت ($A_3 A_2 A_1 A_0$)، وحيث يتم كشف A_1 (A_0 وهما البتان الأقل درجة) بالكاشف D_L ، والذى يختار أحد الصفوف الأربعة، بينما يتم كشف $A_2 A_3$ (وهما البتان الأعلى درجة) بالكاشف D_H والذى يُنشيط أحد مكبرات الأعمدة الأربعة، أما مصفوفة الثنائى Diode matrix فتتحقق بتوصيل الثنائى مع المفتاح الأحادى الإتجاه ما بين كل صف وعمود، فعلى سبيل المثال: الثنائى D_{21} موصل بين الصف الثانى والعمود الأول.

ويتم تمكين الخرج بتطبيق منطق 1 عند دخل إختيار الشريحة CS .

وبرمجة ذاكرة القراءة فقط تعنى الإختيارية للمفاتيح المفتوحة والمغلقة والمتصلة على التوالى مع الثنائيات، فمثلاً: عند قفل الثنائى D_{21} ، وإذا كان دخل العنوان هو: 0110، فينشيط الصف رقم 2 ويتصل بالعمود رقم 1، ويحدث تمكين لمكبر العمود رقم 1 والذى يعطى خرج منطق 1، وهذا يبين أن منطق 1 يُخزن عند العنوان 0110.

جدول (4-8)

البت المخزون	العنوان			
	A ₃	A ₂	A ₁	A ₀
1	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
1	1	1	0	0
0	1	1	1	0
0	1	0	0	0
1	1	0	0	1
0	1	0	1	0
1	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	1	1	1	1

الدوائر التكاملية لذاكرات القراءة فقط :

ويبين جدول (5-8) الدوائر التكاملية لذاكرات القراءة فقط الشائع إستخدامها ومشتتلا على بعض مواصفات هذه الدوائر، وتتاسب مداخل ومخارج هذه الدوائر عائلة المنطق TTL.

كما أنه يمكن إتاحة الدوائر نوع EPROMs التالية، والشائعة الإستخدام في أنظمة المعالجات الدقيقة:

- الدائرة رقم 27128 بحجم : 16K x 8 .
- الدائرة رقم 27256 بحجم : 32K x 8 .
- الدائرة رقم 27512 بحجم : 64K x 8 .

- الدائرة رقم 271024 بحجم : 128K x 8 .

جدول (5-8)

رقم الشريحة	الحجم	زمن الدخول ns	أقصى قدرة مستنفذة mW	عدد الأطراف	تقنية التصنيع	نوع الذاكرة
1702A	256x8	1000	885	24	MOS	EPROM
2308	1024x8	450	840	24	MOS	ROM
2316E	2048x8	450	630	24	MOS	ROM
2704	512x8	450	800	24	MOS	EPROM
2708	1024x8	450	800	24	MOS	EPROM
2716	2048x8	450	525	24	MOS	EPROM
2732A	4096x8	250	790	24	MOS	EPROM
2764	8192x8	250	790	28	MOS	EPROM
2816	2048x8	250	495	24	MOS	E ² PROM
3601	256x4	70	685	16	ثنائي قطبية	PROM
3602A	512x4	70	735	16	ثنائي قطبية	PROM
3604A	512x8	70	998	24	ثنائي قطبية	PROM
3605	1024x4	70	787	18	ثنائي قطبية	PROM
3608	1024x8	80	998	24	ثنائي قطبية	PROM

4-4-8 الذاكرات القابلة للمسح ، أو غير القابلة للمسح :

تُعرف الذاكرة التي فيها يمكن مسح المعلومات المخزنة فيها وتخزين معلومات جديدة بالذاكرة القابلة للمسح Erasable، وعلى الجانب الآخر فإن المعلومات

المخزنة في الذاكرات غير القابلة للمسح Non-erasable تكون غير قابلة للمسح مثل ذاكرات القراءة فقط ROM .

ويمكن تقسيم الذاكرات القابلة للمسح إلى:

1- مسح موقع بموقع :

حيث تمسح المواقع في الذاكرة واحدة بواحدة وإدخال المعلومة الجديدة، فمثلاً في الذاكرات التي تستخدم الإشارات الكهربائية في عملية المسح Electrically-alterable ROM (EAROM)، لا بد من مسح الموقع أولاً قبل إدخال المعلومة الجديدة.

2- مسح جميع مواقع الذاكرة :

حيث تمسح محتويات كل المواقع في شريحة الذاكرة في وقت واحد وذلك بتعريضها لأشعة فوق بنفسجية Ultraviolet radiation

8-4-5 الذاكرة المتطايرة أو الغير متطايرة :

إذا فقدت المعلومات المخزنة في الذاكرة عند فصل القدرة الكهربائية فعندئذ تعرف هذه الذاكرة بالذاكرة المتطايرة، ومن أمثلتها ذاكرات القراءة والكتابة RAM، بينما في الذاكرة الغير متطايرة فبمجرد تخزين المعلومات فإنها تظل سليمة ما لم يتم تغييرها بواسطة المستخدم، وتعد كل أنواع ذاكرات القراءة فقط ROMs من نوع الذاكرات الغير متطايرة.

8-4-6 تقسيم الذاكرات طبقاً للتقنية التصنيعية :

كما ذكرنا أنه يمكن تقسيم الذاكرات حسب التقنية المستخدمة في التصنيع Fabrication technology إلى فئتين رئيسيتين:

1- احادية القطبية .

2- ثنائية القطبية .

ولقد نوقشت هذه التقنيات في الفصل الرابع، حيث يتم تصنيع ذاكرات RAM الإستاتيكية، و ROM و PROM من أى من التقنيات الثنائية الإتجاه (TTL و ECL ،

...إلخ)، بينما يتم تصنيع RAM الديناميكية و EPROM و EAROM من استخدام الأجهزة الأحادية الإتجاه (MOSFETs) فقط.

8-5 أجهزة المنطق القابلة للبرمجة

: Programmable Logic Devices PLDs

في الفصول السابقة تم التطرق إلى الدوائر الرقمية التوافقية والتتابعية، كما تمت مناقشة العديد من الدوائر التكاملية التي يمكنها أداء الوظائف المختلفة في الأنظمة الرقمية مثل: الموزعات والمجمعات والجوامع والمقارنات ومسجلات الإزاحة والعدادات... إلخ، وكل هذه الدوائر تعرف بالدوائر المحددة الوظيفة-Fixed function، بمعنى أن كل منها تقوم بأداء وظيفة محددة وثابتة، ويتم تصميم وتصنيع هذه الأجهزة بكميات ضخمة لمقابلة مختلف متطلبات التطبيقات .

وعند تصميم دائرة معينة، يقوم المصمم باختيار الدوائر التكاملية الأنسب من ضمن مجموعة الدوائر التكاملية المتاحة لديه، ويتم هذا من خلال مخطط وظيفي، كما يمكن إجراء تعديل في التصميم لمواجهة المتطلبات الخاصة من استخدام هذه الأجهزة، وتمتاز هذه الطريقة برخص التكاليف والسهولة النسبية عند إجراء الاختبارات عليها، إلا أنه يعيبها كبر المساحات المستخدمة وكبر متطلبات القدرة، وصعوبة تأمينها (أى سهولة نسخها بواسطة الآخرين)، بالإضافة إلى متطلبات أخرى من المساحات والقدرة وبالتالي التكاليف عند إجراء أية تعديلات.

ولمواجهة عيوب استخدام الدوائر المحددة الوظيفة عند تصميم الدوائر المنطقية المختلفة، أنتج ما يسمى بالدوائر التكاملية المحددة التطبيقات Application Specific ICs (ASICs)، والتي يتم تصميمها بواسطة المستخدمين لتحقيق متطلبات محددة لدائرة ما، كما يتم إنتاجها بواسطة الصانعين من خلال المواصفات المقدمة إليهم من قبل المستخدمين، وعادة ما تكون هذه التصميمات معقدة جداً بحيث يصعب تصميمها باستخدام الدوائر المحددة الوظيفة، وتمتاز هذه الطريقة بقلّة المساحات وصغر الأحجام وقلّة القدرة المستنفذة وقلّة التكاليف خاصة عند إنتاجها بكميات كبيرة،

علاوة على سهولة تأمينها، إلا أنه يعيبها ضخامة تكلفة الإنتاج الأول وزيادة تكلفة طرق الاختبارات.

إلا أن هناك ما يسمى بالأجهزة المنطقية القابلة للبرمجة Programmable logic devices، والتي تجمع مميزات الطريقتين السابقتين، وبكل بساطة فإن الجهاز المنطقي القابل للبرمجة ما هو إلا دائرة تكاملية يمكن تشكيلها بحيث يمكنها تنفيذ وظائف منطقية محددة، فهي شريحة تكاملية من نوع النطاق الواسع LSI تحتوي على تشكيل منظم تتيح للمصمم تحويلها Customize لتنفيذ تطبيق محدد، أي يتم برمجتها بواسطة المستخدم لتنفيذ وظيفة محددة في هذا التطبيق.

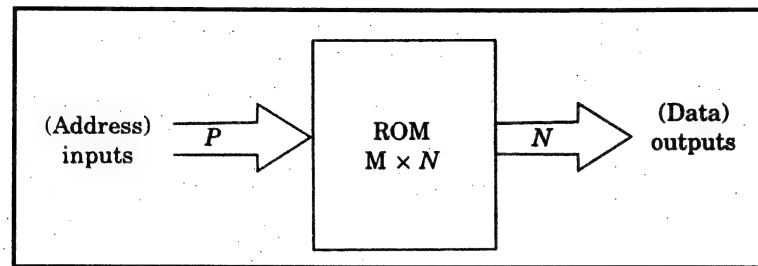
وتتميز هذه الأجهزة بمميزات الدوائر المحددة الوظيفة Fixed-function من حيث دورة التصميم القصيرة ورخص التكاليف، كما تمتاز عليها بصغر المسطحات المستخدمة وصغر متطلبات القدرة وتحقيق متطلبات التأمين وسرعات التغيير العالية High switching speed، كما تتميز هذه الأجهزة بمميزات الدوائر التكاملية المحددة التطبيقات ASICs من حيث الكثافة العالية وقلة المساحات وصغر الأحجام وقلة القدرة وقلة تكاليف الكميات الكبيرة، علاوة على سهولة تأمينها.

وبسبب المميزات العديدة لهذه الأجهزة قام صانعو الدوائر التكاملية بإنتاج العديد من أجهزة PLDs ذات المرونة والبدائل العديدة والتي أصبحت شائعة جداً، وسوف يتم مناقشة العديد من أشكال هذه الأجهزة مثل أجهزة القراءة فقط ROMs، ومنظومات المنطق القابلة للبرمجة Programmable logic arrays (PLAs)، ومنطق المنظومة القابل للبرمجة Programmable array logic (PAL).

8-5-1 ذاكرة القراءة فقط لجهاز PLD :

من دراستنا لذاكرات القراءة فقط ROMs يمكن القول أنها دوائر توافقية يمكن استخدامها لتنفيذ وظيفة منطقية، فذاكرة القراءة فقط التي بحجم $M \times N$ وإلى تحتوي على عدد من المواقع M ، يمكن تخزين عدد من البتات N في كل موقع، ويكون P هو عدد دخول العنوان، حيث:

$2^P = M$ ، كما يكون N هو عدد خطوط خروج البيانات، فهو أيضاً يمكن إعتباره كجهاز منطقي بمدخل P ومخرج N كما هو مبين في شكل (8-11).



شكل (8-11) ذاكرة قراءة فقط دائرة مختلطة

ومنظومة ذاكرة قراءة فقط المكونة من 16-بت، والمبينة في شكل (8-10) لها 4 دخول، ومخرج واحد، أي أن: $M = 16$ ، و $N = 1$ ، و $P = 4$ ، ويمكن إعتبار نموذج البت المخزن والمبين في جدول (8-4) كجدول حقيقة لجهاز دخله 4-بت $A_3A_2A_1A_0$ ، ومخرج واحد Y والذي يمثل البت المخزن، وعلى ذلك تصبح الدالة المنطقية المناظرة هي:

$$Y = \sum m(0, 6, 9, 12, 13, 15)$$

فعامة يمكن تنفيذ دالة منطقية بمتغيرات عددها P ومخرج عددها N باستخدام ذاكرة قراءة فقط حجمها $(2^P \times N)$ ، حيث تتولد جميع المدلولات الأدنى 2^P الممكنة كما هو واضح من المناقشة السابقة.

وفي حالة استخدام ذاكرة القراءة فقط التكرية Mask programmable ROM، فيقوم المستخدم بتحديد نموذج البت المفروض تخزينه طبقاً لمتطلبات الدالة المنطقية، بينما يمكنه برمجة نموذج البت في حالة أنواع الذاكرات PROM، و EPROM، و E²PROM.

ومن هنا نجد أن ذاكرات القراءة فقط ROMs القابلة للبرمجة يمكن استخدامها في تصميم المنطق، فيشار إليها أيضاً بأجهزة المنطق القابلة للبرمجة PLD.

ومن مميزات استخدام ذاكرة القراءة فقط كأجهزة منطق قابلة للبرمجة PLD:

1- سهولة التصميم، حيث لا تتطلب التبسيط أو الاختصار.

* وفي نهاية الفصل يمكننا القول :

بأنه تمت مناقشة ذاكرات أشباه الموصلات والتي أصبحت شائعة في السنوات الأخيرة حيث تم تقديم ذاكرات القراءة والكتابة وذاكرات القراءة فقط .. إلخ، كما أن التطرق لطرق توسيع حجم الذاكرات والتي تكون مما لا شك مفيدة جداً لمصممي النظام الرقمي كما تم التطرق إلى فكرة عامة عن أجهزة المنطق القابلة للبرمجة .PLDs

2- إمكانية تغيير التصميم أو تعديله بسهولة وبسرعة.

3- عادة مايكون أسرع من دوائر النطاق (الصغيرة والمتوسطة).

4- خفض التكلفة.

أما العيوب فتتلخص في عدم الاستخدام الكامل للدائرة، وزيادة متطلبات القدرة، وإزدياد الحجم بزيادة عدد متغيرات الدخول ، وهو شيء غير عملي.

8-5-2 منظومة المنطق القابل للبرمجة

Programmable logic array PLA

يتكون جهاز المنطق القابل للبرمجة PLA عادة من منظومة من البوابات المنطقية القابلة للبرمجة مع توصيلات مع دخول وخروج المنظومة موصلة بأرجل الجهاز من خلال عناصر منطقية (عازلات عاكسة أو غير عاكسة وقلابات)، ويمكن أن تكون البوابات المنطقية المستخدمة بتشكيل مستويين (AND-OR، NAND-NAND ، أو NOR-NOR).

وأساسا يوجد نوعين من أجهزة المنطق القابلة للبرمجة PLDs: منظومات المنطق القابلة للبرمجة (PLA) Programmable logic arrays، منطق المنظومة القابل للبرمجة (PAL) Programmable array logic، ويمكن إستخدامهما لتنفيذ دوال منطقية على الشكل SOP.

وتتكون منظومة المنطق الممكن برمجته PLA من دوائر مستويين لبوابات AND-OR على شريحة واحدة، ويكون عدد البوابات AND والبوابات OR وكذلك عدد مداخلها ثابت لكل شريحة PLA، وتقوم البوابات AND بعملية ضرب والحصول على مقاطع مضروبة، بينما تقوم البوابات OR بالجمع المنطقي لهذه المقاطع، فينتج تعبير مجموع حواصل ضرب SOP، والمصفوفة لها عدد دخول M ومقاطع مضروبة عددها n، وخروج عددها N ويمكنها تنفيذ دالة منطق بمتغيرات عددها M وخروج عددها N، وحيث أن جميع المدخلات الأدنى 2^M تكون غير متاحة، فلا بد من عمل الاختصار المطلوب ليلائم الدالة المنطقية المعطاه.

تدريبات

تدريب (1-8) :

في الذاكرات التالية التي تحتوي على كلمات عددها M ، احسب عدد الأطراف (الأرجل) المطلوبة للعنونة ، وكذلك مدى العنوان (على الشكل الثنائي).

أ - $M = 4$

ب - $M = 16$

ج - $M = 64$

د - $M = 256$

هـ - $M = 1024 = 1K$

و - $M = 2048 = 2K$

ز - $M = 64K$

تدريب (2-8) :

يبين جدول (6-8) زمن الدخول Access time، وزمن الدورة Cycle time لمجموعة من الذاكرات ، مطلوب تحديد اقصى معدل لدخول البيانات في كل حالة.

جدول (6-8)

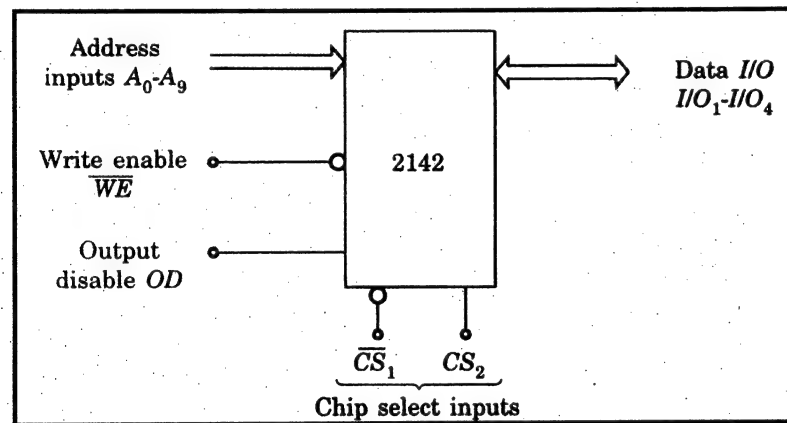
الذاكرة	زمن الدخول (ns)	زمن الدورة (ns)
A	1500	1500
B	300	580
C	450	450
D	200	200
E	60	60
F	800	800

تدريب (3-8) :

المخطط الوظيفي للذاكرة نوع Intel 2142 والموضح في شكل (11-8) يمثل ذاكرة قراءة وكتابة إستاتيكية حجمها 1024×4 ، احسب عدد الذاكرات من هذا النوع ، وكذلك نوع وعدد الدوائر التكاملية الإضافية (كواشف) المطلوبة لتنفيذ ذاكرات قراءة وكتابة بأحجام:

أ - 4096×4 بت .

ب - 1024×8 بت .



شكل (11-8) مخطط وظيفي لذاكرة قراءة وكتابة نوع Intel 2142

تدريب (4-8) :

المخطط الوظيفي للذاكرة نوع Intel 2716 والموضح في شكل (12-8) يمثل ذاكرة قراءة فقط EPROM حجمها $2K \times 4$ ، احسب عدد الذاكرات من هذا النوع، وكذلك نوع وعدد الدوائر التكاملية الإضافية المطلوبة لتنفيذ ذاكرات قراءة فقط بأحجام:

أ - $2K \times 16$

ب - $4K \times 16$

الفصل التاسع

أساسيات المعالجات الدقيقة

1-9 مقدمة

2-9 المعالج الحقيقي النموذجي

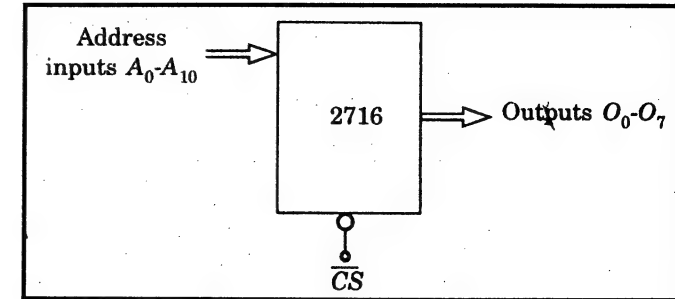
3-9 الناقلات

4-9 الانظمة المبنية على المعالجات الحقيقية

5-9 التركيب البنائي للمعالج الحقيقي

6-9 مجموعة الإوامر

7-9 المعالج الحقيقي طراز 8085A



شكل (8-12) المخطط الوظيفي للذاكرة نوع Intel 2716

9-1 مقدمة :

تعد المعالجات الدقيقة Microprocessors من أهم مخترعات العصر الحالي، ولقد أدت التطورات في تقنية الدوائر التكاملية إلى جعل مجموعة من المهندسين في أحد الشركات الأمريكية عام 1971 من أن تتمكن من إنتاج حاسب دقيق يمكن برمجته على شريحة واحدة، وهذا الجهاز الذي عرف بـ "Intel 4004" والمحتوى على حوالي 2300 ترانزستور على شريحة واحدة والمصنعة باستخدام تقنية p-channel MOS ، سمي فيما بعد بالمعالج الدقيق.

ومنذ تقديم هذا المعالج الدقيق 4-بت، تم إنتاج وتطوير عدد كبير من المعالجات الدقيقة من مختلف الشركات والتي أستخدمت في العديد من المنتجات المختلفة مثل: الحاسبات وأجهزة المعامل وحاسبات الجيب وأنظمة التحكم في التشغيل وأجهزة التحكم في الطائرات ولعب الأطفال وألعاب التسلية...إلخ، ومما أحدث ثورة تكنولوجية.

جدول (9-1)

اسم المعالج	جهة التصنيع	ما يميزها
4004	إنتل	أول معالج دقيق (1971)
8008	إنتل	أول معالج دقيق 8-بت (1972)
8080A	إنتل	أول معالج دقيق بقناة n (1974)
6800	موتورولا	أول معالج دقيق +5V فقط (1974)
PACE	NATIONAL SEMI-CONDUCTOR	أول معالج دقيق 16-بت (1974)
1802	RCA	أول معالج دقيق CMOS (1974)
8048	إنتل	أول معالج دقيق 8-بت على شريحة مفردة (1976)
8088	إنتل	أول معالج 8-بت ببناء داخلي 16-بت (1979)
2920	إنتل	أول معالج Analog-signal (1979)
80386	إنتل	أول معالج دقيق 32-بت (1982)
PENTIUM	إنتل	أول معالج دقيق 64-بت (1993)

وبين جدول (1-9) بعض الوثبات الهامة التي حدثت في تطور المعالجات دقيقة، كما بين جدول (2-9) بعض المعالجات الدقيقة الشائعة مشتملة على بعض مواصفاتها.

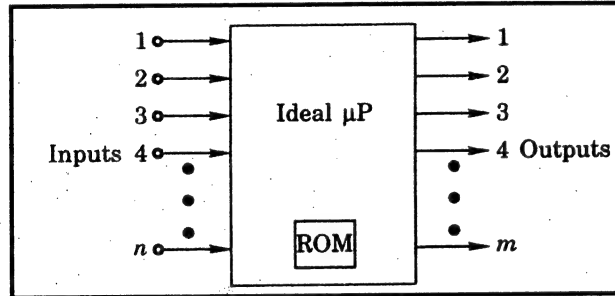
ولقد حدثت تطورت في مجال المعالجات الدقيقة أدت إلى هذا النمو العظيم لها وكما هو واضح من مواصفات عرض ناقل المعلومات وحجم الذاكرة في الجدول (2-9) ومن أمثلة هذه التطورات إزدياد تردد نبضة الساعة من حوالي 3MHz للطرز 8085A، إلى حوالي 66MHz للطرز 80486، كما إرتفع عدد الأوامر Instructions التي يمكن تنفيذها في الثانية الواحدة من 0.5 مليون أمر للطرز 8085A، إلى 54 مليون أمر للطرز 80486، أما تردد نبضة الساعة في الطراز Pentium Pro فيصل إلى 200 MHz.

جدول (2-9)

النوع	عرض ناقل المعلومات	حجم الذاكرة
8085A	8	64K
8086	16	1M
8088	8	1M
80186	16	1M
80188	8	1M
80286	16	16M
80386SX	16	16M
80386SL	16	32M
80386DX	32	4G
80486SX	32	4G
80486DX	32	4G
Pentium	64	4G

2-9 المعالج الدقيق النموذجي :

على الرغم من أنه لا يوجد ما يعرف بالمعالج الدقيق النموذجي μP ، إلا أننا سنفترض جهازاً لشرح وظيفة المعالج الدقيق، فشكل (1-9) يبين نموذج μP بعدد مداخل n وعدد مخارج m ، ونفرض وجود ذاكرة ROM تقوم بتخزين عمليات تنابعة (والتي تعرف بالبرنامج) وذلك على شكل شفرات ثنائية.



شكل (1-9) نموذج من معالج دقيق

وببساطة شديدة وعلى مداخل μP يتم تطبيق إشارات الدخل على الشكل الثنائي حيث يتم معالجتها طبقاً للبرنامج المخزن، ويتم الحصول على الخروج على الشكل الثنائي أيضاً عند المخارج.

ويتم تطبيق الدخول من خلال جهاز دخل والذي يمكن أن يكون:

1- مفتاح Switch.

2- محس Sensor.

3- محول من تناظري إلى رقمي A/D converter.

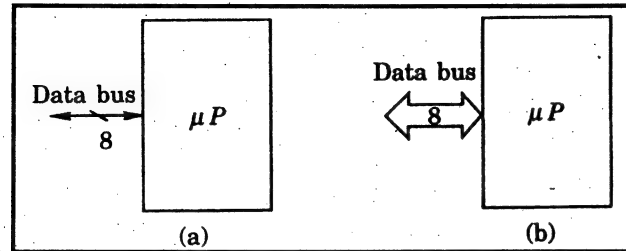
4- لوحة مفاتيح Key-board.

كما يمكن تغذية الخرج إلى أحد أجهزة الخرج، والتي يمكن أن تكون:

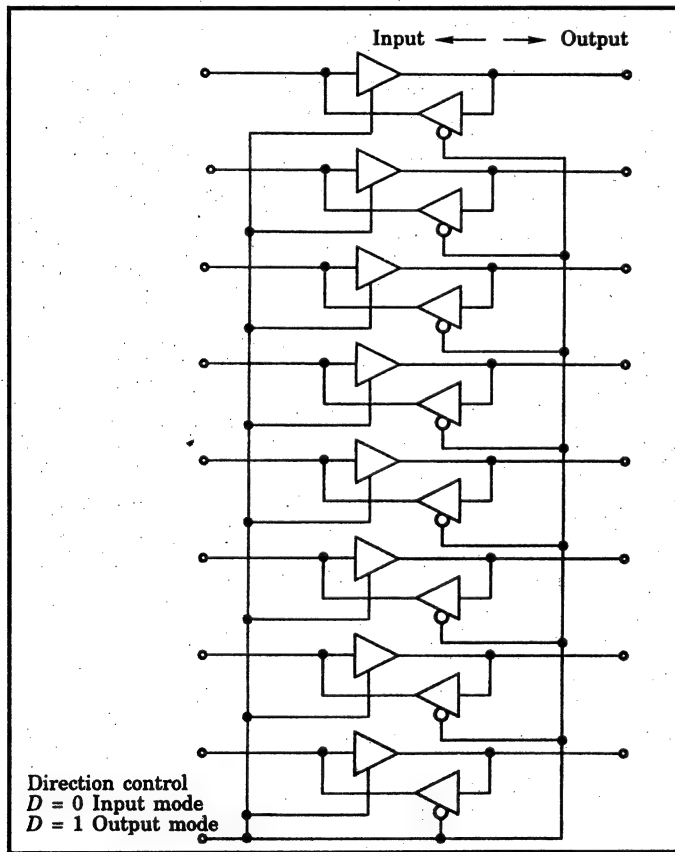
1- لمبات Lamps.

2- أجهزة إنذار.

ويكون عدد الخطوط في الناقل المبين في شكل (2-9) هو 8، ويسمى هذا العدد أيضاً بعرض الناقل Bus width، كما يبين شكل (3-9) تنظيم ل ناقل ثنائي إتجاه، وهنا يتم تحديد إتجاه المداخل أو المخارج حسب المعالج الدقيق نفسه.



شكل (2-9) تمثيل الناقل الثنائي الإتجاه



شكل (3-9) تنظيم ل ناقل ثنائي إتجاه 8-بت

3- مؤشرات Indicators.

4- مبيانات أنبوبة أشعة المهبط CRT displays.

5- محول من رقمي إلى تناظري D/A converter.

ويمكن تنفيذ وظائف المعالج الدقيق المشروحة مسبقاً باستخدام وحدة حساب ومنطق ALU كالشريحة 74181 مع بعض دوائر التحكم وذاكرة ROM، وكما تم شرحه سابقاً فالشريحة 74181 يمكنها تنفيذ مختلف العمليات الحساب والمنطق، باستخدام دخل بيانات كلاهما مكون من 4-بت، ويعتمد تنفيذ أى عملية على الإشارة المطبقة عند دخل التحكم (من حيث نوع العملية: أهى عملية حساب أم عملية منطق) وعلى دخول إختيار الوظائف، وفي النهاية وباستخدام دائرة التحكم المناسبة وعن طريق البرنامج المخزن في الذاكرة ROM يمكن تنفيذ عمليات متتابعة طبقاً للبرنامج المعد.

3-9 مناقلات :

3-9-1 ناقل البيانات :

طبقاً لتعريف المعالج الدقيق النموذجي نجد أنه يحتاج إلى عدد كبير من الأرجل سواء أكانت مداخل أو مخارج، وهذا ما يصعب تنفيذه عملياً حيث لا يمكن لشريحة μP حقيقية أن تتحمل هذا العدد الكبير من الأرجل وحيث تنقيد الشريحة بعدد محدود منها، وعلى هذا فيمكن تحديد القيم m و n ، وعادة يكون: $m = n$ ، كما يمكن تقليل الأرجل إذا أمكن استخدام أرجل الدخول كأرجل خروج، وهذا ممكن باستخدام ما يعرف بالأرجل الثنائية الإتجاه، ويعود عدد الأرجل عندئذ إلى ما يعرف بـ "عرض مسار البيانات" Data path width، أو ما يسمى بـ "ناقل البيانات" Data bus، والكلمة Bus مشتقة من الكلمة اللاتينية Omnibus وتعنى "الشاملة"، وهى كلمة شائعة الاستخدام في الأنظمة الرقمية حيث تعنى مجموعة من الخطوط أو مسار تجميعي، وفي μP يكون ناقل البيانات ثنائي الإتجاه، والذي يمكن تمثيلة كما هو مبين في شكل (2-9) وفيه يتم كتابة عدد الخطوط التي يتشكل منها الناقل كما هو موضح بالشكل.

ويتم معالجة البيانات في المعالج الدقيق على الشكل الثنائي، ويعرف عدد البتات التي يمكن معالجتها في نفس الزمن بطول الكلمة Word length أو حجم الكلمة Word size للمعالج الدقيق، ويكون هو نفسه "عرض ناقل البيانات"، وهذه الخاصية تعتبر مقياس لقوة المعالج الدقيق، كما يمكن تعريف المعالج الدقيق حسب حجم الكلمة، فيقال معالج دقيق 8-بت أو معالج دقيق 16-بت، أو معالج دقيق 32-بت.

9-3-2 ناقل العنوان:

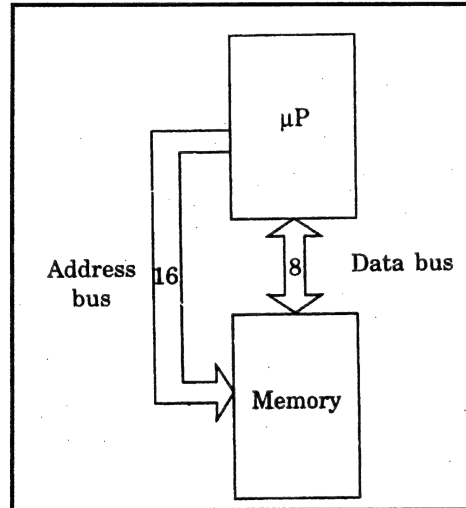
في المعالج الدقيق الذي تم فرضه ، كنا قد فرضنا ذاكرة ROM داخلية والتي يتم تخزين البرنامج بداخلها، أما في المعالجات الدقيقة الحقيقية فيمكن أن تكون هذه الذاكرات غير موجودة أو ذات حجم صغير بحيث يكون البرنامج المُخزن صغيراً جداً، ولهذا يتم استخدام ذاكرة خارجية (والتي يمكن أن تكون RAM أو ROM أو كلاهما معاً)، ومن المعروف أنه يتم تخزين البيانات والمعلومات في العديد من المواقع ولكل موقع عنوان محدد، ولا بد أن يكون للمعالج الدقيق القدرة على تخزين المعلومات في كل هذه الذاكرات وأيضاً قدره على استعادتها منها، وعلى ذلك لا بد أن يكون لكل من μP والذاكرة مجموعة من الخطوط تعرف بـ "ناقل العنوان" Address bus ويكون حجم الذاكرة التي يمكن عنوانتها بعدد P من خطوط عنوان موجودة في ناقل العنوان هو: 2^P ، ويعرف هذا بـ "حيز العنوان" Address space، أو "حيز الذاكرة" Memory space، ومن هنا نجد أنه عند توصيل ذاكرة بحجم كبير مع μP ، فلا بد أن يكون عرض ناقل العنوان كبيراً، وفي كثير من المعالجات الدقيقة يصل عرض ناقل العنوان إلى 16، والذي يمكنه عنوانه حتى 2^{16} موقع (64,536)، وهو ما يعادل: 64K، حيث:

$$K = 2^{10}$$

وعادة يتم ترتيب الذاكرات بحيث يتم تخزين المعلومات على شكل بايتات Bytes، أي أنه يتم تخزين بايت واحد في كل موقع (والبايت كما ذكرنا من قبل عبارة عن 8-بت)، ويصور شكل (9-4) موازنة ذاكرة و μP .

وقبل القراءة من أو الكتابة في موقع ما من مواقع الذاكرة، فلا بد أولاً من اختيار هذا الموقع من خلال إرسال إشارات على ناقل العنوان، ويظل العنوان

موجوداً طالما أن عملية القراءة أو الكتابة لم تكتمل، وفي كثير من المواقف تتواجد ماسكات Latches عند خطوط دخول العنوان للذاكرة، حيث تقوم بإمسك العنوان بمجرد وصوله، وبمجرد مسك هذا العنوان يصبح ناقل العنوان غير مطلوب لبقية دورة القراءة أو الكتابة التي يتم تناولها، حيث يتم استخدام هذا الناقل في غرض آخر، وفي الإصدارات الأولى للمعالجات الدقيقة كان ناقل العنوان يستخدم فقط في نقل العنوان وسمى بـ "ناقل العنوان المخصص" Dedicated address bus.

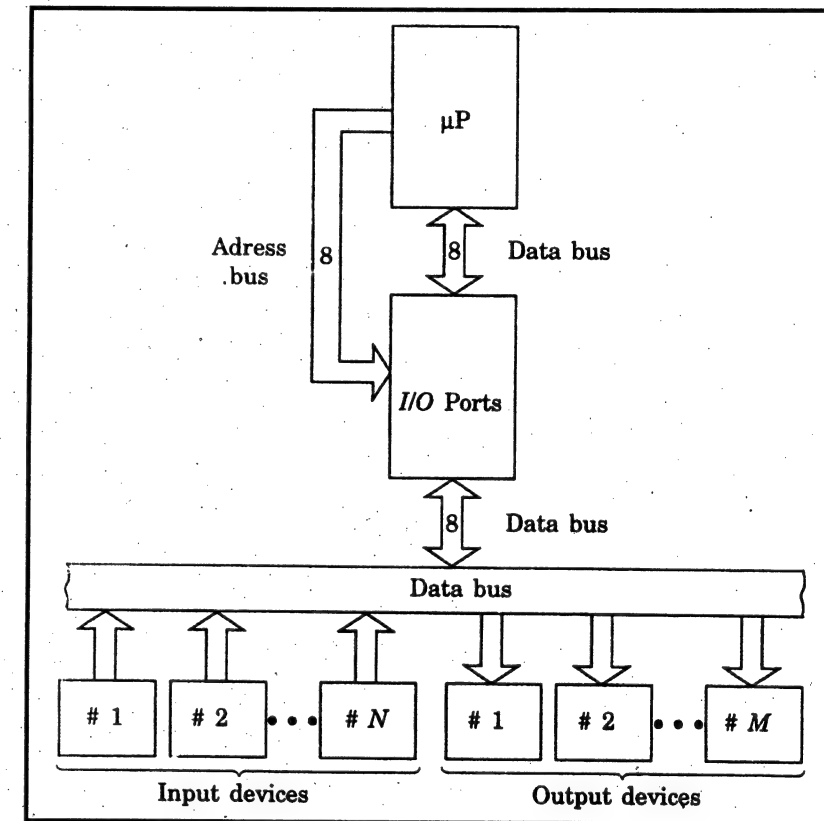


شكل (9-4) موازنة ذاكرة مع μP

وفي بعض المعالجات الدقيقة مثل إنتل 8085A وإنتل 8086 يستخدم نفس الناقل في نقل العنوانين بالإضافة إلى نقل البيانات، وهذا يعني أن الناقل يمكن استخدامه لغرضين، حيث يمكن استخدامه كناقل عنوان عندما يراد إرسال عنوان ما، كما يمكن استخدامه كناقل بيانات عندما يحدث نقل للبيانات، فعل سبيل المثال وفي المعالج الدقيق طراز إنتل 8085A يتم إرسال البايت السفلي للعنوان على الناقل: عنوان/بيانات (AD) من خلال الأرجل من AD_0 إلى AD_7 ، بينما يتم إرسال البايت العلوي للعنوان من خلال الأرجل من AD_8 إلى AD_{15} ، ويعرف هذا النوع من التشغيل (والذي يستخدم فيه الناقل الواحد في وظيفتين مختلفتين) بـ "التشغيل التعددي" Multiplexing، والذي يسبب توفير الكثير من الأرجل على شريحة الدائرة التكاملية،

ويتم إتصال المعالج الدقيق نفسه بالعالم الخارجى من خلال أجهزة تعرف بأجهزة الدخل والخرج I/O devices، ويتم مواءمتها مع المعالج الدقيق من خلال بوابات دخل وخرج، حيث يتم توصيل عدد منها بالمعالج الدقيق ويعتمد هذا العدد على عرض ناقل العنوان، ويتم عنونتها بنفس ناقل العنوان وذلك للدخول على جهاز محدد منها.

ويبين شكل (5-9) مواءمة أجهزة I/O بمعالج دقيق .



شكل (5-9) مواءمة أجهزة I/O بمعالج دقيق

ويمكن أن يكون عرض ناقل العنوان للذاكرة مختلف عنه للأجهزة I/O، فعلى سبيل المثال، وفي المعالج الدقيق طراز إنتل 8085A يستخدم ناقل عنوان عرضه 16-بت فى عنونة الذاكرة، بينما يتم عنونة أجهزة الدخل بناقل عنوان عرضه 8-بت

بت، وهذا يعنى أن عدد أجهزة I/O التى يمكن عنونتها: 2^8 أى 256، وفى الحقيقة يمكن إتاحة هذا العنوان الذى عرضه 8-بت على الأرجل من AD_0 إلى AD_7 ، ومن AD_8 إلى AD_{15} ، كما أن أى معالج دقيق له حيز عنوان مستقل يجمع كل من الذاكرة وأجهزة I/O، لابد أن يحدد هذا المعالج هل العنوان المستخدم عند أى لحظة يقصد به موقع الذاكرة، موقع الجهاز I/O، وعلى النقيض فالمعالج الدقيق 6800 له حيز عنوان قيمته 64K بايت، وهو مشترك لكل من الذاكرة وأجهزة I/O، ويكون العنوان الواحد مختصاً بأحدهما.

9-3-3 ناقل التحكم Control bus :

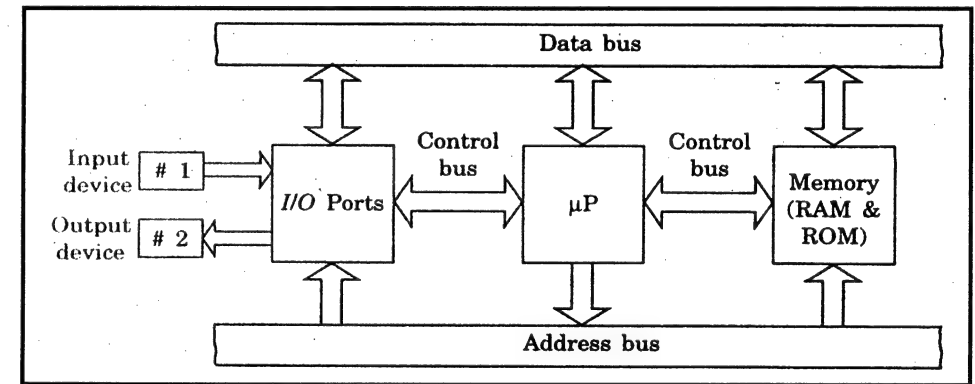
ولدواعى التشغيل السليم لابد أن يكون للمعالج الدقيق مجموعة من خطوط التحكم، سواء أكانت خطوط تحكم دخل أو خطوط تحكم خرج، وتعرف هذه المجموعة من الخطوط بـ "ناقل التحكم" Control bus، وهى تستخدم لعمل التزامن اللازم بين عمل المعالج الدقيق وعمل الدوائر الخارجية، فمثلاً يمكن أن يكون خط التحكم مطلوباً للإبلاغ عما إذا كان العنوان الموجود فى وقت ما على ناقل العنوان يخص موقع على الذاكرة أم يخص أحد أجهزة I/O وذلك عندما يكون ناقل العنوان مشترك لكليهما، وفى المعالج الدقيق 8085A هناك خط التحكم IO/\bar{M} فإذا كانت الإشارة على هذا الخط هى المنطق 1 فهذا يعنى أن العنوان يقصد به جهاز I/O، أما إذا كانت الإشارة هى المنطق 0 فهذا يعنى أن العنوان يقصد به الذاكرة، ومثال آخر هو استخدام بعض إشارات التحكم هذه فى تسهيل إعتراض تنفيذ برنامج عادى، فلتحقيق هذا يستخدم خط تحكم هو - مثلاً - $INTR$ ، فعندما يريد أحد أجهزة I/O فى إعتراض المعالج الدقيق، يقوم بإرسال منطق 1 على هذا الخط، حيث يمكن أن يكون الجهاز I/O هو محول A/D يقوم بإبلاغ المعالج الدقيق أن عملية التحويل قد إنتهت وأن البيانات أصبحت متاحة، أو يكون جهاز I/O لتوضيح أن هناك زيادة فى حدود تشغيل بارامتر معين مثل الضغط أو درجة الحرارة، وبعد أن ينفذ المعالج الدقيق الأمر الجارى، يقوم بإرسال منطق 0 على الخط $INTA$ (ويسمى خط إقرار استلام القطع) وبما يفيد بتمام إستلام أمر القطع، ومقرراً التعرف على طلب جهاز I/O وتحديث عملية القطع، وهنا نرى أن الخط $INTR$ هو خط تحكم دخل بينما الخط

INTA هو خط تحكم خرج ، ونظام الاتصالات هذا (من عمل طلب ما ثم إنتظار الإستجابة من المعالج الدقيق والذي ينتشر فى الأنظمة المبنية على المعالجات الدقيقة) يعرف بـ "نظام تأكيد الاتصال" Handshaking بين الأنظمة الرقمية.

وتوجد عملية أخرى مفيدة تعرف بعملية الدخول المباشر إلى الذاكرة Direct Memory Access (DMA)، فعادة يتم إنتقال البيانات بين أجهزة I/O والذاكرة من خلال المعالج الدقيق وذلك طبقاً للأوامر المخزنة فى الذاكرة، وتكون عملية نقل البيانات هذه بطيئة، كما تكون غير مناسبة خاصة عندما يراد نقل عدد كبير من الكلمات فى نفس الوقت، ولهذا الغرض يتم تزويد المعالج الدقيق بخط إتصال مباشر بين جهاز I/O والذاكرة، ويقوم خط دخل HOLD بإبلاغ المعالج الدقيق بنية جهاز I/O بالدخول المباشر إلى الذاكرة، حيث يقوم المعالج الدقيق بإقرار التعرف على ذلك بإرسال نبضة منطقية 1 على خط تحكم الخرج HLDA، حيث يقوم المعالج الدقيق بفصل ناقلات العنوان والبيانات وتبدأ عملية الدخول المباشر إلى الذاكرة.

9-4 الأنظمة المبنية على المعالجات الدقيقة :

9-4-1 مثال لنظام رقمى بسيط مبنى على معالج دقيق :



شكل (9-6) المخطط الوظيفى لنظام مبنى على معالج دقيق

يبين شكل (9-6) المخطط الوظيفى لنظام مبنى على معالج دقيق، وقبل الدخول فى المناقشات التفصيلية لهذا النظام، سوف يتم وصف الخطوات التى تتضمن تنفيذ

عملية بسيطة والتى منها سوف نفهم بوضوح كيف يمكن توظيف المعالج مع الذاكرة والبوابات I/O مجتمعة لتمثيل نظام.

ولنأخذ فى الإعتبار العملية البسيطة التالية :

- 1- إدخال رقم ما من بوابة الدخل 01 #.
- 2- إلى هذا الرقم يتم إضافة محتويات موقع الذاكرة رقم (0A2F)₁₆.
- 3- إخراج النتائج عند البوابة 02 #.

ومن المعروف أن المعالج الدقيق عبارة عن جهاز رقمى يتكون من العديد من الدوائر الرقمية، كما يقوم بتنفيذ العمليات المختلفة باستخدام الإشارات الرقمية Digital Signals، ولهذا فلا بد ان تكون هذه العمليات معطاه على شكل الإشارات الرقمية، ولهذا فكل العمليات التى يقوم المعالج الدقيق بتنفيذها لابد أن تكون معطاه على شكل الشفرة الثنائية التى يعمل عليها المعالج الدقيق والتى تم تحديدها من قبل بواسطة الصانع، فمثلا عند استخدام 1 بايت (8-بت) فى تحديد شفرات العمليات لأحد المعالجات الدقيقة ، فيكون هناك عدد: $2^8 = 256$ شفرة مختلفة لهذا المعالج الدقيق، وهى تعرف باسم شفرات العملية Operation codes، أو (Op codes)، وأيضاً وبالمثل يتم تحديد عناوين المواقع المختلفة للذاكرة وأجهزة I/O أيضاً بالأرقام الثنائية.

ويطلق مسمى "البرنامج" Program على العملية المطلوب تنفيذها والتى يتم تحديدها فى تتابع مناسب بدلالة شفرات العملية Op code وأيضاً بدلالة عناوين الذاكرة وأجهزة I/O والبيانات، كما تعرف عملية المعالجة هذه بـ: "البرمجة" Programming.

والآن لنقوم بهذه العملية المعطاة خطوة بخطوة :

1- إدخال رقم ما من بوابة الدخل 01 # :

وهو مكون من جزئين من المعلومات، الجزء الأول يعبر عن عملية دخل من بوابة دخل معينة، بينما يحدد الجزء الثانى عنوان البوابة (01H)- حيث يعبر الحرف

H عن نظام أعداد سداسي عشر - وهذه المعلومة تتحدد بعدد 2-بايت: يختص البايت الأول بشفرة العملية Op code، بينما يختص الثاني برقم البوابة، ويسمى هذا التتابع المكون من عدد 2-بايت بـ "الأمر" Instruction .

2- إضافة محتويات موقع الذاكرة 0A2FH :

وهذا أيضاً مكون من جزئين من المعلومات، الجزء الأول يعبر عن عملية إضافة ، بينما يعبر الجزء الثاني عن موقع هذه المعلومات المطلوب إضافتها، حيث تكون البيانات الأخرى متاحة في أحد المسجلات (مُرَكِم) في المعالج الدقيق، هنا يفترض أن عنوان موقع الذاكرة يكون مخزناً في مسجل خاص في المعالج الدقيق ، ومنه لاحتياج للإمداد بأى معلومات منفصلة، وهذا يعنى انه يكون مطلوباً فقط شفرة عملية Op code : إضافة من موقع ذاكرة، ولهذا فإن هذا الأمر مكون من 1-بايت فقط.

3- إخراج النتائج عند البوابة 02 # :

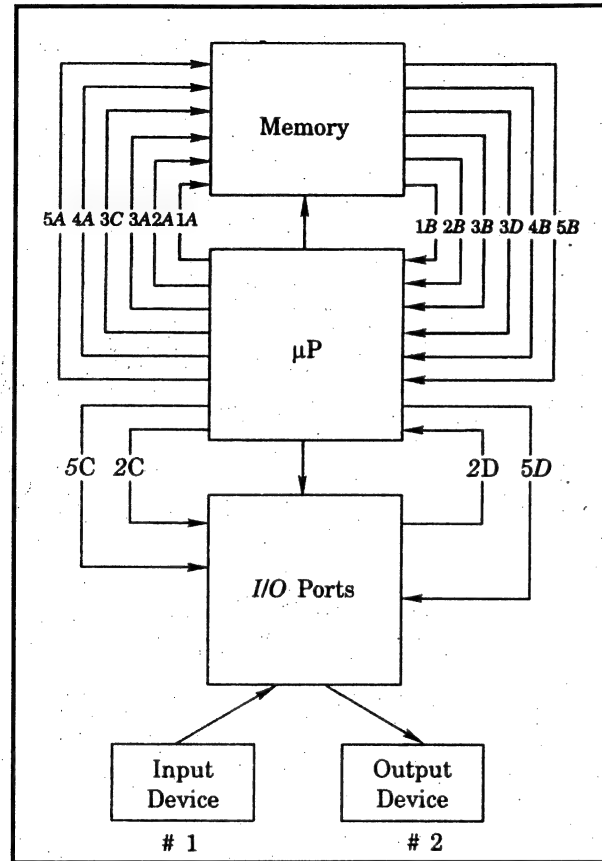
وهذا العدد عبارة عن أمر مكون من 2-بايت، يعبر البايت الأول عن عملية إخراج من بوابة خرج، بينما يعبر البايت الثاني عن عنوان البوابة.

جدول (3-9)

ملاحظات	محتويات الذاكرة (بنظام الأعداد السداسي عشر)	عنوان الذاكرة (بنظام الأعداد السداسي عشر)
شفرة عملية الدخل	DB	0000
رقم بوابة الدخل	01	0001
ذاكرة إضافة	86	0002
شفرة عملية خرج	D3	0003
رقم بوابة خرج	02	0004

وباستخدام الاجراءات السابقة، يتم كتابة البرنامج وتخزينه في مواقع مجاورة لموقع الذاكرة الابتدائي 0000 (بالنظام السداسي عشر)، ويبين جدول (3-9) محتويات مواقع الذاكرة لهذا البرنامج البسيط.

ويبين شكل (7-9) تتابع العمليات التي يتم تأديتها لتنفيذ عينة لبرنامج.



شكل (7-9) تتابع تنفيذ برنامج

- 1- يبدأ تنفيذ البرنامج - بالخطوة (1A) - بإرسال المعالج الدقيق لعنوان أول موقع ذاكرة 0000H لإستحضار أول أمر، وإستجابة لذلك تقوم الذاكرة - بالخطوة (1B) - بإعادة محتويات هذا الموقع 0000H إلى المعالج الدقيق.
- 2- يقوم المعالج الدقيق بحل شفرة هذه الكلمة (11011011) فتكون: أمر INPUT، كما يقوم المعالج بتوليد إشارات التحكم الخاصة بعملية الإسترجاع التالية من الذاكرة وإرسال عنوان موقع الذاكرة التالي 0001H - بالخطوة (2A) - للحصول على رقم بوابة الدخل المطلوبة ، وإستجابة لذلك تقوم الذاكرة - بالخطوة (2B)

- بإعادة محتويات هذا الموقع إلى المعالج الدقيق، حيث يتعرف عليه المعالج الدقيق كبوابة رقم 1.

* وبذلك يكون قد أتيح أول أمر بالكامل في المعالج الدقيق.

3- يقوم المعالج الدقيق بتنفيذ هذا الأمر - بالخطوة (2C) - بإرسال عنوان البوابة رقم 1، وكإستجابة لذلك يستقبل المعالج الدقيق الرقم الثنائي الخاص بالبوابة رقم 1- بالخطوة (2D) - وتخزينه في المسجل الداخلي (المركم).

* وهنا يكون الأمر الأول قد اكتمل.

4- يقوم المعالج الدقيق - بالخطوة (3A) - بإرسال عنوان موقع الذاكرة التالي 0002H لإستحضار الأمر التالي، وإستجابة لذلك يقوم المعالج الدقيق - بالخطوة (3B) - بإستقبال محتويات هذا الموقع 0002H، حيث يتعرف المعالج الدقيق عليه فيكون: أمر إضافة ADD لمحتويات المركم.

5- يتم تنفيذ هذا الأمر بواسطة المعالج الدقيق، بإرسال عنوان موقع الذاكرة (0A2FH) لإضافة محتوياته - بالخطوة (3C) - إلى محتويات المركم، حيث تقوم الذاكرة بإعادة محتويات هذا الموقع إلى المعالج - بالخطوة (3D) - والتي تضاف إلى محتويات المركم، كما يتم تخزين المجموع في المركم.

* وبذلك يكون قد تم تنفيذ الأمر الثاني.

6- يقوم المعالج الدقيق - بالخطوة (4A) - بإرسال عنوان موقع الذاكرة التالي 0003H، وإستجابة لذلك تقوم الذاكرة - بالخطوة (4B) - بإعادة محتويات هذا الموقع إلى المعالج الدقيق، حيث يتعرف المعالج الدقيق عليه فيكون: أمر خرج OUTPUT.

7- بناء على ذلك يقوم المعالج بإرسال عنوان موقع الذاكرة التالي - بالخطوة (5A) - لإستحضار رقم بوابة الخرج، ويتم إستقبال هذا الرقم - بالخطوة (5B) - بواسطة المعالج الدقيق.

* وعندئذ يكون الأمر الثالث متاحاً في المعالج.

8- يبدأ تنفيذ الأمر الثالث - بالخطوة (5C) - بإرسال المعالج لعنوان البوابة، وبعد إختيار البوابة، يتم إرسال محتويات المركم (المجموع) - بالخطوة (5D) - إلى البوابة رقم 2.

* وبذلك يكون قد اكتمل تنفيذ البرنامج.

ويمكن تلخيص الخطوات السابقة كما يلي :

رقم الخطوة	العملية
1A	قيام المعالج الدقيق بإرسال العنوان الخاص بالأمر الأول (0000H)
1B	إستقبال محتويات موقع الذاكرة (0000H) بواسطة المعالج الدقيق
2A	قيام المعالج الدقيق بإرسال العنوان الثاني (0001H)
2B	إستقبال محتويات موقع الذاكرة (0001H) بواسطة المعالج الدقيق
2C	قيام المعالج الدقيق بإرسال عنوان بوابة الدخل 01
2D	إستقبال البيانات من بوابة الدخل 01 بواسطة المعالج الدقيق
3A	قيام المعالج الدقيق بإرسال عنوان الذاكرة التالي (0002H)
3B	إستقبال محتويات موقع الذاكرة (0002H) بواسطة المعالج الدقيق
3C	إرسال عنوان موقع الذاكرة المطلوب بواسطة المعالج
3D	إستقبال بيانات موقع الذاكرة (0A2FH) بواسطة المعالج الدقيق
4A	قيام المعالج الدقيق بإرسال عنوان الذاكرة التالي (0003H)
4B	إستقبال محتويات موقع الذاكرة (0003H) بواسطة المعالج الدقيق
5A	قيام المعالج الدقيق بإرسال عنوان الذاكرة التالي (0004H)
5B	إستقبال محتويات موقع الذاكرة (0004H) بواسطة المعالج الدقيق
5C	قيام المعالج الدقيق بإرسال عنوان بوابة الخرج 02
5D	قيام المعالج الدقيق بإرسال البيانات إلى بوابة الخرج 02

ربما يتطرق إلى الذهن أن إجراءات تنفيذ البرنامج السابق تتم في خطوات مملة وتستهلك زمناً طويلاً، إلا أن المعالج الدقيق يقوم بتأدية هذه الخطوات في خلال قليل من الميكروثانية، ومادام المعالج الدقيق سريعاً فهو ليس ذا مقدرة على التفكير،

وإنما يعمل ما هو مطلوب منه بناء على البرنامج المعطى، ومن هنا نجد أن كتابة البرنامج الصحيح لهو أهم أسس هذه العملية.

9-4-2 عمل المعالج :

من المناقشات السابقة، نجد أن المعالج الدقيق يقوم بتأدية العمليتين الأساسيتين التاليتين:

1- إستحضار FETCH الأمر من الذاكرة.

2- تنفيذ EXECUTE هذا الأمر.

وؤدى كل عملية من هاتين العمليتين فى خطوات مختلفة .

أولا عملية الإستحضار :

1- يقوم المعالج الدقيق بوضع عنوان البايث الأول للأمر على ناقل العنوان مع إشارة التحكم، حتى تتم القراءة من موقع الذاكرة التى تم عنونها.

2- يقوم المعالج الدقيق بتقديم هذا البايث على ناقل البيانات، ويعرف هذا البايث بشفرة العملية Op code، كما تسمى عملية الحصول على هذا البايث من الذاكرة بعملية "إستحضار شفرة العملية" Op-code fetch.

3- يتم حل شفرة (كشف) شفرة العملية وتوليد الإشارات الضرورية.

4- إذا كان الأمر من أنواع الأوامر متعدد البايث، فيتم قراءة البايث التالية من الذاكرة واحدة بواحدة كما فى تسلسل الخطوتين 1 و 2.

* وتسمى عملية الحصول على بايتات الأمر من الذاكرة بعملية "إستحضار الأمر" Instruction fetch.

ثانيا عملية تنفيذ الأمر :

بعد حصول المعالج الدقيق على الأمر بالكامل (جميع بايتات الأمر)، يقوم بتأدية العملية المحددة لهذا الأمر، والتى تعرف بعملية "التنفيذ" Execution .

ومن هنا يمكن تعريف المعالج الدقيق بأنه:

جهاز رقمى مُصنع على شريحة يقوم بإستحضار الأوامر من الذاكرة وكشفها ثم تنفيذها، بمعنى أنه يؤدى عمليات حسابية ومنطقية وقبول البيانات من أجهزة دخل وإرسال النتائج إلى أجهزة الخرج.

ولابد من الفهم بوضوح أن المعالج الدقيق لايمكنه تأدية أى عمل مالم يتم توصيلة بذاكرة وأجهزة دخل وخرج.

9-5 التركيب البنائى للمعالج الدقيق :

لتأدية العمليات المختلفة التى تمت مناقشتها مسبقاً، فلا بد من تركيب المعالج الدقيق من المكونات التالية:

- 1- ناقل بيانات .
- 2- ناقل عنوان .
- 3- ناقل تحكم .
- 4- وحدة حساب ومنطق ALU .
- 5- مسجلات .
- 6- عداد برنامج Program counter .
- 7- علامات flags .
- 8- وحدة تزامن وتحكم Timing & control unit .

9-5-1 نظام النقل:

يتم إتصال أنظمة المعالج الدقيق الفرعية بأنظمة نقل System Bus والتى تشمل : ناقل البيانات وناقل العنوان وناقل التحكم، والتى تمت مناقشتها مسبقاً، حيث يستخدم ناقل البيانات فى نقل البيانات من جزء من المعالج الدقيق إلى جزء آخر منه ، وبين المعالج الدقيق والذاكرة، وبين المعالج الدقيق وأجهزة I/O ، كما يستخدم ناقل

العنوان (والذى يكون أحادى الإتجاه) فى حمل عناوين مواقع الذاكرة وعناوين أجهزة I/O، بينما يتكون ناقل التحكم من عدد من الخطوط تقوم بالتحكم فى العمليات المتعددة والتي منها : القراءة من الذاكرة، والكتابة فى الذاكرة، والقطع، والدخول المباشر على الذاكرة DMA... إلخ .

2-5-9 وحدة الحساب والمنطق :

تعتبر وحدة الحساب والمنطق هى قلب المعالج ، حيث تستخدم لأداء العمليات الحسابية مثل : الجمع ، والطرح ،... إلخ ، وأداء العمليات المنطقية مثل : AND ، و OR ، و EX-OR... إلخ .

3-5-9 المسجلات :

تستخدم المسجلات فى تخزين البيانات الصغيرة فى المعالج الدقيق ، ويُسمح للمستخدم بالوصول لبعض المسجلات من خلال الأوامر، بينما لا يُسمح له بالوصول للآخرى، وبعيداً عن هذه المسجلات التى يُسمح بالوصول إليها أو لا، فهناك مسجلات للأغراض العامة والمعروفة بـ "مسجلات الذاكرة المؤقتة" Scratch-pad registers (المركم) والتي تستخدم فى عمليات حسابية ومنطقية وغيرها، بالإضافة إلى مسجل خاص يسمى "مؤشر المكسدة" Stack pointer، والمستخدم فى حفظ مسار جزء من ذاكرة RAM، والمستخدم كمركم، وحيث سيتم مناقشة هذه العملية لاحقاً، أما المسجلات التى لا يُسمح للمستخدم بالدخول فيها فمنها مسجلات الأوامر والتي تقوم بالحصول على الأوامر من الذاكرات، بالإضافة إلى بعض المسجلات التى تعرف بمسجلات الطوارئ.

4-5-9 عداد البرنامج :

عداد البرنامج (PC) Program counter هو بكل بساطة عبارة عن عداد مطلوب لحفظ مسار عنوان الأمر التالى المطلوب إستحضاره من الذاكرة لتنفيذه، فهو دائماً مايمسك عنوان إما أول بايت من الأمر التالى المطلوب إستحضاره لتنفيذه، أو عنوان البايت التالى من الأمر المتعدد البايتات والذى لم يتم إستحضاره كاملاً، وفى كلتا الحالتين يزداد عداد البرنامج بمقدار الوحدة بعد إستحضار كل بايت.

ومن ضمن دخول التحكم للمعالج الدقيق: مدخل التحرير Reset input، فعند تحرير المعالج الدقيق، يتهياً عداد البرنامج إلى الصفر، وهذا يكون عنوان الذاكرة الذى يتم منه إستحضار أول أمر.

5-5-9 العلامات :

العلامات flags ماهى إلا عبارة عن مسجلات بـ 1-بت، تستخدم فى تخزين حالات محددة والتي تظهر كنتيجة لتنفيذ بعض الأوامر المحددة، ومن هذه العلامات الشهيرة مايلي:

المحمول Carry :

إذا تولد محمول من بت التأثير الأعلى MSB كنتيجة لعملية معينة، عندئذ يتهياً علامة مسجل المحمول عند (1)، وخلاف ذلك يتحرر المسجل عند (0).

الصفر Zero :

هذا المسجل يتهياً عندما يكون الصفر هو النتيجة لعملية، وخلاف ذلك يتحرر المسجل.

الإشارة Sign :

يتم تهيئة هذا المسجل إذا أنتجت عملية ما البت (1) كبت تأثير أعلى فى المركم، بينما يتحرر المسجل إذا كان الناتج غير ذلك.

الندية Parity :

إذا أدت نتيجة عملية ما إلى جعل نديات البتات فى المركم زوجية Even parity، فسوف يتهياً هذا المسجل بينما يتحرر المسجل إذا كان الناتج غير ذلك.

المحمول المساعد Auxiliary carry :

ويسمى أيضاً "نصف محمول" Half carry ، حيث يتم تهيئة هذا المسجل إذا أنتجت عملية ما البت (1) من البتات الأربعة الأدنى ، وخلاف ذلك يتحرر المسجل، وتستخدم هذه العلامة فى العمليات الحسابية فى نظام BCD.

الفائض Overflow :

حيث تتم عملية الطرح باستخدام تمثيل مكمل الإثنين للأعداد، فإذا أنتجت عملية الطرح فائض Overflow فسيتها هذا المسجل، وخلاف ذلك يتحرر المسجل.

9-5-6 وحدة التوقيت والتحكم :

وتستخدم هذه الوحدة في توليد الإشارات التزامنية وإشارات التحكم المناسبة والتي تتحكم وتقوم بعمل التزامن لكل العمليات التي يتم تنفيذها بواسطة مختلف أقسام المعالج الدقيق، والأجهزة الأخرى في النظام.

ويسمى الأسلوب الذي يتم به تنظيم الأجزاء والوحدات السابقة لإنشاء المعالج الدقيق بـ "التركيب البنائي" Architecture .

9-6 مجموعة الأوامر :

من المعروف وكقاعدة يجب أن يستقبل المعالج الدقيق البيانات من العالم الخارجى (من جهاز دخل) على الشكل الثنائى، ويقوم بمعالجة البيانات طبقاً للبرنامج المخزن على الشكل الثنائى فى الذاكرة، ثم إرسال النتائج على الشكل الثنائى أيضاً مرة أخرى إلى العالم الخارجى (إلى جهاز خرج)، كما يكون للمعالج الدقيق نفسه المقدرة على تأدية أعمال معينة ومحددة - كاستجابته للأوامر - أيضاً على الشكل الثنائى، وكما وضحنا من قبل أن هذا التابع فى الأوامر والذي يمكن المعالج الدقيق من تنفيذ عملية كاملة يسمى بـ "البرنامج"، كما يسمى تجميع الأوامر التى يستطيع المعالج الدقيق من التعرف عليها بـ "مجموعة الأوامر" Instruction set، والتى يتم تحديدها بواسطة الصانع، ويجب على المستخدم ان يكون متفهماً تفهماً كاملاً لمجموعة الأوامر التى يحتويها المعالج الدقيق الذى يستخدمه.

ويجب أن يحتوى كل أمر على مجموعة من المعلومات تكفى لتنفيذ العملية المطلوبة، حيث يجب إحتواء الأمر (ضمنياً أو صراحة) على المعلومات التالية:

1- العملية التى يتم تأديتها :

وتكون معرفة بشفرة العملية Op code، وحتى يصبح هذا أكثر مناسبة للمستخدم يتم تحديد هذه الشفرة بإطلاق عليها أسماء مناسبة تذكيرية Mnemonics، فعلى سبيل المثال: ADD للتعبير عن الإضافة، وANA للتعبير عن العملية المنطقية AND... إلخ .

2- مصادر المعاملات المستخدمة :

فبعض الأوامر تحتاج فى تنفيذها لمعامل Operand واحد فقط (أى الكمية التى تجرى عليها عملية ما). والذي يمكن أن يكون فى الذاكرة أو فى المسجل أو الأمر نفسه، فمثلاً : الأمر MOV A, B معناه نقل محتويات المسجل B إلى المرمك، هنا يصبح المعامل فى المسجل B هو مصدر المعلومات ، كما تحتاج بعض الأوامر لمعاملين، أحدهما موجود طبيعياً فى المرمك ، بينما الآخر محدد فى الأمر، فمثلاً: الأمر ADD C يضيف محتويات المسجل C إلى محتويات المرمك، فهنا يكون أحد مصادر المعاملات فى المسجل C، بينما المعامل الآخر يكون ضمناً محتوياً فى المرمك.

3- الوجهة المقصودة للنتيجة :

فبعد تأدية العملية، تتجه النتيجة إلى الجهة المقصودة والتى يتم تحديدها فى الأمر، فمثلاً: الأمر MOV A, M معناه استخدام المرمك كوجه مقصودة للنتيجة، ويمكن أن تكون الجهة المقصودة مسجل أو موقع ذاكرة أو جهاز خرج.

وفى بعض الأوامر لا يكون مطلوب تحديد الوجهة المقصودة ويقصد هنا ضمناً أن يكون المرمك هو الجهة المقصودة ، فمثلاً فى الأمر ADD C يقصد توجه نتيجة الإضافة إلى المرمك، وبما يعنى أن تحل النتيجة محل أحد المعاملات .

وعامة يكون للأمر مجال أو مجالين ، كما هو مبين فى شكل (9-8) .

ADDRESS/DATA	OP CODE
المجال الثانى	المجال الأول

شكل (9-8) الشكل العام للأمر

وعادة تكون هذه المجالات على شكل البايتات، ويكون مجال شفرة العملية مكون من بايت مفرد، وبينما يمكن أن يغيب مجال العنوان/البيانات فى بعض الأحوال، وكمثال على ذلك الأمر: ADD B، فيمكن أن يتكون هذا المجال من عدد صحيح من البايتات، فعلى سبيل المثال ، وفى المعالج الدقيق 8085A يمكن أن يكون

هناك أمراً بطول 1-بايت (هو شفرة العملية)، أو بطول 2-بايت (أحدهما خاص بشفرة العملية ، والآخر خاص بالعنوان/البيانات)، أو بطول 3-بايت (الأول خاص بشفرة العملية ، والثاني خاص بالعنوان/البيانات كبايت منخفض ، والثالث خاص بالعنوان/البيانات كبايت عالي)، وحيث يوضح شكل (9-9) التنظيمات المحتملة للبايتات، ويتم تخزين بايتات الأوامر في مواقع متجاورة بدءاً من البايت الأول.

رقم البت ← 0 1 2 3 4 5 6 7

شفرة عملية

(a)

البايت الأول : شفرة عملية

البايت الثاني : عنوان/بيان

(b)

البايت الأول : شفرة عملية

البايت الثاني : عنوان/بيان (بايت منخفض)

البايت الثالث : عنوان/بيان (بايت عالي)

(c)

شكل (9-9) التنظيمات المحتملة لبايتات الأوامر في المعالج الدقيق 8085A

مثال (9-1) :

مطلوب إضافة محتويات كل من موقعي الذاكرتين 2C4A(hex) و 3DA6(hex)، وتخزين الناتج في موقع الذاكرة 7AFF(hex) .

الحل :

البرنامج المطلوب يخضع لتتابع أوامر (والخاص بالمعالج الدقيق 8085A) كالتالي:

LDA 2C4AH

LXI H, 3DA6H

ADD M

STA 7AFFH

وتكون عدد البايتات لهذه الأوامر هي: 3 و 3 و 1 و 3 على الترتيب، ولابد من تخزين البرنامج أولاً في الذاكرة قبل معالجته بواسطة المعالج الدقيق، ونفرض أن هذا البرنامج يُخزن في الذاكرة كما هو موضح جدول (9-4).

جدول (9-4)

عنوان الذاكرة (سداسي عشر)	المحتويات (ثنائي)	ملاحظات
0000	0011 1010	شفرة عملية LDA
0001	0100 1010	8-بتات السفلى للعنوان 4A
0002	0010 1100	8-بتات العليا للعنوان 2C
0003	0010 0001	شفرة عملية LXI H
0004	1010 0110	8-بتات السفلى للعنوان A6
0005	0011 1100	8-بتات العليا للعنوان 3D
0006	1000 0110	شفرة عملية ADD M
0007	0011 0010	شفرة عملية STA
0008	1111 1111	8-بتات السفلى للعنوان FF
0009	0111 1010	8-بتات العليا للعنوان 7A

* ولابد من أن نفهم بوضوح أن تصميم الأنظمة المبنية على المعالجات الدقيقة تتطلب المعرفة بكل من المكونات المادية والبرمجة.

9-7 المعالج الدقيق طراز 8085A :

يوجد الكثير من طرازات المعالجات الدقيقة والتي تتواجد على شكل شرائح، وعلى الرغم من تشابه المفاهيم الأساسية لها، إلا أنها تختلف في التركيب البنائي وفي مجموعة الأوامر وفي التشغيل، وإذا حاول أي منا أن يعلم كل شيء عن كل المعالجات الدقيقة فإنه سيصل في النهاية إلى حالة من الارتباك والحيرة، وعلى

الجانب الآخر إذا تم التركيز في دراسة واحد هذه المعالجات والفهم الجيد له، فسيمكن بعد ذلك سهولة فهم المعالجات الدقيقة الأخرى إلى حد كبير، ولقد تم إختيار أكثر المعالجات الدقيقة شهرة وهو المعالج الدقيق طراز إنتل 8085A للدراسة، ومنه يمكن بسهولة - كما قلنا - فهم المعالجات الدقيقة الأخرى.

9-7-1 التنظيم والنشغيل :

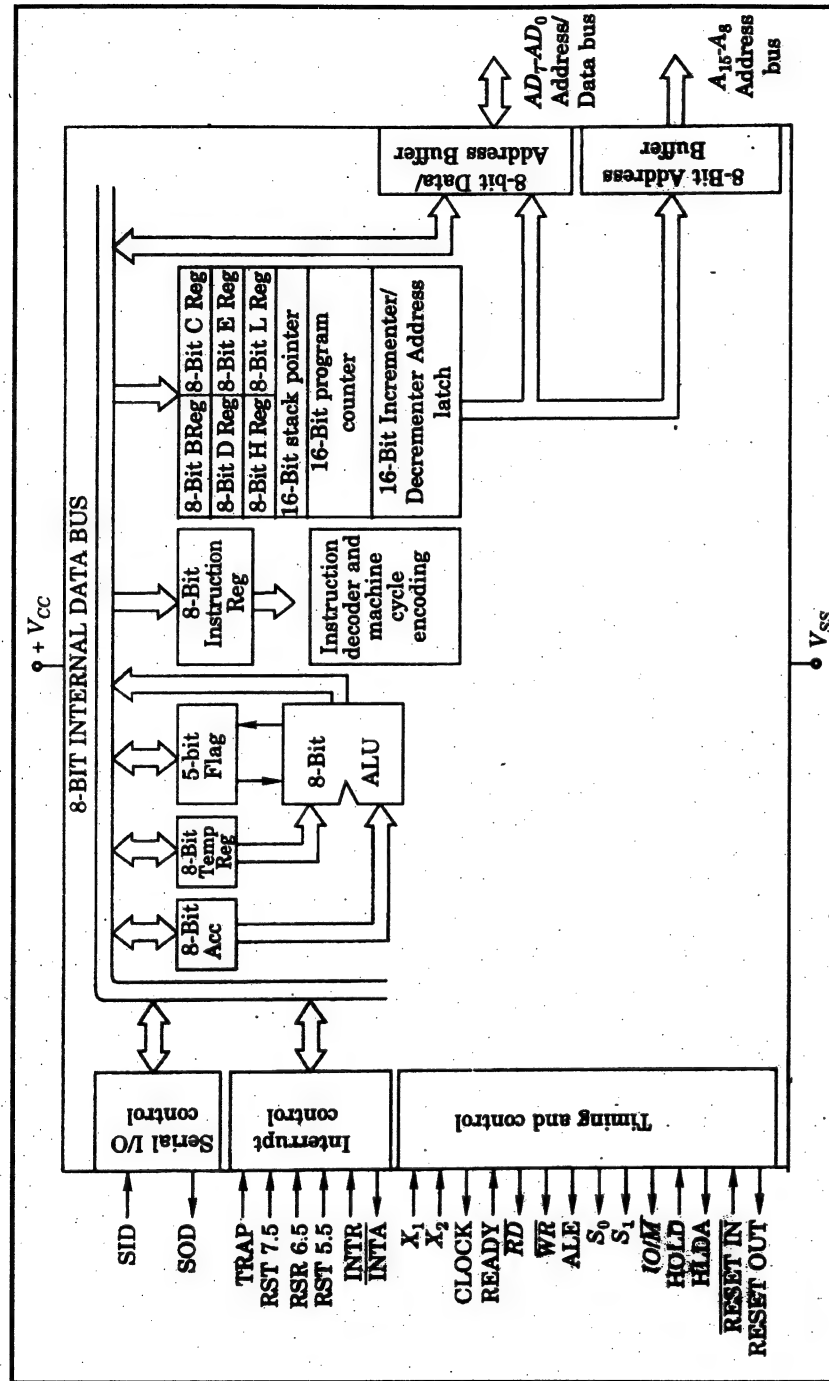
ناقلات البيان والعنوان :

فالمعالج 8085A من المعالجات الدقيقة ذات 8-بت، ويبين شكل (9-10) المخطط الوظيفي له.

ويتميز بوجود ناقل بيانات ثنائي إتجاه 8-بت، يستخدم كناقل بيانات دخل وأيضاً كناقل بيانات خرج على شكل 8-بت (من D_0 إلى D_7).

أما ناقل العنوان فهو عبارة عن 16-بت (بما يعني أن حيز عنوان الذاكرة 64K-بايت)، وينقسم ناقل العنوان إلى مقطعين، حيث يتم نقل 8-بت السفلى للعنوان (من A_0 إلى A_7) على نفس ناقل البيانات، ولهذا يُعرف الناقل، كناقل عنوان/بيانات AD (من AD_0 إلى AD_7)، بينما يتم نقل 8-بت الأعلى للعنوان (من A_8 إلى A_{15})، وتتواجد العناوين والبيانات في المسار في أزمنة مختلفة.

ومن الطبيعي أن يؤدي هذا التشكيل إلى تقليل عدد أرجل الشريحة.



شكل (9-10) المخطط الوظيفي للمعالج الدقيق 8085A

وحدة الحساب والمنطق ALU :

ويتميز المعالج الدقيق بوجود وحدة حساب ومنطق 8-بت، حيث تؤدي عمليات الحساب والمنطق في هذه الوحدة بكلمات مكونة من 8-بت.

مسجل المرمك :

حيث يوجد مسجل 8-بت يعرف بالمرمك، فالعمليات الحسابية مثل: الجمع، والطرح، ... إلخ، والعمليات المنطقية مثل: AND، و OR، و EX-OR ... إلخ، يكون أحد المعاملات محتوياً في المرمك، كما أن نتيجة هذه العمليات يتم تخزينها فيه، ويتم ترميز هذا المرمك بالحرف A.

المسجل العمومي General purpose register :

وهي عبارة عن 6 مسجلات 8-بت عمومية، يرمز لها بالأحرف B و C و D و E و H و L، ويمكن استخدام هذه المسجلات كمسجلات 8-بت منفردة، أو كمسجلات 16-بت مزدوجة، وفي حالة المسجلات المزدوجة تصبح الأزواج هي: B-C و D-E و H-L، ويتم تخزين البايت الأعلى في المسجل الأول من كل زوج (أي المسجلات B و D و H)، بينما يتم تخزين البايت الأسفل في المسجل الثاني من كل زوج (أي المسجلات C و E و L)، فمثلاً إذا كان المطلوب تخزين الأمر: 1A2C(hex) في زوج المسجلات H-L، فيتم تخزين البايت الأعلى 1A في المسجل H، بينما يتم تخزين البايت الأسفل 2C في المسجل L، ويتم استخدام مجمع Multiplexer لتسيير البيانات في ناقل البيانات الداخلي إلى أي من مسجلات الدرجة الأعلى أو مسجلات الدرجة الأسفل.

مسجل مؤشر المكدة Stack Pointer (SP) :

هو مسجل 16-بت يستخدم في تخزين عنوان قمة المكدة ويُسمح للمستخدم بالوصول لهذه المسجلات السابقة من خلال الأوامر.

ويبين جدول (5-9) الأسماء والشفرة الثنائية لمسجلات 8-بت للمعالج الدقيق 8085A.

جدول (5-9)

الشفرة الثنائية	إسم المسجل
111	A
000	B
001	C
010	D
011	E
100	H
101	L

كما يبين جدول (6-9) الأسماء والشفرة الثنائية لأزواج المسجلات للمعالج الدقيق 8085A.

جدول (6-9)

الشفرة الثنائية	الإسم	أزواج المسجلات
00	B	B-C
01	D	D-E
10	H	H-L
11	SP	مؤشر المكدة

العلامات Flags :

العلامات في المعالج الدقيق 8085A عبارة عن 5 قلابات (مسجلات 1-بت)، تستخدم في توضيح وتخزين حالات محددة والتي تظهر أثناء العمليات الحسابية والمنطقية، وهي:

- 1- الصفر Zero (Z).
- 2- الإشارة Sign (S).

3- الندية Parity..... (P) .

4- المحمول Carry (CR) .

5- المحمول المساعد Auxiliary carry (AC) .

حيث تُجبر التهيئة لجميعها عند المنطق 1، كما يُجبر التحرير لها عند المنطق 0، كما يؤثر الأمر على هذه الإشارات بنفس الأسلوب الذى تم شرحه مسبقاً فى القسم (5-9).

عداد البرنامج (PC) Program Counter :

يتم تخزين الأوامر التى يتم تنفيذها إلى جانب بعضها فى مواقع الذاكرة، ويتواجد العنوان التالى للأمر المطلوب استحضاره من الذاكرة فى عداد برنامج 16-بت.

فمثلاً : فلنتناول الأمر LDA 02C4H، والذى يعنى: " تحميل المرمك بمحتويات موقع الذاكرة 02C4H "، ولنفرض أن الشفرة الخاصة بهذا الأمر (وهى LDA) مخزنة فى موقع الذاكرة رقم 0100H، فيتم تخزين البايت C4H فى موقع الذاكرة رقم 0101H، بينما يتم تخزين البايت 02H فى موقع الذاكرة رقم 0102H، كما يتم تخزين الأمر التالى بعد ذلك مبتدئاً بموقع الذاكرة رقم 0103H.

فعندما ينتهى المعالج الدقيق من تنفيذ الأمر السابق للأمر الذى نحن بصدد LDA 02C4H، يكون عداد البرنامج قد وصل إلى رقم 0100H، وبعد ذلك يزداد العد أوتوماتيكياً تصاعدياً مع كل إستحضار لبايت واحد من الذاكرة، ولهذا وجدنا أنه مع نهاية تنفيذ الأمر LDA 02C4H يصل العد إلى 0103H.

وكما ذكرنا من قبل، فهناك بعض المسجلات يُسمح بالدخول إليها بواسطة المستخدم من خلال الأوامر، فيقوم مسجل الأوامر Instruction register بإدخال شفرة العملية الخاصة بالأمر فى دورة شفرة عملية Op code والخاصة بآلية الإستحضار وإمرارها إلى الكاشف، حيث تنحصر وظيفة الكاشف فى ترجمة الأمر وتمكين قسم التحكم من إنتاج الإشارات المناسبة لتنفيذ المهام المطلوب تنفيذها من هذا الأمر.

كما يوجد مسجلات أخرى عديدة (كمسجلات الطوارئ) تستخدم فى العمليات الداخلية لايُسمح لمستخدم بالدخول إليها.

الساعة Clock :

يتم توصيل شبكة بللورية أو RC بين الرجلين X_1 و X_2 فى الشكل (9-10) لتعيين تردد مولد الساعة الداخلى والذى يقوم بعمل تزامن لعمليات المعالج، ويكون تردد الساعة المتولد نصف تردد البلورة، كما أنه يمكن إتاحة تردد الساعة عند رجل خرج الساعة CLOCK output والذى يستخدم فى عمل تزامن للأجهزة الخارجية.

التغذية :

يتم تشغيل المعالج 8085A من خلال منبع تغذية مفرد قدره +5V، يوصل بين الرجلين V_{CC} ، و V_{SS} .

نظام القطع أو الإعتراض Interrupt system :

فى بعض التطبيقات يمكن السماح بإرجاء العمل الروتينى الذى يقوم به المعالج الدقيق وذلك لخدمة مهمة ما مستعجلة، فمثلاً يمكن أن يستخدم نظام مبنى على المعالجات الدقيقة لمراقبة درجة الحرارة والضغط لعملية ما، فعندما تبتعد درجة الحرارة أو الضغط أو كلاهما عن قيم حدود الأمان لها سواء بالزيادة أو النقصان، فيجب على المعالج أن يكون له القدرة على البدء فى إتخاذ التصرف اللازم لتجنب أية أخطار على الحياة أو المعدات، ولهذا الغرض لابد من وجود إشارة - تبين هذا الموقف الطارئ - يمكنها إعتراض المعالج الدقيق، وفى الحقيقة فإن نظام الإعتراض للمعالج يسمح للإشارات ذات الأولوية الأعلى من التمكين وتوجيه المعالج فوراً للعمل فى برنامج مختلف.

ويتكون نظام الإعتراض فى المعالج الدقيق 8085A من 5 إشارات دخل مختلفة ذات أولويات ثابتة مالم يتم تغييرها بالأمر SIM (سيتم مناقشته لاحقاً)، وهى طبقاً للأولوية كالاتى:

الإشارات

الأولوية

أعلى أولوية

TRAP

RST 7.5

RST 6.5

RST 5.5

أقل أولوية

INTR

وفي حالة الإشارات الأربعة الأولى ، يتم نقل التحكم إلى موقع الذاكرة ، وكما هو موضح كالاتي :

إشارة الاعتراض

عنوان تفرع

TRAP

$$4.5 \times 8 = 24H$$

RST 7.5

$$5.5 \times 8 = 2CH$$

RST 6.5

$$6.5 \times 8 = 34H$$

RST 5.5

$$7.5 \times 8 = 3CH$$

أما فيما يخص الإشارة الخامسة INTR، فيتم تزويد المعالج الدقيق بعنوان "أمر CALL" من خلال جهاز خارجي يعرف بـ "موجه الاعتراض" Interrupt controller.

2-7-9 البرمجة:

يتم تقسيم نظام الأوامر في المعالج الدقيق 8085A إلى العديد من المجموعات منها:

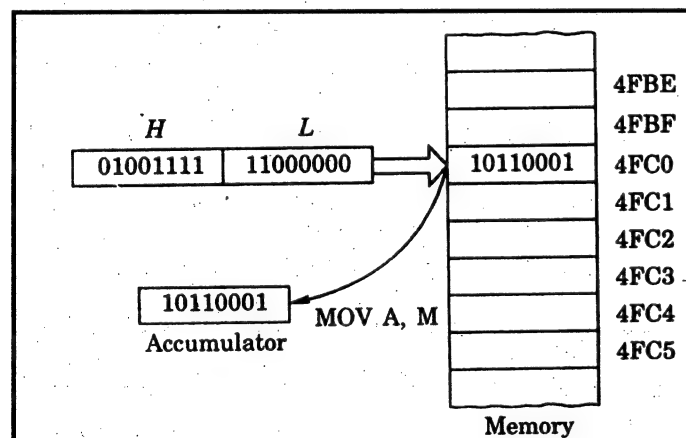
- 1- مجموعة أوامر نقل البيانات .
- 2- مجموعة أوامر الحساب .
- 3- مجموعة أوامر المنطق .
- 4- مجموعة أوامر التفرع .

أولاً : مجموعة أوامر نقل البيانات Data transference instruction group :

وهذه المجموعة تختص بالأوامر التي تحرك البيانات بين المسجلات وبعضها، وبين الذاكرة والمسجلات، وأيضاً تختص بالأوامر التي تحرك البيانات الموجودة في المعالج الدقيق نفسه إلى الذاكرة أو المسجلات .

أوامر الحركة Move instructions :

هي عبارة عن أوامر (كل أمر منها مكون من 1-بايت)، والغرض من هذه الأوامر نقل البيانات من مسجل 8-بت إلى مسجل 8-بت آخر، أو من موقع ذاكرة إلى مسجل 8-بت، أو من مسجل 8-بت إلى موقع ذاكرة، وتكون هذه الأوامر معرفة بالإسم التذكيري "MOV"، متبوعاً بكل من الجهة المقصودة والمصدر وبينهما فصلة (،)، وحيث تسبق الجهة المقصودة الفصلة والمصدر، فمثلاً الأمر: MOV A, B يقصد به تحريك محتويات المسجل B (أى المصدر) إلى المسجل A (أى الجهة المقصودة)، والذي يحدث في الحقيقة أن محتويات المسجل B يتم نسخها في المسجل A، حيث لا تتغير محتويات المصدر سواء أكان هذا المصدر موقعاً في ذاكرة أو مسجل.



شكل (9-11) استخدام زوج المسجلات H-L كمؤشر ذاكرة

ومتى اعتبر موقع الذاكرة كمصدر للبيانات أو جهة مقصودة للبيانات، فيؤخذ عنوان موقع الذاكرة كمحتويات زوج المسجلات H-L، ولهذا كان لابد من تحميل

العنوان المطلوب أولاً في زوج المسجلات H-L، فعلى سبيل المثال نجد أن الأمر: MON A, M يتم فيه نسخ محتويات موقع الذاكرة (والمُخزن عنوان هذا الموقع في زوج المسجلات H-L) إلى المرمك، حيث يستخدم زوج المسجلات H-L كمؤشر لموقع الذاكرة، وكما هو مبين في شكل (9-11)، وبالمثل نجد أن الأمر: MON M, B ينسخ محتويات المسجل B إلى موقع الذاكرة المشار إلى موقعها بواسطة زوج المسجلات H-L.

أوامر الحركة الفورية (MVI) Move Immediate Instructions :

وتختص بنقل بايت بيانات معينة بداخل الأمر نفسه إلى المسجل أو موقع ذاكرة (والمُخزن عنوان هذا الموقع في زوج المسجلات H-L)، فمثلاً الأمر: MVI C, 02H ينقل بايت البيان 02H إلى المسجل C، بينما الأمر: MVI M, 3AH ينقل بايت البيان 3AH إلى موقع الذاكرة والمشار إليه بواسطة زوج المسجلات H-L.

وتكون البيانات نفسها بطول 2 بايت، مما يتطلب موقعين في الذاكرة لتخزينهما، حيث يخص البايت الأول شفرة عملية Op code والذي يُخزن في موقع الذاكرة الأول، متبوعاً بالبايت المناظر للبيان الذي يحتوية الأمر.

أوامر التحميل الفوري الممتد (LXI) Load Extended Immediate :

تستخدم هذه المجموعة من الأوامر لنقل عدد مكون من 16 بت (والمحدد في الأمر على شكل 2 بايت) إلى زوج مسجلات محدد، فعلى سبيل المثال، الأمر:

LXI H, 23A7H معناه القيام بتحميل العدد 0010 0011 في المسجل H، بينما يتم تحميل العدد 10100111 في المسجل L، وتكون هذه الأوامر بطول 3 بايت مما يتطلب 3 مواقع في الذاكرة لتخزينها، حيث يخص البايت الأول شفرة عملية Op code والذي يُخزن في موقع الذاكرة الأول، متبوعاً بالبايتين المناظرين للبيان، وحيث يتم تخزينها في الذاكرة في 3 مواقع متتالية، وكما هو موضح في شكل (9-12).

البايت الأول 00100001 شفرة عملية (LXI H)
البايت الثاني 10100111 بيان بايت الدرجة السفلى (A7)
البايت الثالث 00100011 بيان بايت الدرجة العليا (23)

شكل (9-12) بايتات الأمر LXI H, 23A7H

مثال (9-2) :

اكتب برنامج لنقل بايت واحد من البيانات من موقع الذاكرة 0010H إلى موقع الذاكرة 1000H.

الحل :

الأمر	التعليق
LXI H, 0010H	تحميل زوج المسجلات H-L بموقع الذاكرة 0010H
MOV A, M	نقل محتويات موقع الذاكرة المشار إليه بواسطة زوج المسجلات H-L إلى المسجل (المرمك) A .
LXI H, 1000H	تحميل زوج المسجلات H-L بموقع الذاكرة 1000H
MOV M, A	نقل محتويات المسجل (المرمك) A إلى موقع الذاكرة المشار إليه بواسطة زوج المسجلات H-L .

ونلاحظ هنا أنه لا يوجد أمر لنقل المحتويات مباشرة من موقع ذاكرة إلى موقع آخر، حيث يتم النقل فقط من خلال أحد مسجلات المعالج .

التحميل/التخزين المباشر للمرمك Load/Store Accumulator Direct :

حيث يمكن التحميل المباشر للمرمك Load Accumulator Direct (LDA) بالبايت المُخزن في موقع الذاكرة والمحدد عنوانه في الأمر، وبالمثل يمكن تخزين محتويات المرمك Store Accumulator Direct (STA) في موقع الذاكرة والمحدد عنوانه في الأمر، ومن هنا نجد أننا أمام أوامر بطول 3 بايت، حيث يخص البايت الأول شفرة عملية

Op code، ويخص الثانى بايت الدرجة السفلى للعنوان، بينما يخص الثانى بايت الدرجة العليا للعنوان.

ومن هنا يمكن إعادة كتابة برنامج المثال (9-2) على النحو التالى:

الأمر	التعليق
LDA 0010H	تحميل المرمك بمحتويات موقع الذاكرة 0010H
STA 1000H	تخزين محتويات المُرَكم فى موقع الذاكرة 0010H

التحميل/التخزين المباشر للمسجلين H ، و L :

فالأمر Load H , L Direct (LHLD) (أو التحميل المباشر للمسجلين H، و L)، يعنى تحميل محتويات الذاكرة المحدد عنوانها فى البايث الثانى والبايث الثالث من الأمر فى المسجل L، وتحميل البايث الموجود فى موقع الذاكرة التالى فى المسجل H، أما الأمر Store H , L Direct (SHLD) (أو التخزين المباشر للمسجلين H، و L)، فهو يعنى العملية العكسية، بمعنى نقل محتويات المسجل L إلى موقع الذاكرة المحدد عنوانها فى البايث الثانى والبايث الثالث من الأمر، ونقل محتويات المسجل H إلى موقع الذاكرة التالى.

فمثلا، الأمر: LHLD 0A22H يعنى نقل محتويات موقع الذاكرة رقم 0A22H إلى المسجل L، ونقل نقل محتويات موقع الذاكرة التالى، أى رقم 0A23H إلى المسجل H، وكما هو موضح فى شكل (9-13)

أرقام مواقع الذاكرات المحتويات

0A21			
0A22	← المسجل L	24H	00100100
0A23	← المسجل H	73H	01110011
0A24			
0A25			

شكل (9-13) توضيح عملية للأمر LHLD

وبالمثل يمكن توضيح عملية للأمر SHLD فى شكل (9-14) .

أرقام مواقع الذاكرات المحتويات

23B1			
23B2			
23B3	→ المسجل L	03H	01110011
23B4	→ المسجل H	A5H	00100100
23B5			

شكل (9-14) توضيح عملية للأمر SHLD 23B3H

التحميل/التخزين الغير مباشر للمرمك Load/Store Accumulator Indirect :

يعبر الأمر LDAX B عن تحميل المرمك بمحتويات الموقع الموجود عنوانه فى زوج المسجلين B-C، وبالمثل يعبر الأمر LDAX D عن تحميل المرمك بمحتويات الموقع الموجود عنوانه فى زوج المسجلين D-E.

أما الأمرين STAX B و STAX D فيعبران عن تخزين محتويات المرمك فى موقعى الذاكرة المشار إلى عنوانهما فى كل من زوجى المسجلين B-C و D-E على الترتيب.

وكل من هذه الأوامر الأربعة عبارة عن أمر ببايث مفرد.

مثال (9-3) :

إشرح البرنامج التالى :

LXI	B, 2475H
LXI	D, 3794H
LDAX	B
MOV	L, A
LDAX	D
STAX	B

- * ولا تتأثر القلايات الخمسة الخاصة بالعلامات بمجموعة أوامر نقل البيانات.
- * ويبين جدول (7-9) جميع الأوامر الخاصة بمجموعة أوامر نقل البيانات بدلالة الأسماء التذكيرية، والمعاملات، وشفرة العملية Op code .

2- مجموعة أوامر الحساب Arithmetic Group Instruction :

أوامر الإضافة Add Instructions :

وتستخدم لإضافة محتويات مسجل محدد أو محتويات موقع ذاكرة أو بايت البيان في الأمر نفسه، إلى محتويات المُرَاجِم، ويتم تخزين الناتج في المُرَاجِم.

وفي حالة وجود محمول في ناتج الجمع، تنتهي إشارة المحمول (CY = 1)، وغير ذلك تكون محررة، كما تتأثر العلامات الأخرى وهذا يكون متوقفاً على ناتج الجمع.

وفي حالة وجود أحد المعاملات في الذاكرة، يكون محتويات زوجي المسجلات H-L هو عنوان الذاكرة، أما أوامر الجمع فهي:

ADD r : أضف محتويات المسجل r .

ADD M : أضف محتويات موقع الذاكرة (العنوان في زوجي المسجلات H-L).

ADI data : أضف بايت البيان في الأمر نفسه.

كما توجد مجموعة أخرى من أوامر الجمع ، وفيها يضاف البت المحمول (CY) بالإضافة إلى محتويات المسجل المحدد، أو محتويات موقع الذاكرة، أو بايت البيان في الأمر نفسه، وهي :

ADC r : أضف محتويات المسجل r بالمحمول .

ADC M : أضف محتويات موقع الذاكرة بالمحمول .

ACI data : أضف بايت البيان في الأمر نفسه بالمحمول .

MOV A, L

STAX D

الحل :

الجدول التالي يوضح العملية التي يتم تأديتها لجميع هذه الأوامر .

العملية	الأمر
تحميل زوج المسجلين B-C بالمحتويات 2475H	LXI B, 2475H
تحميل زوج المسجلين D-E بالمحتويات 3794H	LXI D, 3794H
تحميل المُرَاجِم A بمحتويات موقع الذاكرة المشار إليه بواسطة زوج المسجلين B-C (2475H)	LDAX B
تحريك محتويات A إلى المسجل L	MOV L, A
تحميل المُرَاجِم A بمحتويات موقع الذاكرة المشار إليه بواسطة زوج المسجلين D-E (3794H)	LDAX D
تخزين محتويات المُرَاجِم A في موقع الذاكرة المشار إليه بواسطة زوج المسجلين B-C (2475H)	STAX B
تحريك محتويات المسجل L إلى المُرَاجِم A	MOV A, L
تخزين محتويات المُرَاجِم A في موقع الذاكرة المشار إليه بواسطة زوج المسجلين D-E	STAX D

وباختصار، يقوم هذا البرنامج بتخزين العنوانين 2475H و 3794H لموقعي ذاكرة في كل من زوجي المسجلين B-C، و D-E على الترتيب، ثم عمل تغييرات في محتويات هذه المواقع.

أمر "إستبدال" Exchange Instruction :

هذا الأمر XCHG - وهو أمر ببايت مفرد - ويعنى إستبدال محتويات أزواج المسجلات H-L، و D-E.

جدول (7-9)

الأمر			الأمر			الأمر		
شفرة	المعامل	المسمى	شفرة	المعامل	المسمى	شفرة	المعامل	المسمى
Op(H)			Op(H)			Op(H)		
77	M,A	MOV	53	D,E	MOV	7F	A,A	MOV
70	M,B		54	D,H		78	A,B	
71	M,C		55	D,L		79	A,C	
72	M,D		56	D,M		7A	A,D	
73	M,E		5F	E,A		7B	A,E	
74	M,H		58	E,B		7C	A,H	
75	M,L		59	E,C		7D	A,L	
3E	A,byte	MVI	5A	E,D		7E	A,M	
06	B,byte		5B	E,E		47	B,A	
0E	C,byte		5C	E,H		40	B,B	
16	D,byte		5D	E,L		41	B,C	
1E	E,byte		5E	E,M		42	B,D	
26	H,byte		67	H,A		43	B,E	
2E	L,byte		60	H,B		44	B,H	
36	Mbyte		61	H,C		45	B,L	
01	B,16-bit	LXI	62	H,D		46	B,M	
11	D,16-bit		63	H,E		4F	C,A	
21	H,16-bit		64	H,H		48	C,B	
31	SP,16-bit		65	H,L		49	C,C	

3A	16-bit addr	LDA	66	H,M		4A	C,D
32	16-bit addr	STA	6F	L,A		4B	C,E
2A	16-bit addr	LHLD	68	L,B		4C	C,H
22	16-bit addr	SHLD	69	L,C		4D	C,L
0A	B	LDAX	6A	L,D		4E	C,M
1A	D		6B	L,E		57	D,A
02	B	STAX	6C	L,H		50	D,B
12	D		6D	L,L		51	D,C
EB		XCHG	6E	L,M		52	D,D

مثال (4-9) :

بفرض أن محتويات المرمك: 2EH، ومحتويات المسجل C: 6CH، فيقوم الأمر ADD C بإجراء عملية الجمع كالتالي:

$$2EH = 00101110$$

$$6CH = 01101100$$

$$9AH = 01101010$$

ويبين الجدول التالي محتويات المرمك A والمسجل C والعلامات التي تتلازم مع عملية تنفيذ الأمر ADD C.

أوامر الطرح Subtract Instructions :

وتستخدم لطرح محتويات مسجل محدد، أو محتويات موقع ذاكرة، أو بايت البيان في الأمر نفسه، من محتويات المرمك، ويتم تخزين الناتج في المرمك.

وإذا كانت النتيجة سالبة، فسوف تنتهي إشارة محمول (CY=1) والذي يبين أن خارج الطرح يكون على شكل مكمل الإثنيين، وفي الحقيقة يتم تنفيذ عملية الطرح بإضافة مكمل الإثنيين للمطروح إلى المطروح منه، كما تتأثر العلامات الأخرى.

أما أوامر الطرح فهي:

SUB r : إ طرح محتويات المسجل r من المرمك.

SUB M : إ طرح محتويات موقع الذاكرة (العنوان في زوجي المسجلات H مع L) من المرمك.

SUI data : إ طرح بايت البيان من المرمك.

مثال (6-9) :

باعتبار الأمر SUB M، وبفرض أن محتويات كل من موقع الذاكرة، والمسجلات، والعلامات كالتالي:

المرمك : 3EH .

المسجل H : 00H .

المسجل L : 7CH .

محتويات موقع الذاكرة (007CH): 9FH .

CY = 0

S = 0

P = 1

Z = 0

AC = 1

المسجل/ العلامة	المحتويات	ملاحظات
	قبل الأمر ADD C	بعد الأمر ADD C
A	00101110	10011010
C	01101100	01101100
CY	Don't Care	0
S	Don't Care	1
Z	Don't Care	0
P	Don't Care	1
AC	Don't Care	1

مثال (5-9) :

بفرض أن المرمك يحتوى على: 14H، وأن بت المحمول مهيأ (CY= 1)، فيكون تأثير الأمر: ACI 42H (ومعنى الأمر هنا هو: إضافة بايت البيان 42H مع المحمول مع محتوى المرمك 14H) كالتالي:

المرمك A 14H = 00010100

بايت البيان 42H = 01000010

1 (CY) المحمول

57H = 01010111

وفي نهاية الأمر ACI 42H، تصبح محتويات المرمك: 57H، كما تتحرر علامة الناقل (CY= 0) كما تتأثر العلامات الأخرى.

وتكون عملية الطرح المنفذة للأمر SUB M كالتالي:

$$3EH = 0011111$$

المُراكم

$$9FH = 01100001 \quad (\text{بمكمل الإثنى})$$

$$9 FH = 10011111$$

ولتأثر محتويات كل من موقع الذاكرة، وكذلك المسجلين H، و L بهذه الأمر، وتصبح محتويات المُرَكَم: 10011111، بينما تصبح قيود العلامات كالتالي:

CY = 1 ، مما يبين أن النتيجة سالبة .

S = 1 ، ويبين أن بت التأثير الأعلى هو 1 .

P = 1 ، يبين ندية زوجية .

Z = 0 ، يبين أن النتيجة ليست مساوية للصفر .

AC = 0 ، يبين غياب المحمول المساعد .

وحيث أن محمول العلامة مهياً ومبيناً نتيجة سالبة، كما تكون محتويات المُرَكَم على شكل مكمل الإثنى، ومن هنا تكون النتيجة الحقيقية: 61H -.

يجب ملاحظة أن تهيئة علامة المحمول في عملية الطرح، فهذه العلامة خلال عملية الطرح تسمى في الحقيقة "علامة إستعارة" Borrow flag، وإذا لم يتسبب إضافة مكمل الإثنى للمطروح في إنتاج خرج محمول نهائى فسوف تنتهى علامة المحمول (CY=1)، بينما في حالة إنتاج المحمول، فسوف تتحرر علامة المحمول (CY=0).

كما توجد مجموعة أخرى من أوامر الطرح تطرح محتويات موقع الذاكرة، ومحتويات المسجل، أو بايت البيان في الأمر نفسه، ويتم إستعارة علامة إستعارة (CY) من محتويات المُرَكَم، ويتم تخزين النتيجة في المُرَكَم، وتشمل هذه الأوامر مايلي:

SBB r : إ طرح محتويات المسجل r بالمحمول.

SBB M : إ طرح محتويات موقع الذاكرة بالمحمول.

SBI data : إ طرح بايت البيان في الأمر نفسه بالمحمول.

وتتأثر كل العلامات بنفس الطريقة التي تم شرحها مسبقاً في عملية الطرح العادية.

مثال (9-7) :

في المثال السابق، إذا كان: CY=1 ومطلوب تنفيذ الأمر SBB M، فسوف تتم عملية الطرح كالتالي:

$$3EH = 00111110$$

المُرَكَم

1

طرح محمول

$$00111101$$

$$9FH = 01100001 \quad (\text{بمكمل الإثنى})$$

$$10011110$$

وحيث أن عملية الإضافة لم تنتج محمول، وإشارة الإستعارة مهياً (CY=1)، وتتبع تنفيذ هذا الأمر يبين نتيجة سالبة، كما يمكن بسهولة قيود العلامات الأخرى.

أوامر الزيادة والنقصان التدريجية Increment/Decrement Instructions :

تقوم أوامر الزيادة التدريجية بزيادة محتويات مسجل محدد أو محتويات موقع ذاكرة بمقدار 1، كما تقوم أوامر النقصان التدريجي بتقليل المحتويات بمقدار 1، وتترك نتائج الزيادة أو النقصان في نفس المسجل، أو في نفس موقع الذاكرة.

وتؤثر هذه الأوامر على كل الإشارات عدا علامة المحمول حيث يتم حمايتها بواسطة هذه الأوامر، وتشمل مجموعة أوامر الزيادة والنقصان مايلي:

INR r : زيادة محتويات المسجل r بمقدار 1.

INR M : زيادة محتويات موقع الذاكرة (العنوان في زوجي المسجلات H-L) بمقدار 1.

DCR r : نقصان محتويات المسجل r بمقدار 1.

DCR M : نقصان محتويات موقع الذاكرة بمقدار 1.

أوامر الزيادة والنقصان التدريجية لزوج المسجلات :

يقوم الأمر INX rp بإضافة 1 لمحتويات زوج مسجلات محدد rp، بينما يقوم الأمر DCX rp بإنقاص محتويات زوج المسجلات rp بمقدار 1، حيث يمكن تطبيق هذا الأمر على أى زوج مسجلات (B ، D و ، H)، والمسجل SP أيضاً.

وحيث أن هذه الأوامر لا تؤثر على قيود العلامات، فيمكن إستخدامها في تعديل العنوان في أى تتابع أوامر.

إضافة المسجلات الزوجية :

يقوم الأمر DAD rp بإضافة محتويات زوج مسجلات محدد r p إلى زوج المسجلات H-L، وتخترن النتيجة (16-بت) في زوج المسجلات H-L، ويتم تهيئة علامة المحمول في حالة خروج ناقل نتيجة لإضافة 16-بت، ولا تتأثر أية علامات أخرى نتيجة هذه الأوامر.

أمر الضبط العشري للمركم : Decimal Adjust Accumulator Instruction :

يستخدم الأمر DAA عند إضافة أعداد عشرية، فعند إضافة الأعداد العشرية فربما يكون الناتج بالشفرة BCD غير صحيحة أو غير قانونية، ويعمل هذا الأمر كالتالى:

1- إذا كانت بتات التأثير الأدنى الأربعة الناتجة فى المركم غير قانونية بالشفرة BCD (بمعنى أنها أكبر من 9)، أو تكون علامة المحمول المساعد مهيأة (AC = 1)، فعندئذ يتم إضافة 0110 إلى المركم .

2- إذا كانت بتات التأثير الأعلى الأربعة الناتجة فى المركم غير قانونية بالشفرة BCD (بمعنى أنها أكبر من 9)، أو تكون علامة المحمول مهيأة (CY = 1)، فعندئذ يتم إضافة 0110 0000 إلى المركم.

ويعد هذا الأمر هو الوحيد الذى يتطلب فيه إستخدام علامة المحمول المساعد، وتتأثر جميع العلامات بهذا الأمر.

* ويبين جدول (8-9) جميع الأوامر الخاصة بمجموعة الأوامر بدلالة الأسماء التذكيرية، والمعاملات، وشفرة العملية Op code.

3- مجموعة أوامر المنطق Logic Group Instruction :

أوامر المنطق :

تستخدم هذه الأوامر فى تنفيذ عمليات المنطق AND ، و OR ، و EX-OR ، وأيضاً عمليات المقارنة Comparison operations، وتستخدم قاعدة البت مع البت bit-by-bit فى هذه العملية بين بتات المسجل المحدد وبتات موقع الذاكرة وأيضاً بايت البيان فى الأمر نفسه مع بتات المركم المناظرة. وتتأثر جميع العلامات، ولكن يعتمد تهيئة كل من علامة المحمول وعلامة المحمول المساعد على العملية التى يتم تأديتها علاوة على نتائج هذه العملية، وهو ما يظهر فى جدول (8-9).

وفى حالة أمر المقارنة يتم طرح محتويات المسجل المحدد، وموقع الذاكرة وبايت البيان فى الأمر نفسه من محتويات المركم، وهنا لا تتغير محتويات المركم، بينما تظهر نتيجة المقارنة بعلامات الصفر والمحمول، حيث تنتهى علامة الصفر (Z = 1) إذا كان كلا العددين متساويين، بينما تنتهى علامة المحمول (CY = 1) إذا كانت محتويات المركم أقل من البايت الذى يتم مقارنته، أما العلامات الأخرى فتتأثر بنفس الطريقة كالحادثة فى عمليات الطرح.

جدول (8-9)

الأمر			الأمر			الأمر		
المسـمى	المعامل	شفرة Op	المسـمى	المعامل	شفرة Op	المسـمى	المعامل	شفرة Op
ADD	A	87	SBB	A	9F	INX	B	03
	B	80		B	98		D	13
	C	81		C	99		H	23
	D	82		D	9A		SP	33
	E	83		E	9B	DCX	B	0B
	H	84		H	9C		D	1B
	L	85		L	9D		H	2B
	M	86		M	9E		SP	3B
ADC	A	8F	INR	A	3C	DAD	B	09
	B	88		B	04		D	19
	C	89		C	0C		H	29
	D	8A		D	14		SP	39
	E	8B		E	1C	ADI	Byte	C6
	H	8C		H	24	ACI	Byte	CE
	L	8D		L	2C	SUI	Byte	D6
	M	8E		M	34	SBI	Byte	DE
SUB	A	97	DCR	A	3D	DAA		27
	B	90		B	5D			
	C	91		C	0D			
	D	92		D	15			
	E	93		E	1D			
	H	94		H	25			
	L	95		L	2D			
	M	96		M	35			

جدول (10-9)

العملية	الأوامر	تهيئة العلامات
AND	ANA r	CY = 0 , AC = 1
	ANA M	
	ANI byte	
EX-OR	XRA r	CY = 0 , AC = 0
	XRA M	
	XRI byte	
OR	ORA r	CY = 0 , AC = 0
	ORA M	
	ORI byte	
مقارنة	CMP r	Z=1 إذا كان (A) = بايت Z=1 إذا كان (A) > بايت
	CMP M	
	CPI byte	

مثال (8-9) :

بفرض أن: AAH هي محتويات المرمك، وأن: 0FH هي محتويات المسجل B، وبفرض الإعدادات التالية:

Z = 1 و CY = 1 و S = 1 و P = 1 و AC = 0 .

فأوجد محتويات المرمك، والمسجل B، وإعدادات العلامات التي تتبع تنفيذ كل من الأوامر التالية:

ANA B
XRA B
ORA B
CMP B

الحل :

يتم تجميع المطلوب من هذا المثال في جدول (10-9) التالي.

جدول (10-9)

الأمر	محتويات المسجلات					العلامات				
	A		B			CY	AC	Z	S	P
ANA B	00001010	00001111	0	0	1	0	1	0	0	1
XRA B	10100101	00001111	0	0	1	0	0	0	1	1
ORA B	10101111	00001111	0	0	1	0	0	0	1	1
CMP B	10101010	00001111	0	0	1	0	0	0	1	0

في أمر المقارنة يلاحظ أن محتويات المرمك لا تتغير ومتتبعاً تنفيذ أمر CMP، كما نجد أن محتويات المسجل B تكون أقل من محتويات المرمك A، فيكون: $(CY = 0)$ ، $(Z = 0)$.

أوامر الدوران Rotate Instructions :

وتسمى أيضاً أوامر الإزاحة Shift Instructions، وتخضع لإختلافين يتوقفان على طريقة استخدام بت المحمول، ولايسمح للمعاملات في هذه الأوامر كما أن العلامة الوحيدة المتأثرة هي علامة المحمول التي تتبع تنفيذ الأمر، وهذه الأوامر هي:

- دوران يسار المرمك (Rotate Accumulator Left (RLA) :

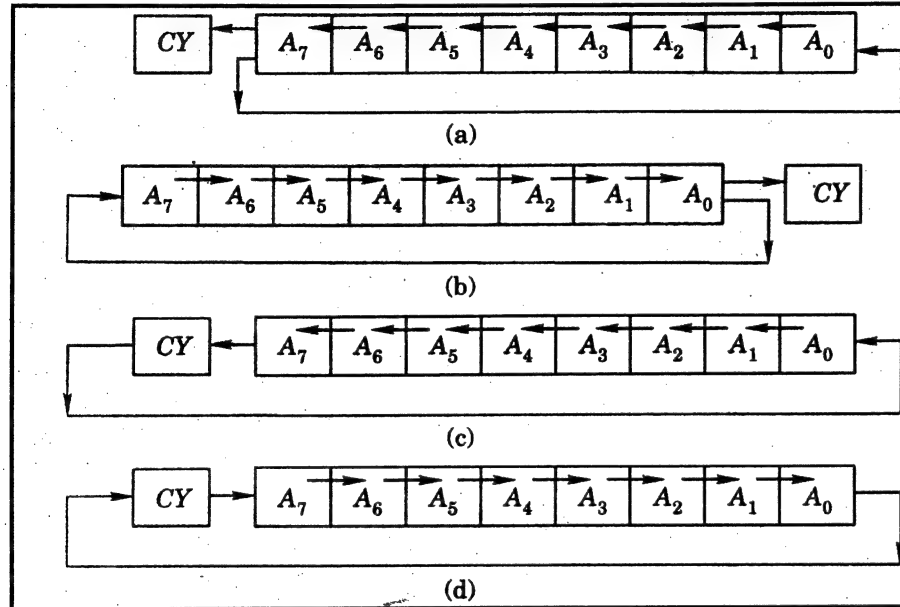
فهذا الدوران يهيا علامة البت لتكون مساوية لبت التأثير الأعلى MSB للمرمك، ثم تدور محتويات المرمك لليسار بمقدار بت وذلك بإنتقال بتات التأثير الأعلى إلى مواقع بتات التأثير الأدنى كما هو موضح في شكل (a-15-9).

- دوران يمين المرمك (Rotate Accumulator Right (RRA) :

فهذا الدوران يهيا علامة البت ليكون مساوياً لبت التأثير الأدنى LSB للمرمك، ثم تدور محتويات المرمك لليمين بمقدار بت وذلك بإنتقال بتات التأثير الأدنى إلى مواقع بتات التأثير الأعلى كما هو موضح في شكل (b-15-9).

- دوران يسار خلال المحمول (Rotate Left through Carry (RAL) :

وفيه تدور محتويات المرمك وعلامة المحمول بمقدار موقع بت إلى اليسار، حيث تنتقل علامة المحمول إلى بت التأثير الأدنى LSB كما يتم تهيئته ببت التأثير الأعلى MSB، كما هو موضح في شكل (c-15-9).



شكل (15-9) أوامر التعاقب

- دوران يمين خلال المحمول (Rotate Right through Carry (RAR) :

وفيه تدور محتويات المرمك وعلامة المحمول بمقدار موقع بت إلى اليمين، حيث تنتقل علامة المحمول إلى بت التأثير الأعلى MSB كما يتم تهيئته ببت التأثير الأدنى LSB، كما هو موضح في شكل (d-15-9).

أوامر خاصة :

يقوم الأمر CMA بتكملة، أو عكس كل بت في المرمك، ولا تتأثر العلامات، ويقوم الأمر STC بتهيئة علامة المحمول إلى 1 ($CY = 1$)، كما أن الأمر CMC يكمل علامة المحمول، ولا تتأثر بقية العلامات بهذا النوع من الأوامر.

* ويبين جدول (9-11) جميع الأوامر الخاصة بمجموعة أوامر المنطق بدلالة الأسماء التذكيرية، والمعاملات، وشفرة العملية Op code.

4- مجموعة أوامر التفرع Branch-Group Instructions :

تعمل هذه الأوامر على تغيير التعاقب للبرنامج المنفذ ، وكما تم مناقشته من قبل ان المعالج الدقيق يقوم بإستحضار الأوامر من مواقع متجاورة للذاكرة، كما أن عنوان البايت التالي المطلوب إستحضاره من الذاكره يكون في عداد البرنامج PC، والذي يزداد 1 أوتوماتيكياً مع كل إستحضار لبايت من الذاكرة، ويمكن تغيير هذا التتابع في إستحضار البايتات من الذاكرة بتغيير محتويات عداد البرنامج، ولهذا الغرض جاءت تلك الأوامر التالية: الوثب والإستدعاء والرجوع والبدء من جديد وتحويل محتويات H-L إلى عداد البرنامج.

ويمكن أن تكون الأوامر الثلاثة الأولى مشروطة أو تكون غير مشروطة، فإذا كانت مشروطة فلن يتم تنفيذ العملية إلا بتحقيق الشرط المحدد لتنفيذها، ويمكن أن تكون تلك الشروط المحددة كالاتي:

NZ ، أى غير صفر (Z = 0)

Z ، أى صفر (Z = 1)

NC ، أى لا محمول (NC = 0)

C ، أى محمول (C = 1)

PO ، أى تطابق فردى (P = 0)

PE ، أى تطابق زوجى (P = 1)

P ، أى زائد (S = 0)

M ، أى ناقص (S = 1)

ولاتتأثر العلامات بهذه المجموعة من الأوامر.

أوامر الوثب Jump Instructions :

هى أوامر ذات 3-بايت، يحتوى البايت الأول من على شفرة العملية Op، بينما الثانى والثالث يحتويان على عنوان بـ 16-بت، ويمثل البايت الثانى بايت العنوان الأقل ، بينما يمثل البايت الثالث بايت العنوان الأعلى.

جدول (9-11)

الأمر			الأمر		
المسمى	المعامل	شفرة Op	المسمى	المعامل	شفرة Op
ANA	A	A7	CMP	A	BF
	B	A0		B	B8
	C	A1		C	B9
	D	A2		D	BA
	E	A3		E	BB
	H	A4		H	BC
	L	A5		L	BD
	M	A6		M	BE
XRA	A	AF	ANI	byte	E6
	B	A8	XRI	byte	EE
	C	A9	ORI	byte	F6
	D	AA	CPI	byte	FE
	E	AB	RLC		07
	H	AC	RRC		0F
	L	AD	RAL		17
	M	AE	RAR		1F
ORA	A	B7	CMA		2F
	B	B0	STC		37
	C	B1	CMC		3F
	D	B2			
	E	B3			
	H	B4			
	L	B5			
	M	B6			

- وعند تنفيذ أمر وثب (غير مشروط)، والأمر كما ذكرنا هو أمر عنوان JMP addr يتم تحميل هذا العنوان في عداد البرنامج PC، وعلى هذا ستقوم وحدة المعالج المركزي باستحضار الأمر التالي من الذاكرة عند هذا العنوان الجديد، وعندئذ سيستمر المعالج في تنفيذ الأوامر بالتتابع إعتباراً من هذا العنوان، ويتسبب هذا الأمر في مضي البرنامج في حلقة مستمرة، ويكون JMP هو آخر أمر في البرنامج، كما يتم تحميل بايتات عنوان الأمر مع بداية العنوان في البرنامج، وكلما وصل المعالج لهذا الأمر، يقوم بتهيئة عداد البرنامج لعنوان البداية، وعندئذ يبدأ البرنامج بالعمل مرة ثانية من نقطة البداية.

أما أوامر الوثب المشروطة (مثل أمر JC أى يتم الوثب في وجود محمول)، فيتم تحميل عداد البرنامج ببايتات العنوان المحددة في الأمر نفسه إذا تحقق الشرط: $CY = 1$ ، وإلا فسيستمر تنفيذ الأوامر بالتتابع المعتاد، ويمكن استخدام أوامر الوثب المشروطة للاحتفاظ في مضي برنامج ما في حلقة مغلقة لحين إنتهاء الشرط الذى تم تحديده، والآتى بعد يوضح بعض أوامر الوثب المشروطة.

JNZ : وثب إذا لم تنتهياً علامة الصفر ($Z = 0$)

JZ : وثب إذا تهيأت علامة الصفر ($Z = 1$)

JNC : وثب إذا لم تنتهياً علامة المحمول ($CY = 0$)

JC : وثب إذا تهيأت علامة المحمول ($CY = 1$)

JPO : وثب إذا كانت نديات البايث فردية ($P = 0$)

JPE : وثب إذا كانت نديات البايث زوجية ($P = 1$)

JP : وثب إذا لم تنتهياً إشارة العلامة ($S = 0$)

JM : وثب إذا تهيأت إشارة العلامة ($P = 1$)

مثال (9-9) :

مطلوب كتابة برنامج لنقل بيان من 10 بايت من منطقة لأخرى في الذاكرة، بفرض أن هذه البايتات موجودة في مواقع متجاورة في الذاكرة تبدأ من العنوان $(0100)_{16}$ ، ومطلوب نقلها لتبدأ من العنوان $(A200)_{16}$.

الحل :

يكون البرنامج المطلوب كالآتى :

LXI D, 0100H تحميل زوج المسجلات D-E بالعنوان 0100H .

LXI H, A200H ... تحميل زوج المسجلات H-L بالعنوان A200H .

MVI C, 0AH تحميل المسجل C بالعدد العشري 10 .

الحلقة Loop :

LDAX D تحميل المرمك بمحتويات زوج المسجلات D-E .

STAX H تخزين المرمك .

INX H إزدياد بمقدار 1 لزوج المسجلات D-E .

INX H إزدياد بمقدار 1 لزوج المسجلات H-L .

DCR C انقاص بمقدار 1 من المسجل C .

JNZ LOOP وثب للحلقة ، إذا لم تنتهياً علامة الصفر .

وفي البرنامج السابق، تم استخدام المسجل C كعداد، كما تم فرض أن الكلمة LOOP هي العنوان الذى يبدأ عنده يتم تخزين الأمر LDAX D، ويقوم الأمر JNZ باختبار علامة الصفر، وطالما لم يتم تهيئة هذه العلامة، فيتم إنتقال التحكم إلى العنوان LOOP.

أوامر الإستدعاء Call Instructions :

يستخدم أمر الإستدعاء للوثب إلى بداية عنوان لبرنامج جانبي Subroutine، والبرنامج الجانبي ما هو إلا برنامج صغير يقوم بأداء عمل ما، كضرب عددين على سبيل المثال، فإذا كان مطلوباً في برنامج ما القيام بضرب رقمين محددين عدد من المرات، فيتم تخزين تعاقب الأوامر الخاصة بتأدية عملية الضرب هذه في الذاكرة ثم استدعائها عند الإحتياج إليها.

- RNZ : عودة إذا لم تنتهياً علامة الصفر (Z = 0)
 RZ : عودة إذا تهيأت علامة الصفر (Z = 1)
 RNC : عودة إذا لم تنتهياً علامة المحمول (CY = 0)
 RC : عودة إذا لم تهيأت علامة المحمول (CY = 1)
 RPO : عودة إذا كانت نديات البايت فردية (P = 0)
 RPE : عودة إذا كانت نديات البايت زوجية (P = 1)
 RP : عودة إذا لم تنتهياً إشارة العلامة (S = 0)
 RM : عودة إذا تهيأت إشارة العلامة (P = 1)

أمر البدء من جديد Restart Instruction :

العنوان المنتقل إليه التحكم	الأمر
0000H	RST 0
0008H	RST 1
0010H	RST 2
0018H	RST 3
0020H	RST 4
0028H	RST 5
0030H	RST 6
0038H	RST 7

هو أمر إستدعاء خاص (RST n) مصمم أساساً للإستخدام مع الإعتراض، فيقوم هذا الأمر بتقديم أو دفع Push محتويات عداد البرنامج إلى التكديس Stack للتزود بعنوان عودة، ثم الوثب إلى أحد ثمانية عناوين، والآتى يوضح أوامر البدء من جديد والعناوين المناظرة التى ينتقل إليها التحكم لأداء التنفيذ اللاحق.

أمر تحريك محتويات H-L إلى عداد البرنامج PCHL Instruction :

يقوم هذا الأمر بتحريك محتويات زوج المسجلات H-L إلى عداد البرنامج، وتنفيذ هذا الأمر يقفز تنفيذ البرنامج إلى العنوان المخزن فى زوج المسجلات H-L.

ويحتوى أمر الإستدعاء على عنوان بدء البرنامج الجانبى فى البايت الثانى والثالث للأمر، وعند تنفيذ أمر الإستدعاء، يتم تحميل عداد البرنامج بالعنوان المحدد فى الأمر، كما يتم العودة إلى تنفيذ البرنامج الرئيسى بنهاية تنفيذ البرنامج الجانبى باستخدام الأمر RET، ويمكن عمل هذا بحفظ محتويات عداد البرنامج فى قسم خاص فى ذاكرة القراءة والكتابة RAM خلال تنفيذ أمر الإستدعاء.

ويمكن أن يكون أمر الإستدعاء مشروطاً، وفى هذه الحالة يثب التنفيذ إلى العنوان المحدد فى الأمر فقط إذا تحقق الشرط المحدد، والآتى بعد يوضح بعض أوامر الإستدعاء المشروطة.

- CNZ : إستدعاء إذا لم تنتهياً علامة الصفر (Z = 0)
 CZ : إستدعاء إذا تهيأت علامة الصفر (Z = 1)
 CNC : إستدعاء إذا لم تنتهياً علامة المحمول (CY = 0)
 CC : إستدعاء إذا تهيأت علامة المحمول (CY = 1)
 CPO : إستدعاء إذا كانت تطابقات البايت فردية (P = 0)
 CPE : إستدعاء إذا كانت تطابقات البايت زوجية (P = 1)
 CP : إستدعاء إذا لم تنتهياً إشارة العلامة (S = 0)
 CM : إستدعاء إذا تهيأت إشارة العلامة (P = 1)

أوامر العودة Return Instructions :

فى نهاية البرنامج الجانبى، يقوم أمر العودة بنقل تنفيذ البرنامج للأمر التالى لأمر الإستدعاء فى تتابع البرنامج الرئيسى، ولايحتوى أمر العودة على العنوان، ويتم تحميل عداد البرنامج ببايتين القمة للـ Stack الذى يتبع تنفيذ هذا الأمر، وهنا سيستمر تتابع البرنامج الرئيسى.

وكما ذكرنا أن أمر العودة يمكن أن يكون مشروطاً، أو غير مشروط، والآتى بعد يوضح بعض أوامر الإستدعاء المشروطة.

* وفي نهاية الفصل يمكننا القول :

بأن قد تم التقديم والحديث عن المعالجات الدقيقة بطريقة تجعل المبتدئين يتفهمون المفاهيم الأساسية للمعالجات الدقيقة ، ومنذ تقديم أول معالج دقيق عام 1971 ، حدثت التطورات الهائلة في المعالجات والتي أصبحت متاحة تجارياً ، وعلى الرغم من الاختلافات القليلة أو الكثيرة في قواعد التشغيل فيما بينها ، إلا أنها تختلف في تركيباتها البنائية ومجموعات الأوامر التي تخصصها ، ولا ينصح للمبتدئين في الخوض في تفاصيل كل هذه المعالجات في وقت واحد ، بل عليهم دراسة وفهم واحد من هذه المعالجات بالتفصيل ما أمكن ، وبعد ذلك يمكن تعلم العديد من المعالجات الأخرى بدون صعوبات كثيرة ، من هذا المنطلق تم اختيار المعالج الدقيق إنتل 8085A للدراسة ، وإعطاء فكرة مستفيضة إلى حد ما عنه .

جدول (9-12)

الأمر			الأمر		
المسمى	المعامل	شفرة Op	المسمى	المعامل	شفرة Op
JMP	Addr	C3	RET		C9
JNZ	Addr	C2	RNZ		C0
JZ	Addr	CA	RZ		C8
JNZ	Addr	D2	RNC		D0
JC	Addr	DA	RC		D8
JPO	Addr	E2	RPO		E0
JPE	Addr	EA	RPE		E8
JP	Addr	F2	RP		F0
JM	Addr	FA	RM		F8
PCHL		E9			
CALL	Addr	CD	RST	0	C7
CNZ	Addr	C4		1	CF
CZ	Addr	CC		2	D7
CNC	Addr	D4		3	DF
CC	Addr	DC		4	E7
CPO	Addr	E4		5	EF
CPE	Addr	EC		6	F7
CP	Addr	F4		7	FF
CM	Addr	FC			

* ولا تتأثر العلامات بهذه المجموعة من الأوامر .

* ويبين جدول (9-12) جميع الأوامر الخاصة بهذه المجموعة بدلالة الأسماء التذكيرية ، والمعاملات ، وشفرة العملية Op code.

تدريبات

تدريب (1-9) :

احسب حجم مجال عنوان الذاكرة للمعالجات الدقيقة التالية :

نوع المعالج	عرض ناقل البيان	عرض ناقل العنوان
8080A	8-بت	16-بت
6800	8-بت	16-بت
8086	16-بت	20-بت
9900	16-بت	16-بت
Z8000	16-بت	23-بت

تدريب (2-9) :

كم عدد الأوامر المختلفة التي يمكن تحقيقها لمعالج دقيق 8-بت ؟

تدريب (3-9) :

إذا كان المطلوب مسح Clear المرمك في المعالج الدقيق 8085A ، فأشرح الأوامر الممكن استخدامها لتنفيذ ذلك .

تدريب (4-9) :

اكتب البرنامج اللازم لمسح موقع الذاكرة 01A0H في المعالج الدقيق 8085A .

الخاتمة

فى هذا الكتاب تمت محاولة لتقديم وتناول مفهوم التقنيات الرقمية الحديثة والدوائر المتكاملة، كما تم ترتيبه وتنظيمه وتقديمه لدارس ذى مستوى مناسب ويكون على دراية ومعرفة بنظريات الدوائر والإلكترونيات، وهذا الكتاب خطوة متواضعة جداً نحو تقديم أحد الكتب العلمية باللغة العربية.

ولانقول أبداً أن هذا الكتاب هو منتصف أو نهاية المطاف فى دراسة الإلكترونيات الرقمية، بل أنه - كما هو واضح من عنوانه - أساسيات فى دراسة هذا العلم الكبير الذى يتطور يوماً بعد يوم، وأمل ان يتعلم مستخدم هذا الكتاب الكثير منه.

كما يحتوى الكتاب على عدة تدريبات فى نهاية كل فصل لقياس فهم الدارس لمحتويات الفصل، وفى النهاية أقول وبعد تعلم بعض الشئ عن الإلكترونيات الرقمية، لانتوقف عزيزى عند هذا الحد ولكن يمكنك الإلتحاق ببعض المستويات الأعلى لدراسة هذا العلم وأيضاً دراسة الحاسبات والبرمجة، مع أجمل التمنيات بالتوفيق والنجاح.



المصطلحات

A

A.C. mains voltage
Access
Access time
Accumulator
Accuracy
Activate
Address
Address bus
Algorithm
Alphanumeric number system
Analog
Analog-to-digital converter
Application specific IC (ASIC)
Architecture
Arithmetic Logic Unit (ALU)
Asynchronous
Asynchronous loading

منبع جهد تغذية متردد
مدخل
زمن دخول
مركم
دقة
إعداد-تنشيط-تجهيز
عنوان
ناقل العنوان
منهج
نظام الأعداد الهجائي العددي
تناظري
محول من تناظري إلى رقمي
دائرة تكاملية محددة التطبيقات
تركيب بنائي
وحدة الحساب والمنطق
غير متزامن
تحميل غير متزامن

B

Barrier capacitance
Base
Bidirectional-shift register
Binary information
Binary number system
Borrow flag
Borrow output
Branch-Group Instructions
Breakdown voltage
Buffer
Bus width
Bypass capacitor

سعة حاجزة
قاعدة
مسجلات إزاحة ثنائية
معلومات ثنائية
النظام الثنائي للأعداد
علامة استعارة
خرج استعارة
مجموعة أوامر التفرع
جهد إنهيار
عازل
عرض الناقل
مكثف إمرار

C

Call Instruction
Central Processor Unit CPU

أمر استدعاء
وحدة المعالجة المركزية

E

Electrostatic potential	جهد كهروستاتيكي
Emitter	باعث
Emitter follower	تابع باعث
Enabled input	دخل التمكين
Encoder	مشفر
Erasable	قابلة للمسح
Error	خطأ
Exchange Instruction	أمر "إستبدال"
Execution	تنفيذ

F

False data	بيانات كاذبة
Feedback	تغذية عكسية
Fetch	إستحضار
First-in-first-out (FIFO)	خرج أولا للدخل أولا
Fixed-function	محدد الوظيفة
Flags	علامات
Forward-bias	إنحياز أمامي
Fraction	جزء
Frequency division	مقسم تردد

G

Gate	بوابة
Grounded	موصل أرضي

H

Handshaking	نظام الاتصال بين الأجهزة الإلكترونية
Hardware	مكونات مادية
Hexadecimal number system	نظام الأعداد السداسي عشر
High-pass filter	مرشح تردد عالي
Hogging current	تيار تقوس
Hysteresis voltage	جهد تخلف

I

I/O devices	أجهزة الدخل والخرج
I/O line	خط الدخل/الخرج

Characteristic	خاصية
Chip	شريحة
Circulating shift register	مسجل الإزاحة الدائر
Code	شفرة - كود
Collector	مجمع
Comparator	مقارن
Comparison operations	عمليات المقارنة
Control bus	ناقل التحكم
Control-state counter	عداد حالة التحكم
Count sequence	إحصاء متعاقب
Counter	عداد
CRT display	مبين أنبوبة أشعة المهبط
Custom Programmed	البرمجة المخصصة
Customize	تحويل الشيء

D

Data	بيان
Data path width	عرض مسار البيانات
Data selector	منتقى البيانات
Data transfere	نقل البيانات
Decimal number system	نظام الأعداد العشري
Decoder	كاشف - مفسر شفرة
Decrement	نقصان تدريجي
Dedicated address bus	ناقل العنوان المخصص
Demultiplexer	موزع
Depletion region	منطقة إستنفاد
Difference amplifier configuration	تشكيل مكبر الفرق
Digital	رقمي
Digital electronics	الإلكترونيات الرقمية
Digitally controlled switch	مفتاح تحكم رقمي
Direct memory access	الدخول المباشر إلى الذاكرة
Dual-slop	الميل المزدوج
Duration	مدى زمني
Duty cycle	دورة العمل
Dynamic RAM (DRAM)	ذاكرة قراءة وكتابة متحركة

Mnemonic	تذكيري
Modulation	تعديل
Most Significant Bit (MSB)	بت التأثير الأكبر
Move instructions	أوامر الحركة
Multiplexer	مجمع
Multiplexing	تعددي
Multivibrators	المتذبذبات المتعددة
N	
Non-erasable	غير قابل للمسح
Non-overlapping	غير متراكب زمنياً
O	
Octal number system	نظام الأعداد الثماني
Offset	تجاوز
Operand	معامل
Operation codes	شفرات العملية
Operational Amplifiers	مكبرات العمليات
Oscillator	جهاز تذبذب
Over flow flag	علامة الفائض
Overlapping	تراكب زمني
Overshoot	تجاوز
P	
Package	ربطة-حزمة
Packaging	تخزين-تربيط
Peak-to-peak	قمة لقمة
Peripheral devices	أجهزة طرفية
Peripherals	الطرفيات
Positive-edge-triggered	مشعلة بالحافة الموجبة
Program	برنامج
Programmable Array Logic (PAL)	منطق منظومة قابل للبرمجة
Programmable Logic Array (PLA)	منظومة منطق قابلة للبرمجة
Programmable logic devices	أجهزة منطقية قابلة للبرمجة
Programmer	مبرمج
Propagation delay time	زمن تأخير الانتشار
Pulse width	عرض النبضة

Increment	زيادة تدريجية
Indicator	مؤشر-دليل-مبين
Input buffer	عازل دخل
Input impedance	إعاقة الدخل
Instruction	أمر
Instruction set	مجموعة الأوامر
Integrated circuit (IC)	دائرة متكاملة
Integrated injection logic	منطق الحقن المتكامل
Integration time	زمن التكامل
Integrator	دائرة مكامل
Inverter	دائرة عكس
J	
J-K master-slave flip flop	قلاب (J-K) التابع والمتبوع
Jump instruction	أمر وثب
Junction diode	وصلة ثنائية - موحد
K	
Key-board	لوحة مفاتيح
L	
Last-in-first-out (LIFO)	خرج أولاً للدخل آخر
Latch	ماسكة
Least Significant Bit (LSB)	بت التأثير الأصغر
Left-shift register	مسجل إزاحة يسار
Load Accumulator Direct (LDA)	تحميل مباشر للمركم
Logic	منطق
Low-pass filter	مرشح تردد منخفض
M	
Magnetic core memories	ذاكرات القلب المغناطيسية
Malfunction	عطب - إتلاف
Mask Programmed	برمجة تنكيرية
Memory	ذاكرة
Memory location	موقع ذاكرة
Merging components	دمج المكونات
Microprocessors	المعالجات الدقيقة
Minimize	يقلل-يصغر

Shift register	مسجل إزاحة
Sinusoidal	إشارات جيبية
Software	برمجيات
Spacial code	تشفير فضائي - حيزي
Spacing in time	مباعدة زمنية
Spikes	مدببات - مسامير
Square wave	موجة مربعة
Square waveforms	أشكال موجة مربعة
Square-wave generator	مولد نبضات مربعة
Stack pointer	مؤشر المكعدة
Staircase	سلمية
Static RAM (SRAM)	ذاكرة قراءة وكتابة ساكنة
Steady state	حالة مستقرة
Steady-state conditions	ظروف الحالة الثابتة
Stepper motor	محرك خطوي
Storage capacitance	سعة خازنة
Storage time	زمن التخزين
Stray capacitance	مكثف شارد
Strobe pulse	نبضة وميض
Subroutine	برنامج جانبي
Sub-system	نظام فرعي
Successive-approximation	تعاقب تقريبي
Supply voltage	جهد التغذية
Sweep	ماسح
Symmetrical	متماثل
Synchronous	متزامن
Synchronous loading	تحميل متزامن

T

Technique	تقنية
Temperature sensitivity	الحساسية لدرجة الحرارة
Temporal code	تشفير موقت
Terminal	نهاية
Threshold voltage	جهد حدى
Time delay devices	أجهزة تأخير الوقت

Q

Quantization	التحويل الكمي
Quasi-stable	شبه مستقر

R

Random-Access Memory	ذاكرة الدخول العشوائى
Read and write memory (RAM)	ذاكرة القراءة والكتابة
Read Only Memory (ROM)	ذاكرة القراءة فقط
Recovery time	زمن الافاقة
Rectangular waveforms	أشكال الموجة المستطيلة
Refresh circuit	دائرة تنشيط
Register	مسجل
Reliability	إعتمادية
Reprogrammable	قابلة لإعادة البرمجة
Reset	تحرير
Restart Instruction	أمر بدء من جديد
Return Instruction	أمر عودة
Reverse-bias	إنحياز عكسى
Right-shift register	مسجل إزاحة يمين
Ring counter	عداد دائرى
Ripple action	فعل التموج
Ripple counter	عداد متموجة
Rising pulse edge	حافة نبضة صاعدة
Rotate Accumulator Left (RLA)	دوران يسار المرمك
Rotate Accumulator Right (RRA)	دوران يمين المرمك
Rotate Instruction	أمر دوران

S

Scratch-pad registers	مسجلات الذاكرة المؤقتة
Senser	محس
Sequentially accessed memory	ذاكرة الدخول المتعاقب
Series	سلسلة
Set	إمساك
Setteling time	زمن الإستقرار
Seven-segment display	وحدة العرض السباعية
Shift Instructions	أوامر الإزاحة

الفهرس

5 تمهيد

الفصل الأول مفاهيم أساسية

- 1-1 مقدمة 11
2-1 الإشارات الرقمية 14
3-1 الدوائر المنطقية الأساسية 15
4-1 العمليتان الإضافيتان NAND و NOR 19
5-1 العمليتان EX-OR ، و EX-NOR 24
6-1 جبر بول 27
7-1 أمثلة لبوابات دائرة تكاملية 33

الفصل الثاني الأنظمة العددية والشفرات

- 1-2 مقدمة 43
2-2 أنظمة الأعداد 44
3-2 النظام الثنائي للأعداد 45
4-2 تمثيل الأعداد الثنائية 52
5-2 العمليات الحسابية في النظام الثنائي 58
6-2 العمليات الحسابية بطريقة مكمل الإثنين 63
7-2 النظام الثماني للأعداد 67
8-2 النظام السداسي عشر للأعداد 74
9-2 الشفرات الرقمية 82

الفصل الثالث

أشباه الموصلات وعلاقتها بالأنظمة الرقمية

- 1-3 مقدمة 103
2-3 أشباه الموصلات 104

Time duration	فترة زمنية
Time interval	فترة زمنية - فاصل زمني
Time period	مدة زمنية
Timer	ساعة - مؤقت
Transients	العابرات
Transition capacitance	سعة إنتقالية
Two-dimensional X-Y addressing	"العنونة الثنائية الأبعاد X-Y"

U

Ultraviolet radiation	أشعة فوق بنفسجية
Unidirectional switch	مفتاح أحادي الإتجاه
Universal gate	بوابة عمومية
Universal register	مسجل عمومي
Unsymmetrical	غير متماثل

V

Vacuum triode	صمام مفرغ ثلاثي
Volatile memory	ذاكرة متطايرة

W

Write cycle time	زمن دورة الكتابة
------------------	------------------

252.....	4-5 تبسيط K-maps باستخدام بوابات EX-OR ، و EX-NOR
262.....	5-5 K-maps لـ 5 ، و 6 متغيرات
265.....	6-5 أمثلة لتصميم بعض الدوائر
273.....	7-5 تصميم المنطق التوافقي باستخدام الدوائر التكاملية النطاق المتوسط MSI ...
274.....	8-5 المجمعات واستخداماتها في تصميم المنطق التوافقي
281.....	9-5 الموزعات أو الكواشف واستخداماتها في تصميم المنطق التوافقي
285.....	10-5 الجامع واستخدامه كطراح
287.....	11-5 العمليات الحسابية بشفرة BCD
293.....	12-5 وحدة الحساب والمنطق
296.....	13-5 المقارنات الرقمية
297.....	14-5 مولدات الندية / الفاحصات
299.....	15-5 محولات الشفرة
301.....	16-5 كواشف أجهزة العرض

الفصل السادس

تصميم المنطق التتابعي

311.....	1-6 مقدمة
313.....	2-6 القلابات
329.....	3-6 القلابات إشعال الحافة Edge-triggered F.Fs.
333.....	4-6 تطبيقات القلابات
341.....	5-6 المسجلات
355.....	6-6 العدادات المتموجة أو الغير متزامنة
370.....	7-6 العدادات متزامنة

الفصل السابع

دوائر التوقيت والمحولات

399.....	1-7 مقدمة
401.....	2-7 استخدام البوابات المنطقية في دوائر التوقيت
404.....	3-7 مكبرات العمليات واستخداماتها في دوائر التوقيت

106.....	3-3 الوصلة الثنائية p-n
115.....	4-3 وصلة شوتكي الثنائية
116.....	5-3 وصلة الترانزيستور ثنائي القطبية BJT
127.....	6-3 ترانزيستور شوتكي
127.....	7-3 ترانزيستور مجالي التأثير

الفصل الرابع

عائلات المنطق الرقمية

147.....	1-4 مقدمة
148.....	2-4 خواص الدوائر التكاملية الرقمية
154.....	3-4 منطق Resistor-Transistor Logic (RTL)
159.....	4-4 منطق Direct-Coupled Tran. Logic (DCTL)
160.....	5-4 منطق Integrated-Injection Logic (I ² L)
163.....	6-4 منطق Diode- Transistor Logic (DTL)
169.....	7-4 منطق High-Threshold Logic (HTL)
170.....	8-4 منطق Transistor-Transistor Logic (TTL)
175.....	9-4 منطق Schottky TTL
176.....	10-4 سلسلة 5400/7400 TTL
178.....	11-4 منطق Emitter-coupled Logic (ECL)
185.....	12-4 منطق MOS
189.....	13-4 منطق CMOS
193.....	14-4 المواءمة بين المنطق CMOS والمنطق TTL
195.....	15-4 منطق TRI-STATE

الفصل الخامس

تصميم الدوائر المنطقية التوافقية

207.....	1-5 مقدمة
209.....	2-5 التمثيل القياسي للدوال المنطقية
222.....	3-5 تمثيل الدوال المنطقية باستخدام K-map

420.....	4-7 الدوائر التكاملية لإشعال شميت
422.....	5-7 الدوائر التكاملية للمذبذبات أحادية الاستقرار
433.....	6-7 المؤقت 555
439.....	7-7 المحولات

الفصل الثامن

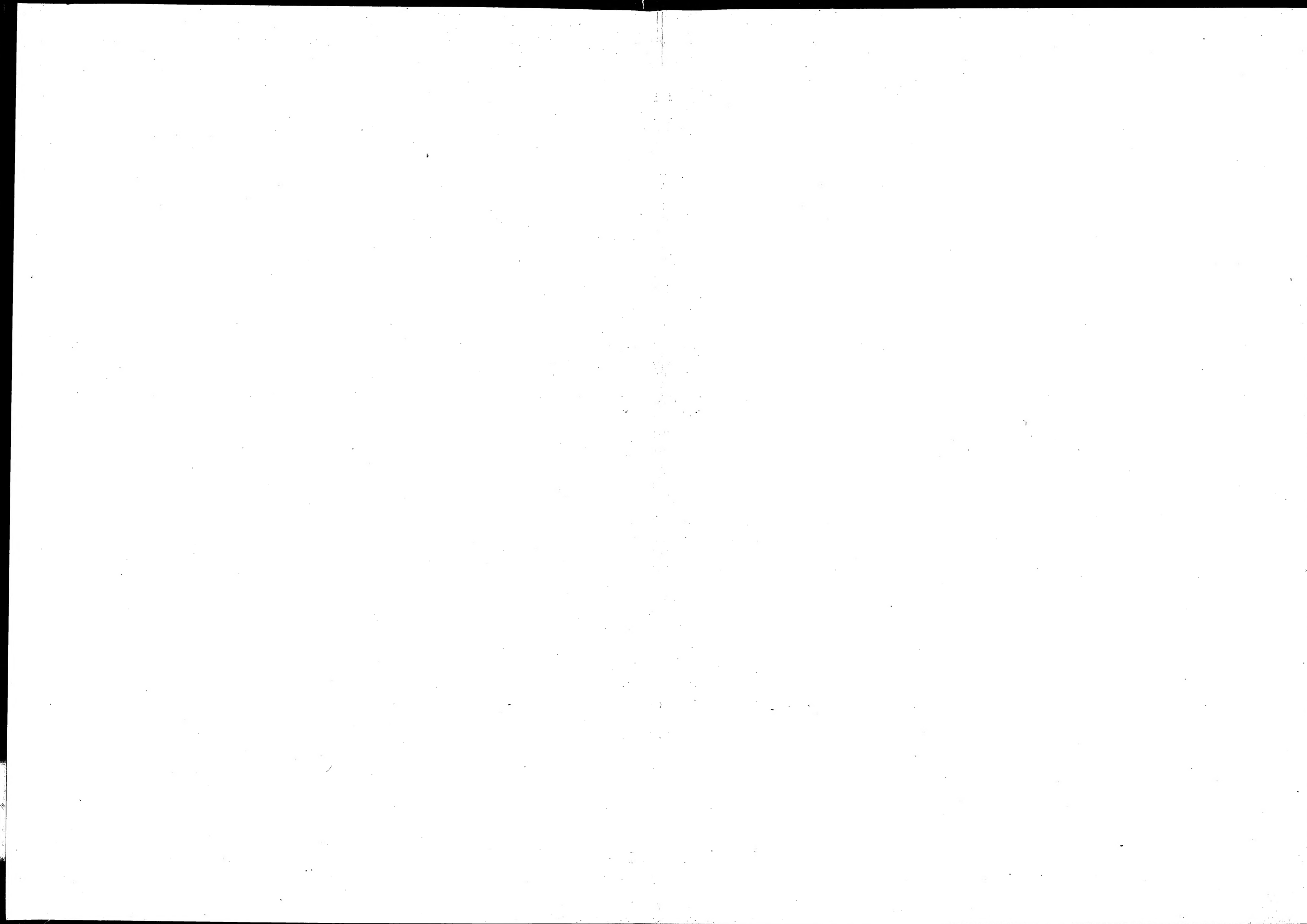
ذاكرات أشباه الموصلات

477.....	1-8 مقدمة
478.....	2-8 منظومة الذاكرة والتشغيل
487.....	3-8 توسعة سعة الكلمة
492.....	4-8 أنواع الذاكرات
507.....	5-8 أجهزة المنطق القابلة للبرمجة PLDs

الفصل التاسع

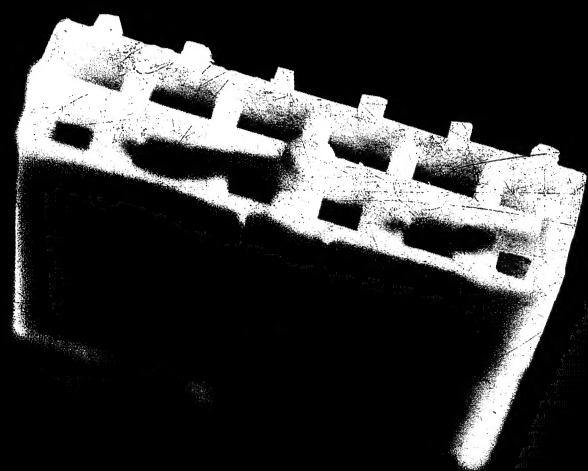
أساسيات المعالجات الدقيقة

517.....	1-9 مقدمة
519.....	2-9 المعالج الدقيق النموذجي
520.....	3-9 الناقلات
526.....	4-9 الأنظمة المبنية على المعالجات الدقيقة
533.....	5-9 التركيب البنائي للمعالج الدقيق
536.....	6-9 مجموعة الأوامر
539.....	7-9 المعالج الدقيق طراز 8085A
575.....	الخاتمة
579.....	المصطلحات
589.....	الفهرس



الرقمية الحديثة

Modern Digital Electronics



مهندس

ضياء العسال

ضياء العسال
مهندس

الأساسيات
الإلكترونيات الرقمية الحديثة

دار الكتب العلمية
للنشر والتوزيع

أساسيات

الإلكترونيات الرقمية الحديثة

يومنا بعد يوم تزداد وتتسع مجالات وتطبيقات الإلكترونيات الرقمية وفى الحقيقة يمكننا القول بأن الأنظمة الرقمية قد أصبحت تغزو كل مرافق الحياة.

ولقد أدى وجود الوظائف الرقمية للدوائر التكاملية إلى إتاحة الفرصة إلى تغيير فلسفة دراسة الإلكترونيات الرقمية من الأسلوب التقليدى باستخدام أجهزة محددة إلى أسلوب جديد يستخدم الدوائر المتكاملة الرقمية الحديثة.

وهذا الكتاب محاولة لتقديم وتناول مفهوم التقنيات الرقمية الحديثة والدوائر المتكاملة ، كما تم ترتيبه وتنظيمه وتقديمه لدارس ذو مستوى مناسب يكون على دراية ومعرفة بنظريات الدوائر والإلكترونيات.

والله الموفق

الناشر

دار الكتب العلمية للنشر والتوزيع

٥٠ شارع الشيخ ربحان - عابدين - القاهرة

٧٩٥٤٢٢٩

WWW.sbhg.com
e-mail: sbh@link.net

ISBN 977-287-518-7



789772 875184